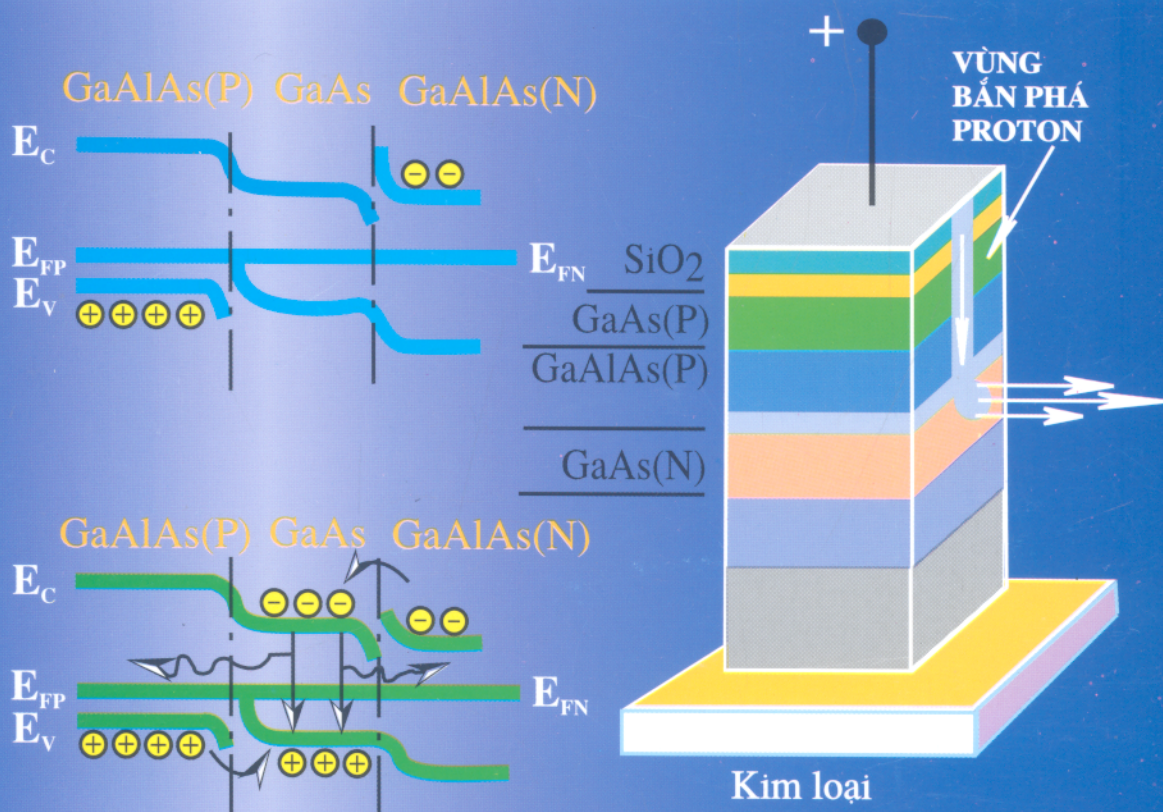


Linh kiện BÁN DẪN VÀ VI MẠCH



TS. HỒ VĂN SUNG

LINH KIẾN BÁN DẪN VÀ VI MẠCH

(Tái bản lần thứ tư)

NHÀ XUẤT BẢN GIÁO DỤC

Lời giới thiệu

Cuốn sách "Linh kiện bán dẫn và vi mạch" là nội dung chính của giáo trình đã được giảng dạy nhiều năm ở Khoa công nghệ Đại học quốc gia Hà Nội và cũng được tác giả sử dụng làm bài giảng cho sinh viên các chuyên ngành điện tử, tin học và viễn thông trong thời gian làm chuyên gia ở Algerie. Hàng năm, do sự phát triển mạnh của công nghệ vi điện tử, giáo trình cũng được bổ sung những linh kiện mới, đặc biệt những linh kiện có tốc độ hoạt động siêu cao, ở đây điện tử có độ linh động cực cao. Vì thế, bên cạnh những linh kiện cơ bản, giáo trình còn đề cập đến những linh kiện của thế kỷ 21 như các linh kiện hoạt động dựa trên hiệu ứng Josephson hoặc những linh kiện hoạt động nhờ chuyển tiếp dị tính thể (Heterojunction). Sách được chia làm hai phần : Phần thứ nhất giành cho việc nghiên cứu các linh kiện rời rạc. Phần thứ hai mô tả các đặc trưng cũng như công nghệ chế tạo của tất cả các loại vi mạch từ lưỡng cực tới Bi-CMOS.

Phần một có 7 chương : Chương 1 : mô tả các tính chất cơ bản của vật liệu bán dẫn. Chương 2 : mô tả nguyên tắc hoạt động của tất cả các loại diốt từ loại chỉnh lưu P-N đến các loại diốt đặc biệt như diốt Gunn hoặc diốt PIN, từ loại tần thấp đến loại có tần số cắt cực cao. Chương 3 : mô tả chuyển tiếp dị tính thể và siêu mạng ; Đó là chuyển tiếp cơ bản để chế tạo nên nhiều linh kiện mới có tốc độ hoạt động cực lớn như khí điện tử 2D. Chương 4 đề cập tranzito lưỡng cực còn chương 5 là các linh kiện chỉnh lưu có điều khiển hay còn gọi là các linh kiện thuộc họ thyristor. Chương 6 là các loại tranzito trường : Cả JFET lẫn MOS. Do tính quan trọng của các loại tranzito trường, nên trong chương này vừa mô tả định tính lẫn định lượng ; do vậy, độc giả có dịp được so sánh các đặc trưng được tính toán bằng lý thuyết với các tài liệu thực nghiệm. Chương 7 : trình bày các loại linh kiện quang - điện tử : các linh kiện thu quang, phát quang, pin mặt trời, laser đa mức và đơn mức cho các cửa sổ khác nhau gắn với các sợi quang cũng như các linh kiện ghép nối giữa chúng với nhau và với nguồn phát cũng như với nguồn thu.

Phần 2 có 4 chương : Chương 8 nói về ích lợi và tốc độ phát triển của các công nghệ vi điện tử trong đó có cả công nghệ kinh điển lẫn các công nghệ tiên tiến nhất. Chương 9 là các loại vi mạch lưỡng cực, còn chương 10 công nghệ các loại vi mạch MOS và Bi-CMOS. Chương 11 mô tả các tính chất của các vi mạch tuyến tính ở đây là các bộ khuếch đại thuật toán.

Trong mỗi chương, tác giả cố gắng mô tả hoạt động của các linh kiện, nêu bật nội dung vật lý của từng linh kiện và vì vậy người đọc có thể hiểu nguyên tắc hoạt động của từng linh kiện một cách sâu sắc chứ không mang tính thụ động. Mỗi linh kiện đều được mô tả nguyên tắc hoạt động, cấu tạo, nhưng đồng thời cũng cho biết địa chỉ ứng dụng trong các mạch điện tử cụ thể. Trong sách cũng mô tả rất nhiều công nghệ và có sự so sánh các công nghệ khác nhau để thấy được những ưu việt của mỗi công nghệ. Trong sự so sánh này đều được mô tả dưới dạng đồ thị để người đọc dễ cảm nhận.

Mặc dù có rất nhiều cố gắng, song do thời gian, nên chắc chắn sách còn có những sai sót, rất mong được quý độc giả nhận xét, đóng góp để lần xuất bản sau được đầy đủ và phong phú hơn.

TÁC GIẢ

Phần I

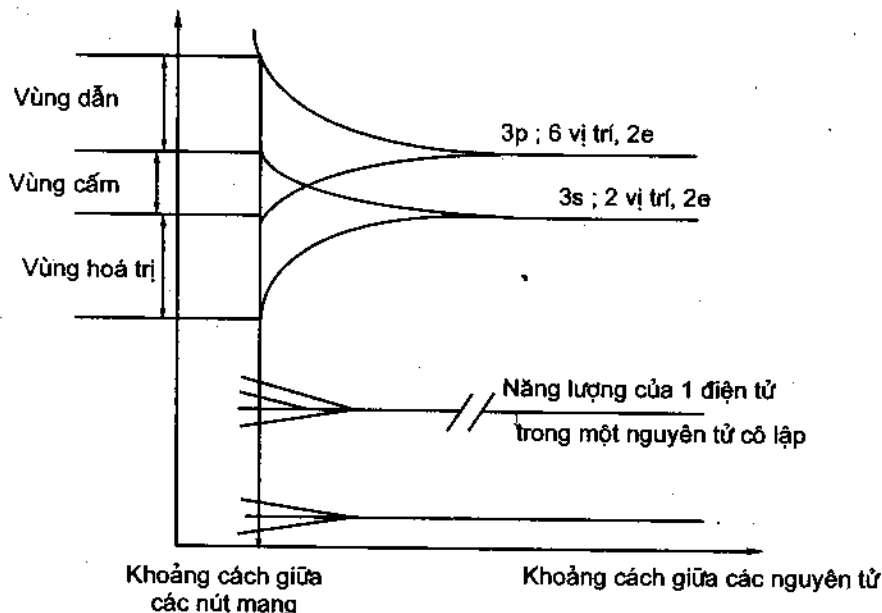
CÁC LOẠI LINH KIỆN RỜI

Chương 1

MỘT SỐ TÍNH CHẤT CỦA VẬT LIỆU BÁN DẪN

1.1. NĂNG LƯỢNG CỦA ĐIỆN TỬ TRONG ĐƠN TINH THỂ-VÙNG NĂNG LƯỢNG

Trạng thái đơn tinh thể được đặc trưng bằng sự phân bố đều đặn của các nguyên tử trong không gian theo một mạng tuần hoàn ba chiều. Giả sử có một chuỗi gồm N nguyên tử giống hệt nhau, lúc đầu nguyên tử này cách xa nguyên tử kia. Khi đó, mỗi nguyên tử sẽ có các mức năng lượng được phép đều bị chiếm. Bây giờ, nếu N nguyên tử đó được sắp xếp trong mạng tinh thể thì chúng sẽ tương tác với nhau, làm cho các mức năng lượng được phép cho các điện tử bị biến điệu: Mỗi mức năng lượng của nguyên tử cô lập sẽ phải tách thành N mức gián đoạn để thỏa mãn nguyên lý Pauli và mỗi một điện tử trong tinh thể có một mức năng lượng riêng, gần ngay mức ban đầu. Vì trong tinh thể, số nguyên tử rất lớn (cỡ 10^{23} nguyên tử trên một cm^3) do đó trên trục năng lượng, mỗi mức năng lượng được phép cũng tách thành từng ấy mức; chúng sắp xếp rất gần nhau tạo thành những vùng năng lượng được phép cách nhau bởi các vùng cấm.



Hình 1.1. Cấu trúc vùng năng lượng của tinh thể silic ở 0K.

Đối với các điện tử ở những lớp bên trong, thì nhiễu loạn do các nguyên tử láng giềng gây ra rất yếu, nên chúng vẫn bị liên kết mạnh với hạt nhân của chúng, sự tách mức là rất yếu và chỉ xảy ra trong một vùng rất hẹp. Ngược lại, các điện tử ở lớp ngoài cùng tương tác với rất nhiều nguyên tử lân bang, nên sự tách mức năng lượng xảy ra trên một vùng rộng, gây ra hiện tượng chồng phủ các vùng năng lượng với nhau. Đối với silic, các lớp ngoài cùng được tạo thành bởi 2 điện tử p và 2 điện tử s (có 6 vị trí ở trong mức p và 2 trong mức s). Khi tinh thể được tạo thành thì các vùng do các mức 3p và 3s tách ra, chồng phủ lên nhau : hai điện tử 3s và hai điện tử 3p tạo nên vùng đầy gọi là *vùng hóa trị* được tính bởi bốn điện tử trên một nguyên tử. Bốn vị trí còn lại trên mức 3p được nhóm lại thành một vùng chưa bị chiếm gọi là *vùng dẫn*.

Trong bán dẫn gecmani, vùng 1s nằm thấp nhất có độ rộng khoảng 10^{-3}eV . Vùng hóa trị có độ rộng cỡ 10eV . Vùng dẫn có độ rộng 20eV cách đỉnh vùng hóa trị một khoảng $0,71\text{eV}$. Đó chính là độ rộng của *vùng cấm*. Khoảng cách năng lượng giữa vùng 1s và vùng hóa trị vào khoảng 11.000eV .

1.2. XÁC SUẤT CHIẾM MỨC NĂNG LƯỢNG CỦA ĐIỆN TỬ

Giả sử các mức năng lượng khả dĩ giành cho điện tử nằm trong khoảng E đến $E + dE$ là $N(E).dE$, trong đó $N(E)$ là mật độ năng lượng. Ở trạng thái cân bằng nhiệt động (T giữ cố định), điện tử phân bố theo thống kê Fermi-Dirac với xác suất chiếm mức năng lượng E là :

$$f(E) = \frac{1}{1 + \exp \frac{E - E_F}{KT}}$$

trong đó : $K = 8,63.10^{-5}\text{eV/K}$ là hằng số Boltzman ;

T là nhiệt độ tuyệt đối (ở nhiệt độ phòng $T = 300\text{K}$;

$KT = 26.10^{-3}\text{eV}$

E_F là mức năng lượng Fermi được xác định từ biểu thức :

$$n = \int_0^{\infty} 2N(E)f(E)d(E)$$

trong đó : n là nồng độ điện tử, tức là số điện tử trên một đơn vị thể tích. Tích phân lấy theo tất cả các mức năng lượng khả dĩ của điện tử. Gốc năng lượng được lấy từ đáy vùng dẫn. Vì vậy năng lượng Fermi E_F là một hàm của nồng độ n , của nhiệt độ T và của tất cả các thông số có thể có tác động lên các mức năng lượng.

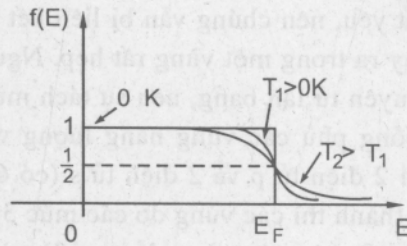
Ở nhiệt độ $T = 0\text{K}$ thì :

$$f(E) = \begin{cases} 1 & \text{nếu } E < E_F \\ 0 & \text{nếu } E > E_F \end{cases}$$

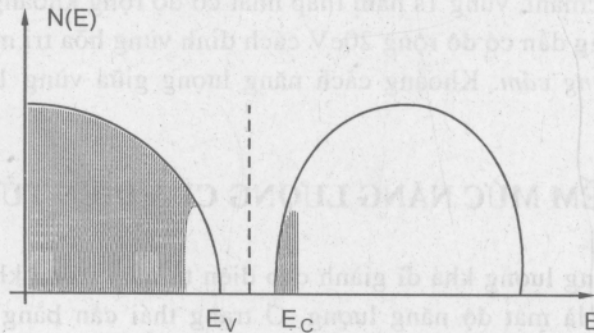
Điều đó có nghĩa rằng tất cả các mức năng lượng ở phía dưới E_F đều bị chiếm, trong khi các mức nằm trên E_F thì lại trống hoàn toàn. Khi $E = E_F$ thì $f(E) = 1/2$. Vậy mức năng lượng Fermi là mức năng lượng có xác suất bị chiếm bằng 50%.

$f(E)$ thay đổi rất nhanh ở lân cận mức năng lượng Fermi E_F . 90% sự thay đổi của $f(E)$ xảy ra trên một khoảng năng lượng $\pm 3KT$.

Ở nhiệt độ $T \neq 0K$ sự phân bố của điện tử vẫn tuân theo thống kê Fermi-Dirac. Lúc này, một số điện tử ở đỉnh vùng hóa trị có năng lượng E_v có thể vượt qua vùng cấm đi tới đáy vùng dẫn. Quá trình này để lại trong vùng hóa trị những lỗ hổng về vị trí (hình 1.3).



Hình 1.2. Sự phân bố điện tử theo năng lượng.



Hình 1.3. Mật độ các mức năng lượng trong vùng dẫn và vùng hóa trị.

Ở nhiệt độ gần nhiệt độ phòng, nếu độ rộng vùng cấm $E_c - E_v = E_g$ lớn hơn 2 hoặc 3eV thì số điện tử trong vùng dẫn thực tế bằng không. Vật liệu đó là chất cách điện. Ngược lại, nếu E_g vào khoảng 1eV thì vùng hóa trị và vùng dẫn sẽ bị chiếm một phần và làm xuất hiện độ dẫn điện nào đó. Trường hợp này là vật liệu bán dẫn chẳng hạn như Si hoặc Ge có độ rộng vùng cấm tương ứng là 1,12eV và 0,66eV ở nhiệt độ 0 K.

Điện trở suất của vật liệu bán dẫn sẽ giảm khi nhiệt độ tăng vì số điện tử được giải phóng từ vùng hóa trị lên vùng dẫn tăng theo nhiệt độ.

1.3. ĐIỆN TỬ VÀ LỖ TRỐNG TRONG BÁN DẪN RÒNG

Trong các chất bán dẫn, ở nhiệt độ $T \neq 0K$, vùng dẫn và vùng hóa trị có thể bị chiếm một phần, vì vậy chúng có thể tham gia quá trình dẫn điện.

Giả sử trong một đơn vị thể tích của vật dẫn chỉ có điện tử với vận tốc định hướng là $\vec{V}_s$, thì mật độ dòng sẽ là $-q\vec{V}_s$ (ký hiệu q là điện tích của proton có giá trị dương), khi đó mật độ dòng do tất cả các điện tử của vùng sẽ là $-q \sum_s \vec{V}_s$, tổng lấy theo tất cả các trạng thái bị chiếm của vùng.

Để tính dòng điện, phải xác định được vận tốc của điện tử. Thế nhưng, mỗi điện tử trong các vùng năng lượng lại có khối lượng hiệu dụng khác với khối lượng của điện tử được tự do hoàn toàn, vì khối lượng hiệu dụng của điện tử phụ thuộc vào năng lượng của nó, nên trong các vùng năng lượng khác nhau chúng sẽ có khối lượng hiệu dụng khác nhau. Do vậy, đóng góp của các điện tử ngay trong một vùng năng lượng thôi cũng rất phức tạp. Tuy nhiên, để đơn giản, trong các vật liệu bán dẫn, chúng ta chỉ xét các điện tử trong vùng dẫn và vùng hóa trị.

Trong vùng dẫn, số điện tử rất nhỏ so với mức năng lượng được phép giành cho chúng, vì vậy điện tử hầu như chỉ chiếm các mức năng lượng thấp nhất ở đáy vùng dẫn có năng lượng E_c , nên chúng có khối lượng hiệu dụng gần như nhau. Trên thực tế, người ta có thể coi chúng có cùng khối lượng hiệu dụng m_n .

Cũng suy luận tương tự như vậy, các vị trí trống do các điện tử vừa rời khỏi vùng hóa trị lại rất ít so với toàn bộ số mức của vùng đó và nằm rất gần đỉnh vùng hóa trị E_v . Nếu thiếu một điện tử ở vùng hóa trị, thì mật độ dòng do tất cả các điện tử khác của vùng này sẽ là $-q \sum_{s \neq i} \vec{V}_s$,

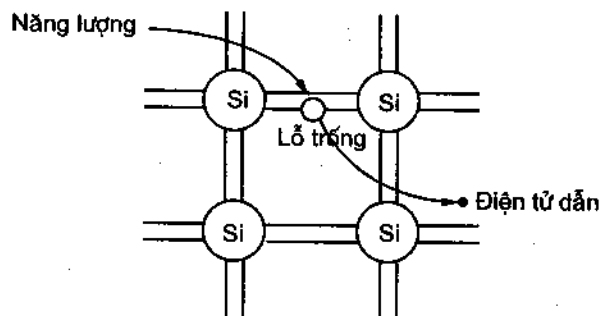
ở đây ký hiệu i là điện tử bị thiếu. Bây giờ giả sử thêm vào điện tử vắng mặt ($-q \vec{V}_i$) và một *hạt tương đương* có điện tích $+q$ và chuyển động với vận tốc $\vec{V}_i$ thì về mặt công thức toán học, chúng ta có thể viết :

$$-q \sum_{s \neq i} \vec{V}_s - q \vec{V}_i + q \vec{V}_i \Rightarrow -q \sum_s \vec{V}_s + q \vec{V}_i = q \vec{V}_i$$

Nhưng $q \sum_s \vec{V}_s = 0$ vì đóng góp của toàn bộ vùng bị chiếm bằng không. Kết quả trên cho thấy rằng độ dẫn điện trong vùng hóa trị như là do *một hạt tương đương* có điện tích $+q$ chiếm các trạng thái trống ở đỉnh vùng hóa trị gây ra. Hạt tương đương này được gọi là *lỗ trống*. Người ta có thể gán cho nó một khối lượng hiệu dụng m_p .

Như vậy trong vật liệu bán dẫn có hai loại hạt tải điện : *Điện tử trong vùng dẫn* và *lỗ trống trong vùng hóa trị*.

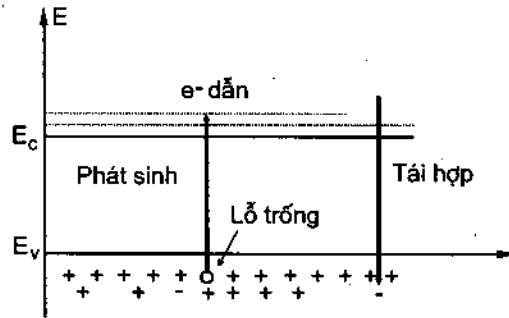
Ví dụ bán dẫn silic và gecmani : Mỗi nguyên tử của tinh thể silic hoặc gecmani trao đổi bốn điện tử ở vòng ngoài với bốn nguyên tử láng giềng gần nhất để tạo nên 4 liên kết đồng hóa trị ; Có nghĩa là ở nhiệt độ 0K tất cả các điện tử hóa trị của silic đều tham gia vào liên kết nguyên tử, do vậy vành hóa trị là hoàn hảo. Hay nói khác đi vùng hóa trị bị bão hòa, tức là tất cả các mức năng lượng được phép ở trong vùng hóa trị đều bị chiếm bởi điện tử, trong khi ở vùng dẫn lại bỏ trống hoàn toàn.



Hình 1.4. Sự phát sinh một cặp điện tử - lỗ trống.

Khi $T \neq 0K$, năng lượng nhiệt kích thích dao động nhiệt của mạng tinh thể. Một số điện tử hóa trị có thể thu năng lượng nhiệt để phá vỡ liên kết và chuyển lên mức năng lượng được phép trong vùng dẫn và để lại trong vùng hóa trị một số lỗ trống. Như vậy đã hình thành một cặp điện tử - lỗ trống (hình 1.4). Lỗ trống này có thể bị lấp đầy nhờ điện tử láng giềng và đến lượt nó lại để lại một lỗ trống, quá trình này được lặp lại và lỗ trống hình như dịch chuyển một

cách tự do theo hướng ngược với hướng của điện tử. Điều đó có nghĩa là việc đứt một liên kết đồng hóa trị làm cho một điện tử chuyển dời từ vùng hóa trị lên vùng dẫn. Đó chính là quá trình *phát sinh* một cặp điện tử - lỗ trống. Còn quá trình ngược lại ; tức là quá trình xây dựng lại một liên kết nhờ điện tử rơi từ vùng dẫn xuống vùng hóa trị (với sự phát xạ năng lượng) là *sự tái hợp* (xem hình 1.5).



Hình 1.5. Quá trình phát sinh và tái hợp điện tử và lỗ trống.

Ở trạng thái cân bằng nhiệt động, số điện tử phát sinh đúng bằng số điện tử tái hợp. Bán dẫn như vậy được gọi là *bán dẫn ròng* (hay còn gọi là bán dẫn tinh khiết).

1.4. NỒNG ĐỘ HẠT TẢI TRONG BÁN DẪN RÒNG

Ở trạng thái cân bằng nhiệt động, xác suất để điện tử chiếm mức năng lượng E là :

$$f_n(E) = \frac{1}{1 + \exp \frac{E - E_F}{KT}}$$

Còn xác suất chiếm chỗ của lỗ trống bằng xác suất để vị trí này không bị chiếm bởi điện tử, nghĩa là bằng :

$$f_p(E) = 1 - f_n(E) = \frac{1}{1 + \exp \frac{E_F - E}{KT}}$$

Giả sử n và p là nồng độ điện tử và lỗ trống trong vùng dẫn và vùng hóa trị (chính là số điện tử và lỗ trống trong một đơn vị thể tích) ; chúng được tính từ biểu thức sau :

$$n = 2 \cdot \int_{E_c}^{E_{cmax}} N(E) \cdot f_n(E) \cdot dE$$

$$\text{và } p = 2 \cdot \int_{E_{vmin}}^{E_v} P(E) \cdot f_p(E) \cdot dE \quad (1.1)$$

Trong đó : E_{cmax} là mức năng lượng cao nhất của vùng dẫn ;

E_{vmin} là mức năng lượng thấp nhất của vùng hóa trị ;

Thừa số 2 là do mỗi mức năng lượng có thể bị chiếm $2e^-$ có spin ngược nhau.

$N(E)$ và $P(E)$ là các mật độ trạng thái trong vùng dẫn và vùng hóa trị, chúng được xác định từ các biểu thức sau :

$$N(E) = 2\pi \left(\frac{2m_n^*}{h^2} \right)^{3/2} \cdot (E - E_c)^{1/2}$$

và

$$P(E) = 2\pi \left(\frac{2m_p^*}{h^2} \right)^{3/2} \cdot (E_v - E)^{1/2} \quad (1.2)$$

Thay các biểu thức này vào (1.1) và mở rộng cận lấy tích phân của E_{cmax} và E_{vmin} ra vô cùng (điều này không gây ra sai số khi lấy tích phân), ta thu được :

$$n = 4\pi \left(\frac{2m_n^*}{h^2} \right)^{3/2} \cdot \int_{E_c}^{\infty} \frac{(E - E_c)^{1/2} dE}{1 + \exp \frac{E - E_F}{KT}}$$

và

$$p = 4\pi \left(\frac{2m_p^*}{h^2} \right)^{3/2} \cdot \int_{-\infty}^{E_v} \frac{(E_v - E)^{1/2} dE}{1 + \exp \frac{E_F - E}{KT}}$$

Giả sử bán dẫn là không suy biến, nghĩa là các trạng thái bị chiếm bởi điện tử và lỗ trống rất nhỏ so với toàn bộ số mức đã có, do vậy có thể loại trừ 1 trước hàm mũ, vì giá trị của $(E - E_c)$ và $(E_v - E)$ rất lớn so với KT . Khi đó xác suất bị chiếm đồng nhất với xác suất Maxwell-Boltzman :

$$f(E) \approx \exp \left(- \frac{E - E_F}{KT} \right)$$

do vậy :

$$n = 2 \left(\frac{2\pi m_n^* KT}{h^2} \right)^{3/2} \cdot \exp \left(- \frac{E_c - E_F}{KT} \right)$$

hay :

$$n = N_c \exp \left(- \frac{E_c - E_F}{KT} \right)$$

và

$$p = N_v \exp \left(- \frac{E_v - E_F}{KT} \right) \quad (1.3)$$

trong đó :

$$N_c = 2 \left(\frac{2\pi m_n^* KT}{h^2} \right)^{3/2}, \quad N_v = 2 \left(\frac{2\pi m_p^* KT}{h^2} \right)^{3/2}$$

là mật độ trạng thái tương đương trong vùng dẫn và vùng hóa trị. Từ đó, chúng ta cũng tìm được mức năng lượng Fermi :

$$E_F = E_c - KT \ln \frac{N_c}{n} \quad (a)$$

hoặc :

$$E_F = E_v - KT \ln \frac{N_v}{p} \quad (b) \quad (1.4)$$

và

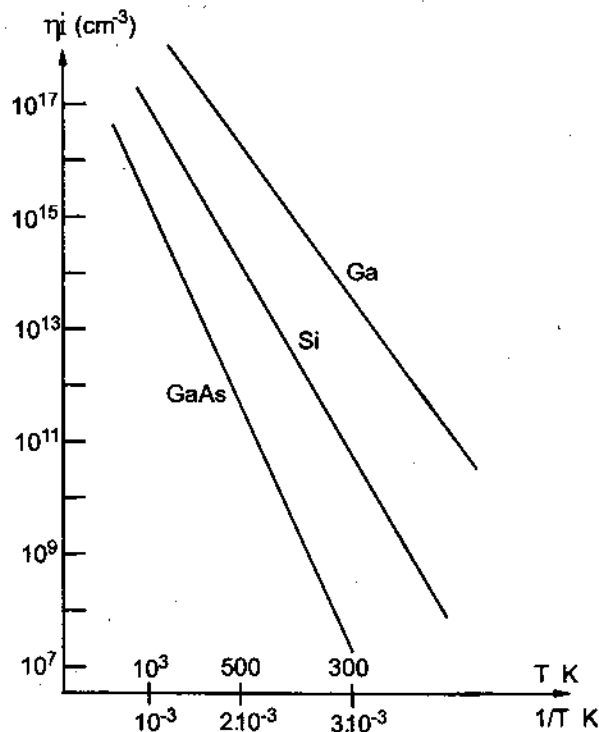
$$n.p = N_c.N_v \exp\left(-\frac{E_c - E_v}{KT}\right)$$

Tích số (n.p) này độc lập với E_F , nhưng lại là một hàm số của nhiệt độ T và của độ rộng vùng cấm $(E_c - E_v) = E_g$ của vật liệu bán dẫn đã khảo sát.

Thay các biểu thức của N_c và N_v vào tích số n.p, ta thu được :

$$n.p = n_i^2 = A.T^3 \exp\left(-\frac{E_g}{KT}\right) \quad (1.5)$$

Trong đó : n_i là nồng độ hạt tải điện (điện tử và lỗ trống) của bán dẫn ròng. Ở nhiệt độ phòng ($T \approx 300K$), trong bán dẫn silic cứ 3.10^{12} nguyên tử silic cho một cặp điện tử - lỗ trống ; còn trong bán dẫn gecmani thì cứ 2.10^9 nguyên tử cho một cặp. Từ (1.5) cho thấy nồng độ hạt tải trong bán dẫn ròng phụ thuộc rất mạnh vào nhiệt độ. Hình 1.6 cho thấy sự thay đổi của n_i theo nhiệt độ của một số tinh thể bán dẫn chủ yếu.



Hình 1.6. Sự thay đổi của n_i theo nhiệt độ ở một số bán dẫn chủ yếu.

Trong một bán dẫn ròng, nồng độ điện tử luôn luôn bằng nồng độ lỗ trống ; tức là ta luôn có đẳng thức sau :

$$n = p = n_i$$

Từ các biểu thức của n và p trong (1.3), có thể tìm được mức Fermi của bán dẫn ròng :

$$E_{Fi} = \frac{E_c - E_v}{2} + \frac{3}{4}KT \ln \frac{m_p^*}{m_n^*}$$

Do vậy, nếu $m_n^* = m_p^*$ thì mức Fermi nằm giữa vùng cấm, vì $\frac{E_c - E_v}{2} = \frac{E_g}{2}$. Còn khi $m_n^* \neq m_p^*$ thì mức Fermi chỉ nằm giữa vùng cấm ở nhiệt độ $T = 0K$. Khi tăng nhiệt độ T thì mức Fermi sẽ dịch về phía mà ở đó các hạt tải có khối lượng hiệu dụng nhỏ nhất. Chú ý rằng, ở nhiệt độ phòng $T = 300K$, $KT/q = 26.10^{-3}eV$ và m_n^* không khác m_p^* nhiều, thì mức Fermi cũng nằm gần giữa vùng cấm.

1.5. BÁN DẪN CÓ TẠP CHẤT

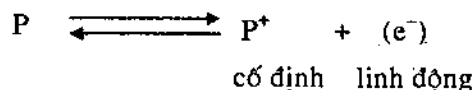
Nồng độ các hạt tải trong bán dẫn thay đổi một cách đáng kể nếu chúng được pha tạp bởi các nguyên tử tạp chất. Sự phụ thêm nguyên tử tạp chất đưa bán dẫn thành loại bán dẫn có tạp chất. Bán dẫn này, mặc dầu có cấu trúc tinh thể không thay đổi so với bán dẫn ròng, song độ dẫn điện của nó thì tăng lên rất mạnh, phụ thuộc vào mức độ pha tạp và bản chất nguyên tử của chất pha tạp.

Mức độ pha tạp được đánh giá bằng ppm (1ppm : 1 trên một triệu ứng với 1 nguyên tử tạp chất trên 10^6 nguyên tử bán dẫn). Các nguyên tử pha tạp được chọn từ các nguyên tử của nhóm III hoặc nhóm V trong bảng tuần hoàn các nguyên tố hóa học. Nếu là các nguyên tử của nhóm III thì ta sẽ thu được bán dẫn pha tạp loại P, hoặc sẽ được bán dẫn loại N nếu bán dẫn được pha tạp các nguyên tử của nhóm V.

1.5.1. Bán dẫn loại N

Khi pha tạp silic (hoặc gecmani) các nguyên tử thuộc nhóm V (chẳng hạn như photpho hoặc antimoan...) thì các nguyên tử tạp chất này sẽ thay thế các nguyên tử silic ở trong mạng tinh thể để tạo nên các liên kết đồng hóa trị với 4 nguyên tử silic láng giềng gần nhất. Như vậy có một điện tử hóa trị thứ 5 của nguyên tử pha tạp liên kết yếu với nguyên tử láng giềng xung quanh và cũng liên kết yếu với nguyên tử của chính nó, nên chỉ cần một năng lượng nhỏ cũng giải phóng nó khỏi nguyên tử của nó để trở thành điện tử tự do. Nguyên tử tạp chất trở thành ion dương nằm cố định trong mạng tinh thể của silic. Tạp chất hóa trị 5 này được gọi là *tạp chất cho*, có nghĩa là tạp chất cho điện tử tự do. Còn bán dẫn có tạp chất cho được gọi là *bán dẫn loại N*.

Chẳng hạn photpho trong silic là một nguyên tử cho, nghĩa là nó cho một điện tử dẫn ở trong mạng theo mô hình :



Nếu pha tạp N_d nguyên tử donor trên một đơn vị thể tích, thì sẽ xuất hiện trong vùng cấm các mức năng lượng nằm rất gần đáy vùng dẫn. Nếu số điện tử là n và số lỗ trống là p thì số các hạt tải tự do trong một đơn vị thể tích sẽ tuân theo định luật *tác dụng khối lượng* :

$$n.p = n_i^2$$

và định luật *trung hòa điện* :

$$-q.n + q.p + q.N_d = 0$$

từ đó suy ra :

$$n = \frac{N_d \pm \sqrt{N_d^2 + 4n_i^2}}{2}$$

Nếu $N_d^2 \gg 4n_i^2$ (điều kiện này thỏa mãn trong một vùng nhiệt độ khá rộng từ 30K đến 500K đối với silic) khi đó ta có ;

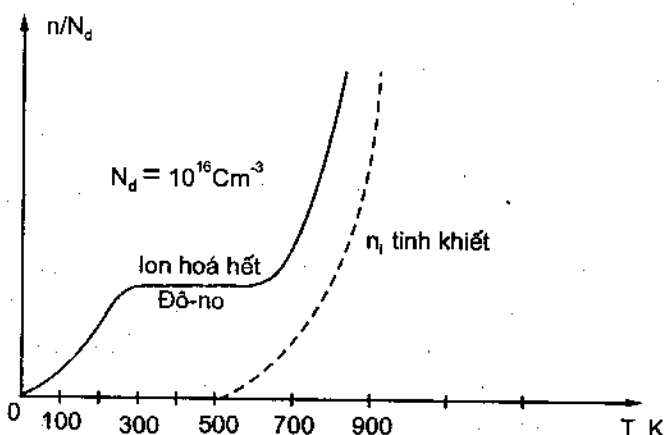
$n = N_d$ là các hạt tải điện *cơ bản*.

$p = \frac{n_i^2}{N_d}$ là các hạt tải điện *không cơ bản*.

Còn nếu $N_d^2 \ll 4n_i^2$, nghĩa là mật độ các hạt tải rỗng lớn hơn mật độ donor, thì :

$$n = p = n_i$$

Chế độ này được gọi là *chế độ bán dẫn tinh khiết*. Hình 1.7 mô tả sự thay đổi mật độ điện tử khi $N_d = 10^{16} \text{ cm}^{-3}$ theo nhiệt độ. Trong vùng nhiệt độ từ 30 đến 500K mật độ điện tử không thay đổi và bằng mật độ donor. Năng lượng nhiệt đủ để ion hóa hết các nguyên tử tạp chất, nhưng không có khả năng tạo ra một số lớn các hạt tải. Chế độ này gọi là chế độ *ion hóa hết donor*.

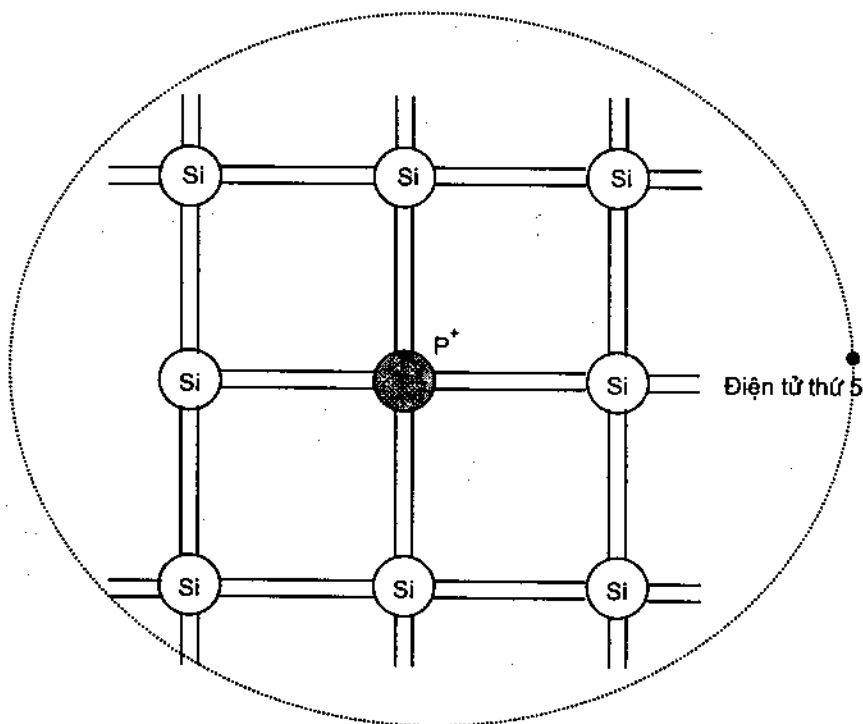


Hình 1.7. Sự thay đổi mật độ điện tử theo nhiệt độ khi $N_d = 10^{16} \text{ cm}^{-3}$

Trong bán dẫn loại N này, mật độ hạt tải điện cơ bản được xác định từ biểu thức :

$$n = N_d = N_c \cdot \exp\left(-\frac{E_c - E_{Fn}}{KT}\right)$$

với E_{Fn} là mức Fermi của bán dẫn loại N.



Hình 1.8. Tạp chất dóno trong đơn tinh thể silic.

1.5.2. Bán dẫn loại P

Nếu pha tạp bán dẫn tinh khiết các nguyên tử hóa trị 3 (như bor, gallium (Ga), aluminium (Al), hoặc idium,...), thì mỗi nguyên tử tạp chất hóa trị 3 thay thế vị trí nguyên tử bán dẫn tinh khiết gốc và tạo ra liên kết đồng hóa trị với 3 nguyên tử láng giềng gần nhất, còn liên kết thứ tư không hoàn hảo và vì vậy làm xuất hiện một lỗ trống. Do vậy, chỉ cần một năng lượng rất nhỏ cũng cho phép một điện tử của liên kết đồng hóa trị gần đó đến chiếm lỗ trống và lại làm đứt liên kết khác. Các nguyên tử tạp chất hóa trị 3 này có xu hướng bắt điện tử của vùng hóa trị làm tăng lỗ trống trong bán dẫn nên người ta gọi nó là *tạp chất acceptor*, nghĩa là tạp chất bắt điện tử và cho lỗ trống. Còn bán dẫn có tạp chất loại này gọi là *bán dẫn loại P*.

Các nguyên tử tạp chất hóa trị 3 này bắt điện tử trong vùng hóa trị để tạo ra lỗ trống ở trong vùng đó. Nếu pha tạp N_a nguyên tử tạp chất, thì trong vùng cấm sẽ xuất hiện N_a mức năng lượng nằm rất gần đỉnh vùng hóa trị. Ở nhiệt độ thấp, các mức này không bị chiếm bởi điện tử, có nghĩa là chúng còn trống; nhưng khi nhiệt độ tăng lên, chúng bị lấp đầy bởi các điện tử ở trong vùng hóa trị. Do vậy, số lỗ trống trong vùng hóa trị sẽ gần bằng N_a và hạt tải điện của bán dẫn loại P trên một đơn vị thể tích là:

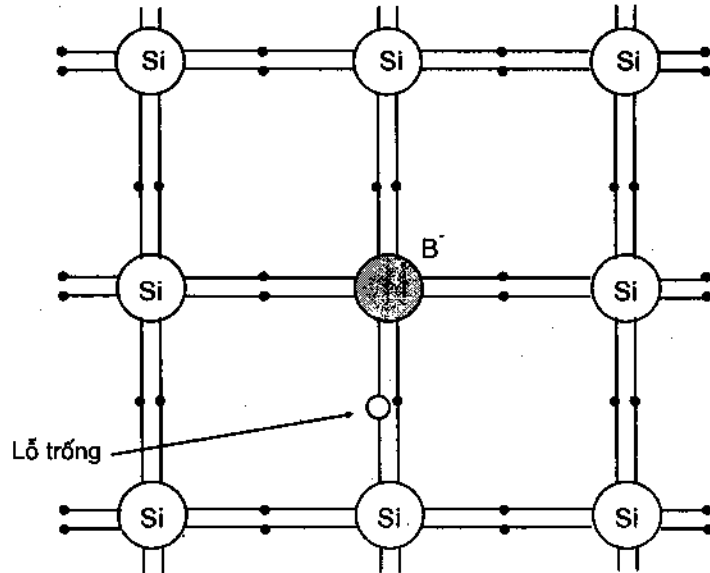
$p_p = N_a$ là hạt tải điện cơ bản;

$n_p = \frac{n_i^2}{N_a}$ là hạt tải điện không cơ bản.

Trong khoảng nhiệt độ đó, các nguyên tử tạp chất đều bị ion hóa nên mật độ lỗ trống bằng mật độ nguyên tử tạp chất. Chế độ này gọi là chế độ *bão hòa acceptor*. Số lỗ trống tự do nhiều hơn số điện tử tự do, nên bán dẫn là loại P. Với bán dẫn loại P này thì:

$$p_p = N_a = N_F \cdot \exp\left(\frac{E_{FP} - E_V}{KT}\right)$$

Với E_{FP} là mức Fermi của bán dẫn loại P.



Hình 1.9. Tạp chất acceptor trong đơn tinh thể silic.

1.5.3. Độ dẫn điện của bán dẫn

Trong các tinh thể bán dẫn thực, sự chuyển dời của các hạt tải điện bị ngăn trở bởi dao động nhiệt của nguyên tử của mạng tinh thể, bởi sự có mặt của các khuyết tật, của các tạp chất và của các hạt tải điện tự do khác có trong mạng tinh thể đó. Điện tử chịu tất cả các va chạm với các "trở ngại" nói trên, làm cho quỹ đạo chuyển động của chúng trở nên hỗn loạn, vì vậy vận tốc trung bình theo hướng bằng không.

Nếu ta tác động một điện trường $\vec{E}$ đủ lớn thì vận tốc trung bình của hạt tải sẽ tỉ lệ với điện trường $\vec{E}$ theo hệ thức :

$$\langle \vec{V}_n \rangle = -\mu_n \vec{E} \text{ cho điện tử và}$$

$$\langle \vec{V}_p \rangle = -\mu_p \vec{E} \text{ cho lỗ trống.}$$

trong đó : μ_n và μ_p là độ linh động của điện tử và của lỗ trống.

Chiều của $\langle \vec{V}_n \rangle$ ngược với chiều của $\vec{E}$, trong khi chiều của $\langle \vec{V}_p \rangle$ cùng chiều với $\vec{E}$. Khi đó mật độ dòng của điện tử và lỗ trống là :

$$\vec{J}_n = -qn \langle \vec{V}_n \rangle = qn\mu_n \vec{E} = \sigma_n \vec{E}$$

và
$$\vec{J}_p = qp \langle \vec{V}_p \rangle = qp\mu_p \vec{E} = \sigma_p \vec{E}$$

trong đó : σ_n và σ_p là độ dẫn điện của điện tử và lỗ trống.

Nếu cả hai loại hạt tải cùng tham gia dẫn điện thì mật độ dòng tổng cộng sẽ là :

$$\vec{J} = \vec{J}_n + \vec{J}_p = (\sigma_n + \sigma_p) \vec{E} = \sigma \vec{E}$$

với $\sigma = q(n\mu_n + p\mu_p)$ là độ dẫn điện của bán dẫn khi có cả hai loại hạt tải tham gia dẫn điện.

Đối với bán dẫn loại N, thì $n \gg p$, nên độ dẫn điện của nó là :

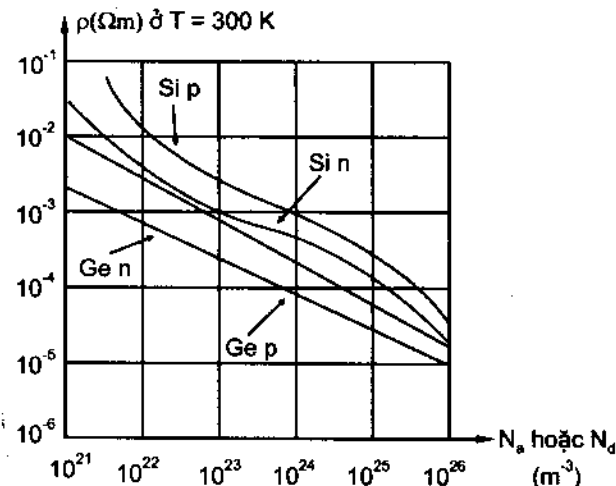
$$\sigma_n = qN_d\mu_n \quad (\Omega.cm)^{-1}.$$

Nếu tăng N_d thì độ dẫn điện σ_n cũng tăng, do vậy điện trở suất sẽ giảm. Chất bán dẫn pha tạp càng nhiều thì điện trở suất của nó sẽ càng giảm. Tuy nhiên, độ linh động μ_n lại giảm khi mật độ nguyên tử tạp chất tăng. Do vậy cơ chế dẫn điện ở trong vùng pha tạp mạnh tương đối phức tạp.

Đối với bán dẫn loại P, độ dẫn điện của nó là :

$$\sigma_p = qN_a\mu_p \quad (\Omega.cm)^{-1}.$$

Khi N_a tăng thì σ_p cũng tăng, do vậy điện trở suất giảm. Bán dẫn pha tạp càng mạnh thì điện trở suất càng giảm. Tuy nhiên, độ linh động μ_p giảm khi tăng nồng độ tạp chất. Hình 1.10 cho thấy sự thay đổi của điện trở suất và độ linh động (hình 1.11) của bán dẫn silic và gecmani loại N và loại P theo nồng độ tạp chất N_d hoặc N_a ở nhiệt độ phòng $T = 300K$.



Hình 1.10. Điện trở suất của Ge và của Si thay đổi theo nồng độ tạp chất ở $T = 300K$.

1.6. SỰ PHA TẠP BÁN DẪN

1.6.1. Sự pha tạp bán dẫn nhóm IV

Đối với bán dẫn nhóm IV, thì tất cả các nguyên tố của nhóm V đều là tạp chất loại N vì chúng có 5 điện tử hóa trị. Nguyên tố pha tạp thường được sử dụng nhất là photpho (P), arsen (As) và antimoan. Arsen được sử dụng nhiều hơn photpho vì độ hòa tan của nó lớn hơn.

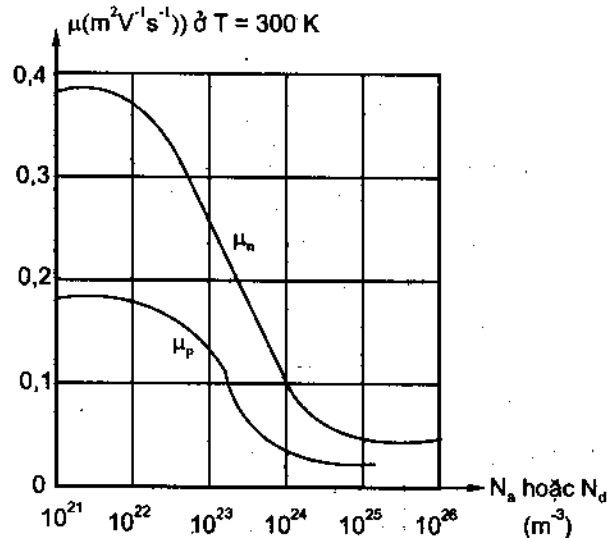
Tất cả các nguyên tố của nhóm III đều là tạp chất acceptor, vì chúng có 3 điện tử hóa trị ở lớp ngoài cùng. Nhôm (Al) ít được sử dụng hơn cả, vì nó phản ứng mạnh với ô-xy (O_2). Bo là nguyên tố hay được sử dụng hơn cả.

1.6.2. Sự pha tạp bán dẫn $A^{III}B^V$

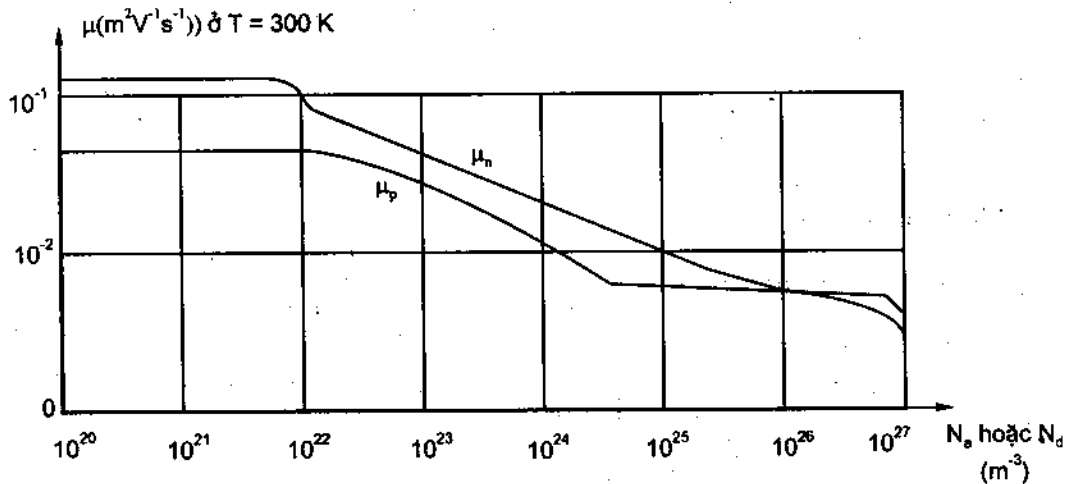
Quá trình pha tạp bán dẫn loại này phức tạp hơn sự pha tạp bán dẫn nhóm IV. Ta hãy lấy trường hợp GaAs làm thí dụ : Các nguyên tố của cột 6 trong bảng tuần hoàn hóa học Mendeleev

như Te chẳng hạn, thay thế các nguyên tử As để tạo nên bán dẫn loại N, vì ion Te^+ có 5 điện tử hóa trị. Các nguyên tố của nhóm II như Zn thay thế các nguyên tử Ga để tạo thành bán dẫn loại P, vì ion Zn chỉ có 3 điện tử hóa trị. Trong khi các nguyên tố của nhóm IV của bảng tuần hoàn hóa học như Si có thể cho pha tạp hoặc loại N hay loại P tùy theo Si thay thế cho Ga hay As.

Ngoài ra còn có các hợp chất như $\text{Ga}_{1-x}\text{Al}_x\text{As}$ có độ rộng vùng cấm là một hàm của x . Bảng sau đây cho biết một số đặc trưng quan trọng của một số bán dẫn quen thuộc.



a) Sự thay đổi của độ linh động của Ge theo nồng độ.



b) Sự thay đổi của độ linh động của Si theo nồng độ tạp chất

Hình 1.11. Độ linh động thay đổi theo nồng độ tạp chất N_a và N_d của Ge(a) và của Si(b) ở nhiệt độ phòng.

Bảng các đặc trưng một số bán dẫn ở nhiệt độ phòng (300K)

	$(E_c - E_v) \text{eV}$	$n_i (\text{Cm}^{-3})$	$\mu_n (\text{Cm}^2/\text{v.s})$	$\mu_p (\text{Cm}^2/\text{v.s})$	$\epsilon (10^{-12} \text{F/Cm})$
Ge	0,66	$2,4 \cdot 10^{13}$	4000	1900	1,44
Si	1,12	$1,2 \cdot 10^{10}$	1400	500	1,04
GaAs	1,43	10^7	8500	400	0,96
GaP	2,24		110	75	0,88
InSb	0,16	$3 \cdot 10^6$	7800	750	1,50
CdS	2,42	$2 \cdot 10^{-2}$	300	50	0,88

1.6.3. Giới hạn về nồng độ của nguyên tử tạp chất

Mật độ cực đại các nguyên tử tạp chất mà ta muốn đưa vào trong tinh thể bán dẫn được quyết định bởi *giới hạn hòa tan* của tạp chất ấy. Chẳng hạn ở nhiệt độ của lò khuếch tán (từ 1000 đến 1200°C) độ hòa tan của As cỡ gần bằng 10^{21} cm^{-3} và đối với Bo và photpho là vào khoảng 10^{20} cm^{-3} . Nếu vượt quá giới hạn này, thì hiện tượng kết tủa sẽ xảy ra ; khi đó tạp chất sẽ không còn có các tính chất như đã mô tả nữa. Mật độ cực đại được xác định bằng mức độ tinh khiết của vật liệu. Như Bo trong Si, ta không thể loại bỏ nguyên tố này xuống dưới 10^{13} nguyên tử trên một cm^3 được, có nghĩa là luôn luôn có một nguyên tử Bo trên $5 \cdot 10^9$ nguyên tử Si.

Giới hạn trên của mật độ tạp chất được xác định bởi giá trị cực tiểu của điện trở suất của bán dẫn được pha tạp (cỡ $10^{-3} \Omega \cdot \text{cm}$) ; Còn giới hạn dưới được quyết định bởi giá trị cực đại của điện trở suất của bán dẫn ròng (cỡ $10^4 \Omega \cdot \text{cm}$).

1.7. SỰ CHUYỂN DỜI CỦA CÁC HẠT TẢI TRONG BÁN DẪN

1.7.1. Một số định nghĩa cơ bản

Trong các tinh thể bán dẫn, nếu các hạt tải phân bố không đều, hoặc giữa các miền khác nhau có nhiệt độ khác nhau, thì các hạt tải sẽ chuyển dời từ nơi có nồng độ cao sang nơi có nồng độ thấp hơn, hoặc từ nơi có nhiệt độ cao tới nơi có nhiệt độ thấp. Trong các trường hợp trên, định luật tác dụng khối lượng không còn nghiệm đúng nữa, nghĩa là $n \cdot p \neq n_i^2$. Trong trường hợp này, tinh thể bán dẫn bị *mất cân bằng nhiệt động*. Có thể xảy ra hai trường hợp sau đây :

a) Nếu $n \cdot p > n_i^2$: Có nhiều hạt tải hơn so với trường hợp cân bằng nhiệt động. Có nghĩa là có *sự phát sinh* các hạt tải trong bán dẫn ; hay nói cách khác, bán dẫn *được phun các hạt tải điện*.

b) Nếu $n \cdot p < n_i^2$: Có ít hạt tải hơn so với trường hợp cân bằng nhiệt động. Có nghĩa là có *sự hút bớt hạt tải điện* khỏi bán dẫn ; hay còn gọi là chế độ làm nghèo các hạt tải điện trong bán dẫn.

Ở trạng thái cân bằng nhiệt động, mật độ các hạt tải luôn luôn thỏa mãn hệ thức : $n_0 \cdot p_0 = n_i^2$. Trong chế độ phun yếu, mật độ các hạt tải được phun nhỏ so với mật độ các hạt tải cơ bản. Trong trường hợp này, mật độ các hạt tải cơ bản giữ nguyên giá trị như mật độ các hạt tải ở trạng thái cân bằng nhiệt động. Chỉ có các hạt tải *không cơ bản* là bị biến đổi.

Ở chế độ *phun mạnh*, mật độ các hạt tải được phun có thể so sánh với mật độ các hạt tải cơ bản. Trong chế độ này, mật độ điện tử và lỗ trống gần như nhau.

1.7.2. Sự khuếch tán các hạt tải

1.7.2.1. Mật độ dòng khuếch tán

Trong tinh thể, nếu các hạt tải phân bố không đồng đều, hoặc giữa các miền khác nhau có nhiệt độ khác nhau, thì hạt tải sẽ chuyển dời từ miền có nồng độ cao sang miền có nồng độ thấp, hoặc từ nơi có nhiệt độ cao sang nơi có nhiệt độ thấp hơn. Hiện tượng đó được gọi là *hiện tượng khuếch tán*. Do đó dòng khuếch tán thu được là :

$$\vec{J}_{dn} = \text{grad} \mu_n n K T$$

$$\vec{J}_{dp} = -\text{grad} \mu_p p K T$$

Trường hợp đặc biệt : trong các linh kiện bán dẫn coi không có sự chênh lệch nhiệt độ giữa các miền. Khi đó :

$$\vec{J}_{dn} = \mu_n K T \text{grad} n = q D_n \text{grad} n$$

$$\vec{J}_{dp} = -\mu_p K T \text{grad} p = -q D_p \text{grad} p$$

Với $D_n = \mu_n \frac{KT}{q}$ và $D_p = \mu_p \frac{KT}{q}$ là các *hệ số khuếch tán* của điện tử và lỗ trống.

Nếu tồn tại cả điện trường ngoài và sự khuếch tán thì mật độ dòng điện tử và lỗ trống có dạng :

$$\vec{J}_n = \vec{J}_{cn} + \vec{J}_{dn}$$

$$\vec{J}_p = \vec{J}_{cp} + \vec{J}_{dp}$$

Trong các tinh thể đẳng nhiệt, thì ;

$$\vec{J}_n = q(n\mu_n \vec{E} + D_n \text{grad} n)$$

$$\vec{J}_p = q(p\mu_p \vec{E} + D_p \text{grad} p)$$

1.7.2.2. Khái niệm độ dài khuếch tán

Xuất phát từ bán dẫn đồng nhất ở trạng thái cân bằng nhiệt động. Giả sử ở bề mặt bán dẫn, nồng độ hạt tải lớn hơn mật độ cân bằng và trong lòng bán dẫn không có hiện tượng sinh hạt tải, như vậy sẽ có hai quá trình xảy ra đồng thời :

- Sự khuếch tán hạt tải vào phía trong bán dẫn; ở đây nồng độ luôn luôn bằng nồng độ cân bằng.

- Sự tái hợp hạt tải dư trong quá trình khuếch tán trong khoảng thời gian bằng thời gian sống của chúng.

Chúng ta sẽ nghiên cứu hai hiện tượng trên theo hướng vuông góc với mặt phẳng đi qua gốc của trục hoành (hình 1.12). Nếu không có mặt của điện trường trong bán dẫn, thì mật độ

đồng khuếch tán sẽ là :

$$\begin{aligned}\bar{J}_n &= qD_n \text{grad}n = qD_n \frac{\partial n}{\partial x} \\ \frac{\partial n}{\partial x} &= -\frac{n(t) - n_0}{t_n} + \frac{1}{q} \text{div} \bar{J}_n \\ &= -\frac{n(t) - n_0}{t_n} + \frac{1}{q} \frac{\partial J_n}{\partial x}\end{aligned}$$

trong đó : n_0 là nồng độ điện tử trong trạng thái cân bằng.

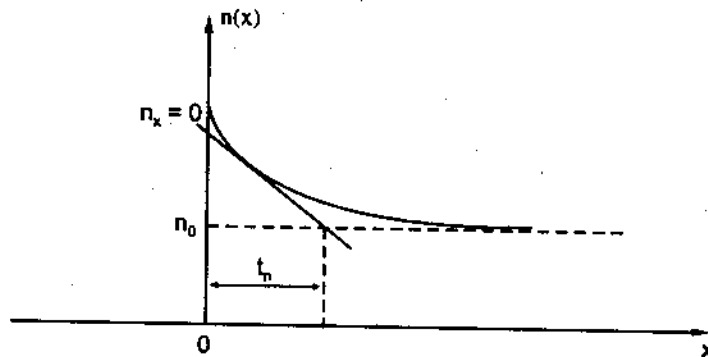
Trong chế độ dừng $\frac{\partial n}{\partial t} = 0$ do vậy :

$$D_n \frac{\partial^2 n}{\partial x^2} - \frac{n(t) - n_0}{t_n} = 0$$

từ đó tìm được :

$$n(t) - n_0 = [n(t) - n_0] \exp\left(-\frac{x}{\sqrt{D_n t_n}}\right)$$

Đại lượng $L_n = \sqrt{D_n t_n}$ gọi là độ dài khuếch tán. Đó chính là khoảng chạy trung bình của điện tử do sự khuếch tán trong khoảng thời gian sống. Tương tự, với lỗ trống ta cũng có : $L_p = \sqrt{D_p t_p}$. Hai đại lượng L_n và L_p là hai đại lượng quan trọng trong các linh kiện bán dẫn ; nhất là trong các linh kiện hoạt động dựa theo sự khuếch tán các hạt tải như trong các linh kiện quang điện tử.



Hình 1.12. Sự khuếch tán các hạt tải.

Chương 2

ĐIỐT CHUYỂN TIẾP P-N

2.1. CÁC ĐẶC TÍNH TỔNG QUÁT

Chuyển tiếp P-N là một cấu trúc bán dẫn cơ bản của nhiều linh kiện điện tử. Nó được tạo thành ở miền tiếp xúc tinh thể bán dẫn loại N và loại P. Ở đây chúng ta chỉ quan tâm tới tiếp xúc được thực hiện từ một đơn tinh thể như si-lic (hoặc Ge) ; trong đó chỉ có mức độ pha tạp và bản chất tự nhiên của tạp chất thay đổi từ miền này sang miền khác. Còn việc nghiên cứu sự tiếp xúc giữa các chất bán dẫn khác nhau và siêu mạng sẽ được đề cập ở chương sau.

Giả sử tiếp xúc "*nhảy bậc*"; tức là nồng độ các hạt tải thay đổi đột ngột qua mặt phẳng tiếp xúc. Do vậy, nếu vắng mặt điện trường ngoài, các hạt tải điện cơ bản từ miền này sẽ khuếch tán sang miền kia, tạo thành dòng khuếch tán qua lớp chuyển tiếp. Cụ thể ở đây :

- * Điện tử từ miền N khuếch tán sang miền P tạo thành dòng khuếch tán I_{dn} .

- * Lỗ trống của miền P khuếch tán sang miền N tạo thành dòng khuếch tán I_{dp} .

Khi rời khỏi bán dẫn gốc, các hạt tải điện cơ bản để lại ở vùng biên giới giữa hai miền N và P các nguyên tử ion hóa (dương trong miền N và âm trong miền P), liên kết với mạng tinh thể, vì được giữ cố định nên chúng tạo thành một *điện trường nội*, định xứ trong miền biên giới và hướng từ miền N sang miền P. Điện trường này có xu hướng cản trở dòng khuếch tán của các hạt tải cơ bản. Như vậy ở vùng biên giới giữa hai bán dẫn N và P xuất hiện một hàng rào thế cản trở sự khuếch tán các hạt tải điện cơ bản.

Còn các hạt tải không cơ bản (điện tử trong miền P và lỗ trống trong miền N) luôn luôn có mặt ở lân cận biên giới, dưới tác dụng của điện trường nội lại dễ dàng chuyển qua biên giới tạo thành *dòng ngược* I_{ip} và $-I_{in}$ để tạo thành dòng điện ngược tổng cộng $(I_{ip} + I_{in})$ hướng từ miền N sang P.

Ở trạng thái cân bằng nhiệt động, dòng tổng cộng qua đường biên giới giữa hai vùng bằng không vì dòng khuếch tán có giá trị đúng bằng dòng ngược của các hạt tải cùng loại. Do đó xuất hiện một vùng không còn các hạt tải cơ bản tự do ở lân cận biên giới. Vùng đó gọi là "*vùng sa mạc*", hay còn gọi là *vùng chuyển tiếp P-N*. Trong vùng này chỉ còn các nguyên tử của mạng tinh thể bị ion hóa nên còn gọi là *vùng điện tích không gian*.

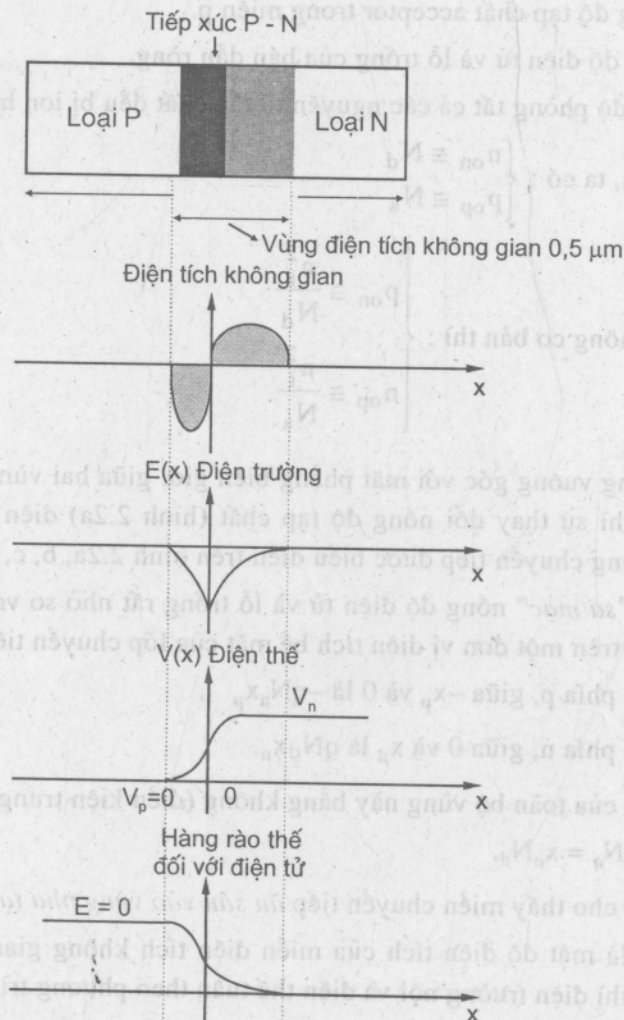
Tất cả những điều đã nói được mô tả trên hình 2.1. Nếu tác dụng vào miền N và P một điện trường ngoài, thì xảy ra hai trường hợp :

- 1) *Phân cực thuận* nếu $(V_p - V_n) > 0$

Trường hợp này điện trường ngoài làm giảm hàng rào thế, do vậy các hạt tải cơ bản dễ dàng chuyển qua lớp chuyển tiếp và tạo ra dòng thuận có giá trị lớn, trong khi các hạt tải không cơ bản lại không có tác dụng.

2) Phân cực ngược nếu $(V_p - V_n) < 0$

Trường hợp này làm nâng cao hàng rào thế. Do vậy các hạt tải cơ bản không thể chuyển qua lớp chuyển tiếp, trong khi các hạt tải không cơ bản lại chuyển qua một cách dễ dàng để tạo thành dòng điện ngược. Lớp chuyển tiếp P-N có đặc tính như vậy tạo nên một điốt bán dẫn P-N. Đó là một linh kiện điện tử hai cực có ký hiệu



Hình 2.1. Chuyển tiếp P-N chưa phân cực.

2.2. CHUYỂN TIẾP P-N CHUA PHÂN CỤC

2.2.1. Điện trường trong vùng điện tích không gian

Giả sử vùng chuyển tiếp không bị nhiễu loạn từ bên ngoài (điện trường, ánh sáng ...) có nghĩa là trên mọi điểm của bán dẫn không có dòng điện tử và lỗ trống.

Gọi :

n_{op} và p_{op} là nồng độ điện tử và lỗ trống trong miền p trung hòa.

n_{on} và p_{on} là nồng độ điện tử và lỗ trống trong miền n.

N_d là nồng độ tạp chất dono trong miền n.

N_a là nồng độ tạp chất acceptor trong miền p.

n_i là nồng độ điện tử và lỗ trống của bán dẫn ròng.

Giả sử ở nhiệt độ phòng tất cả các nguyên tử tạp chất đều bị ion hóa, do vậy :

với các hạt tải cơ bản, ta có :

$$\begin{cases} n_{on} \equiv N_d \\ p_{op} \equiv N_a \end{cases}$$

còn với các hạt tải không cơ bản thì :

$$\begin{cases} p_{on} \equiv \frac{n_i^2}{N_d} \\ n_{op} \equiv \frac{n_i^2}{N_a} \end{cases}$$

Theo một hướng vuông góc với mặt phẳng biên giới giữa hai vùng n và p, lấy gốc tọa độ tại mặt phẳng này, thì sự thay đổi nồng độ tạp chất (hình 2.2a) điện tích không gian và các thông số khác của vùng chuyển tiếp được biểu diễn trên hình 2.2a, b, c, d, e, f.

Ở trong vùng "sự mất" nồng độ điện tử và lỗ trống rất nhỏ so với nồng độ tạp chất, nên điện tích không gian trên một đơn vị diện tích bề mặt của lớp chuyển tiếp có thể viết :

về phía p, giữa $-x_p$ và 0 là $-qN_ax_p$

về phía n, giữa 0 và x_n là qN_dx_n .

Tổng điện tích của toàn bộ vùng này bằng không (điều kiện trung hòa điện) nên ta có :

$$x_p N_a = x_n N_d \quad (2.1)$$

Công thức này cho thấy miền chuyển tiếp ấu sâu vào vùng pha tạp ít.

Nếu gọi $\rho(x)$ là mật độ điện tích của miền điện tích không gian và $\epsilon = \epsilon_0 \epsilon_r$ là hằng số điện môi của chúng thì điện trường nội và điện thế tuân theo phương trình Poisson :

Điện trường ở phía P ($-x_p < x < 0$) :

$$\frac{\partial E(x)}{\partial x} = \frac{\rho(x)}{\epsilon} = -\frac{qN_a}{\epsilon}$$

Sau khi lấy tích phân và dùng điều kiện giới hạn : $E_p(-x_p) = 0$, thu được :

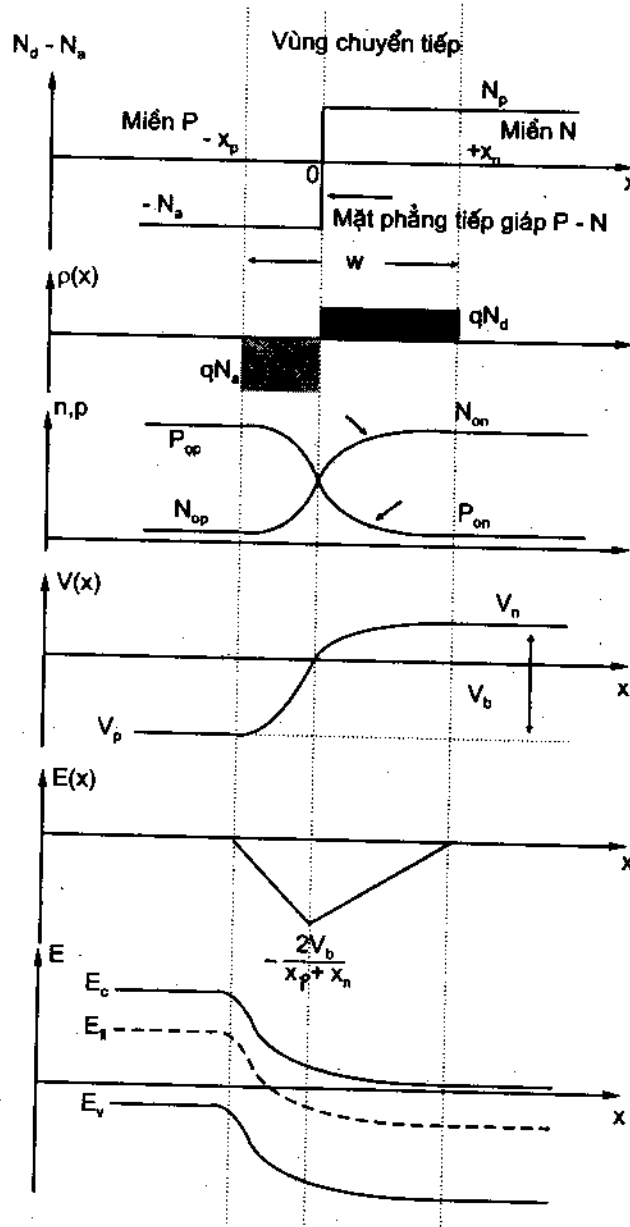
$$E_p(x) = -\frac{qN_ax_p}{\epsilon} \left(1 + \frac{x}{x_p} \right) \quad \text{với } -x_p < x < 0 \quad (2.2)$$

Điện trường ở phía N ($0 < x < x_n$) :

$$\frac{\partial E_n(x)}{\partial x} = \frac{\rho(x)}{\epsilon} = \frac{qN_d}{\epsilon}$$

Sau khi tích phân và sử dụng điều kiện giới hạn : $E_n(x_n) = 0$ ta sẽ thu được :

$$E_n(x) = -\frac{qN_d x_n}{\epsilon} \left(1 - \frac{x}{x_n}\right) \quad \text{với } (0 < x < x_n) \quad (2.3)$$



Hình 2.2. Sự phân bố hạt tải và điện trường, điện thế trong vùng điện tích không gian.

Điện trường là một đại lượng liên tục, do vậy tại $x = 0$ ta có ; $E_n(0) = E_p(0)$ từ đó suy ra điều kiện trung hòa điện (2.1).

Tại mặt phẳng tiếp xúc ($x = 0$), điện trường đạt giá trị cực đại. Giá trị của nó khá lớn, vào cỡ kV/cm và phụ thuộc mức độ pha tạp.

2.2.2. Độ rộng vùng điện tích không gian

Lấy tích phân của điện trường theo toàn bộ chiều dài của vùng điện tích không gian, ta sẽ thu được sụt thế trong vùng này :

$$V_b = - \int_{-x_p}^{x_n} E(x) dx = - \int_{-x_p}^0 E_p(x) dx - \int_0^{x_n} E_n(x) dx$$

thay các biểu thức của điện trường vào các tích phân trên, ta sẽ thu được :

$$V_b = q(N_a x_p^2 + N_d x_n^2) / 2\epsilon, \text{ với } V_b = V_n - V_p \quad (2.4)$$

Sử dụng điều kiện trung hòa (2.1), ta thu được :

$$x_p = \frac{1}{N_a} \left(\frac{2\epsilon}{q} \frac{1}{1/N_a + 1/N_d} V_b \right)^{1/2} \quad (2.5)$$

và

$$x_n = \frac{1}{N_d} \left(\frac{2\epsilon}{q} \frac{1}{1/N_a + 1/N_d} V_b \right)^{1/2} \quad (2.6)$$

Độ rộng vùng điện tích không gian $w = x_n + x_p$:

$$w = \sqrt{\frac{2\epsilon}{q} \left(\frac{1}{N_a} + \frac{1}{N_d} \right) V_b} \quad (\mu m) \quad (2.7)$$

Độ rộng vùng điện tích không gian tăng theo chiều cao của hàng rào thế với quy luật $V_b^{1/2}$.

Khi nhiệt độ tăng, chiều cao hàng rào thế giảm, vì vậy độ rộng vùng điện tích không gian cũng giảm theo.

2.3. CHUYỂN TIẾP P-N BỊ PHÂN CỰC

2.3.1. Đặc tính của vùng chuyển tiếp khi phân cực

Nếu tác dụng một hiệu điện thế từ ngoài vào lớp chuyển tiếp P-N thì sẽ xảy ra ba quá trình :

- * Cấu trúc vùng năng lượng bị biến điệu.
- * Vùng điện tích không gian cũng bị biến điệu.
- * Có mật độ dòng chuyển qua lớp tiếp xúc.

Sự có mặt của hiệu điện thế $V_p - V_n$ làm xuất hiện điện trường tại mọi điểm của tinh thể bán dẫn. Nếu $V_p - V_n > 0$ (phân cực thuận) thì hàng rào thế bị hạ thấp xuống, nên dòng thuận

có giá trị lớn chạy qua diốt. Trong vùng chuyển tiếp xuất hiện sụt thế, nhưng giá trị của nó rất nhỏ so với $V_p - V_n$ ở hai đầu diốt.

Nếu $V_p - V_n < 0$ (phân cực ngược), thế này bổ sung vào hàng rào thế làm cho nó tăng cao. Do vậy, các hạt tải điện cơ bản không thể chuyển qua vùng chuyển tiếp, trong khi các hạt tải điện không cơ bản lại chuyển qua một cách dễ dàng để tạo thành dòng điện ngược kéo theo sụt thế có thể loại trừ so với hàng rào thế, nên toàn bộ thế tác dụng bị sụt ở trong vùng chuyển tiếp gây ra điện trường rất cao.

Sụt thế trong vùng điện tích không gian là :

$$V_b - (V_p - V_n) = V_b - V$$

trong đó: $V = V_p - V_n$ là hiệu thế tác dụng từ ngoài. Do vậy độ rộng vùng điện tích không gian :

$$w = x_n + x_p = \left[2\varepsilon \left(\frac{1}{qN_a} + \frac{1}{qN_d} \right) \right]^{1/2} (V_b - V)^{1/2} \quad (2.8)$$

Độ rộng này giảm khi $V = V_p - V_n > 0$ (phân cực thuận) và tăng lên nếu $V = V_p - V_n < 0$ (phân cực ngược).

2.3.2. Dòng điện qua vùng chuyển tiếp

Mật độ dòng qua lớp tiếp xúc P-N thu được bằng cách giải phương trình trong chế độ dừng $\frac{\partial n}{\partial t} = 0$, $\frac{\partial p}{\partial t} = 0$ dưới ảnh hưởng của $V_p - V_n = 0$.

Khi đó phương trình liên tục cho ta :

$$D_p \frac{\partial^2 P_n(x)}{\partial x^2} + \frac{P_n(x) - P_{no}}{\tau_p} = 0$$

với :

D_p : là hệ số khuếch tán của lỗ trống ở phía N ;

τ_p : là thời gian sống của lỗ trống ở phía N ;

$L_p = (D_p \tau_p)^{1/2}$ là độ dài khuếch tán của lỗ trống ở phía N.

Lấy tích phân phương trình trên với các điều kiện ban đầu $P_n(x_n^1) = P_n^1$ và $P_n(\infty) = P_{no}$ ta thu được :

$$P_n(x) - P_{no} = (P_n^1 - P_{no}) \exp \left[-(x - x_n^1) / L_p \right]$$

Dòng chạy qua vùng chuyển tiếp là dòng khuếch tán qua mặt phẳng $x = x_n^1$:

$$J_p = -qD_p \left(\frac{d[P_n(x) - P_{no}]}{dx} \right) \Big|_{x=x_n^1}$$

Thay giá trị $P_n(x) = P_{no} \exp(qV/KT)$ sẽ thu được :

$$J_p = \frac{qD_p P_{no}}{L_p} \left(\exp \frac{qV}{KT} - 1 \right)$$

Tính toán tương tự, ta sẽ thu được biểu thức của dòng khuếch tán của điện tử qua vùng chuyển tiếp khi phân cực thuận :

$$J_n = \frac{qD_n n_{po}}{L_n} \left(\exp \frac{qV}{KT} - 1 \right)$$

Dòng thuận tổng cộng I_d đi qua diện tích S của vùng chuyển tiếp là :

$$I_d = S.(J_p + J_n) = S.q \left(\frac{D_p P_{no}}{L_p} + \frac{D_n n_{po}}{L_n} \right) \left(\exp \frac{qV}{KT} - 1 \right)$$

hay :

$$I_d = I_s \left(\exp \frac{qV}{K_B T} - 1 \right) \quad (2.10)$$

với :

$$I_s = S.q \left(\frac{D_p P_{no}}{L_p} + \frac{D_n n_{po}}{L_n} \right) \quad (2.11)$$

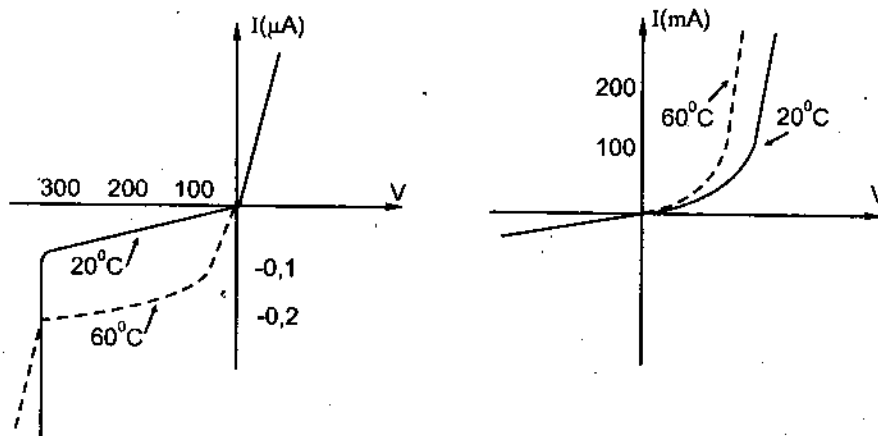
hay:

$$I_s = S.q n_i^2 \left(\frac{D_p}{L_p N_d} + \frac{D_n}{L_n N_a} \right)$$

Ta đã biết biểu thức của n_i thay đổi theo nhiệt độ T theo quy luật :

$$n_i^2 = A.T^3 \exp \left(-\frac{E_g}{KT} \right)$$

thì dòng ngược I_s thay đổi rất mạnh với nhiệt độ T . Hình 2-3 cho thấy sự thay đổi của dòng thuận và dòng ngược theo nhiệt độ.



Hình 2.3. Sự phụ thuộc nhiệt độ của dòng thuận và ngược.

2.4. ĐIỆN TRỞ ĐỘNG CỦA ĐIỐT

Để xác định điện trở động, điốt được mắc trong sơ đồ hình 2.4a. Vùng chuyển tiếp P-N phân cực tại điểm P trên đặc trưng von-ampe, xung quanh nó tác dụng một thế hình sin $V \sin \omega t$. Biên độ V rất nhỏ so với V_0 . Điểm P tương ứng với dòng I_0 và thế V_0 gọi là điểm làm việc của điốt. Trong gần đúng bậc nhất, vùng chuyển tiếp P-N được coi như gồm một điện trở r_d và một tụ điện C mắc song song. Khi phân cực thuận, điện trở động (hoặc điện trở vi phân) bằng nghịch đảo độ dốc của đường đặc trưng tại điểm phân cực.

$$r_d = \left. \frac{dV}{dI} \right|_{V=V_0}$$

Với $I = I_s \left(\exp \frac{qV}{KT} - 1 \right)$ ta tìm được :

$$r_d = \frac{KT}{q(I_s + I_0)} \cong \frac{KT}{qI_0} \quad \text{vì} \quad I_s \ll I_0 \quad (2.12)$$

Kết quả này cho thấy r_d càng nhỏ khi I_0 càng lớn. Ở nhiệt độ phòng ($T \approx 300K$) $r_d = \frac{26 \cdot 10^{-3}}{I_0}$

Đại lượng nghịch đảo của điện trở là độ dẫn điện của điốt :

$$g = \frac{1}{r_{dd}} = \left. \frac{dI}{dV} \right|_{I=I_0} \quad (2.13)$$

Khi phân cực ngược, điện trở động rất lớn, cỡ mê-ga ôm. Đối với silic, điện trở ngược được xác định bằng công thức gần đúng dạng :

$$r_d = \left. \frac{dV}{dI} \right|_{V=V_0} = - \frac{2(V_b - V_0)}{I_0} \approx \frac{2V_0}{I_0}$$

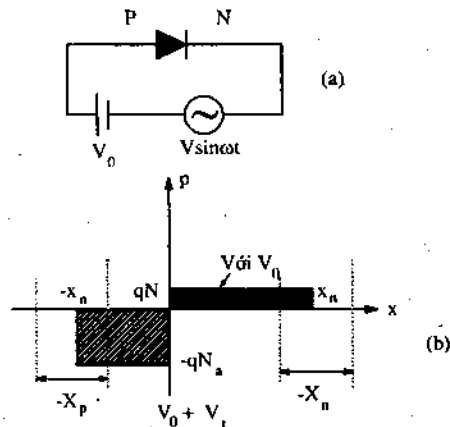
V_b là chiều cao hàng rào thế ở trạng thái cân bằng nhiệt động.

2.5. ĐIỆN DUNG CỦA ĐIỐT

2.5.1. Điện dung chuyển tiếp

Trong vùng chuyển tiếp có hai miền tích điện ngược dấu nhau, giữa $-x_p$ và 0 đến x_n , với giá trị điện tích $s.q.N_a \cdot x_p$ và $s.q.N_d \cdot x_n$. Độ dài x_p và x_n là hàm của thế V tác dụng vào lớp chuyển tiếp (hình 2.4) làm dịch chuyển giới hạn của miền chuyển tiếp.

Thực vậy, ta đã biết :



Hình 2.4. Sự phân bố điện tích trong vùng chuyển tiếp.

$$N_d x_n = N_a x_p = \left[\frac{2\epsilon}{q \left(\frac{1}{N_a} + \frac{1}{N_d} \right)} \right]^{1/2} \cdot (V_b - V)^{1/2}$$

Khi tăng thế phân cực thuận thì điện tử từ vùng N được phun vào vùng chuyển tiếp, trung hòa các điện tích không gian dương, còn lỗ trống từ miền P được phun vào vùng chuyển tiếp để trung hòa bớt điện tích không gian âm. Còn khi phân cực ngược, thì quá trình ngược lại, làm tăng các điện tích không gian trong vùng chuyển tiếp.

Hiện tượng trên làm thay đổi điện tích trong vùng chuyển tiếp theo hiệu thế tác dụng $\frac{dQ_t}{dV}$, tỉ số này có thứ nguyên của điện dung C_t .

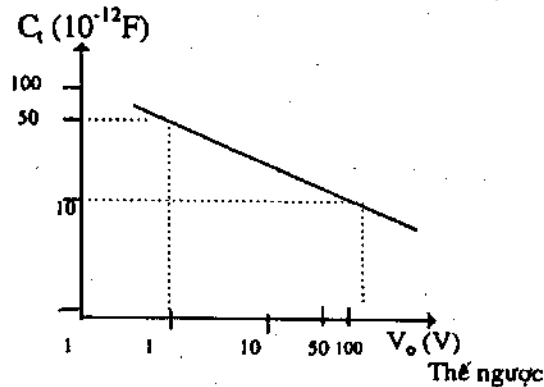
$$Q_t = S \cdot q \cdot N_d x_n = S \cdot q \cdot N_a x_p$$

từ đó suy ra :

$$C_t = \frac{dQ_t}{dV} = \frac{S}{2} \left[\frac{2q\epsilon}{\frac{1}{N_d} + \frac{1}{N_a}} \right]^{1/2} \cdot (V_b - V_o)^{1/2} \quad (2.14)$$

$$\text{hay } C_t = \frac{\epsilon S}{x_n + x_p}$$

Biểu thức này chỉ đúng cho chuyển tiếp nhảy bậc. Nếu nồng độ tạp chất thay đổi tuần tự theo hàm bậc nhất khi đi qua vùng chuyển tiếp, thì Q_t tỉ lệ với $(V_b - V)^{2/3}$, do vậy $C_t \approx (V_b - V)^{-1/3}$. Nói chung, giá trị của C_t nhỏ (khoảng vài pF đến vài chục pF). Sự thay đổi của điện dung động của một vùng chuyển tiếp P-N phân cực ngược được cho trên hình 2.5; trong tọa độ lưỡng lô-ga.



Hình 2.5. Sự thay đổi C_t theo thế phân cực ngược.

Người ta ứng dụng sự thay đổi của C_t theo thế phân cực ngược để chế tạo điốt Varicap (điốt có điện dung thay đổi).

2.5.2. Điện dung khuếch tán

Như đã biết, khi phân cực thuận ở trong miền chuyển tiếp các hạt tải không cơ bản được phân phối lại và thay đổi theo hàm mũ đối với thế tác dụng, trong khi x_p và x_n lại tùy thuộc vào chính thế đó.

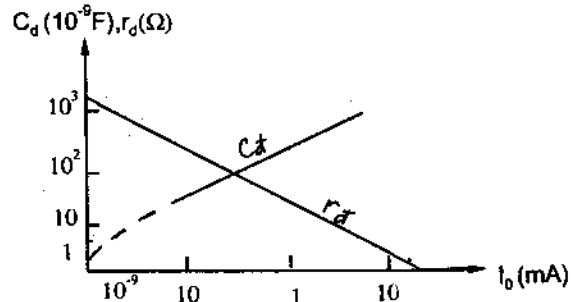
So với các điện tích cân bằng n_{op} và p_{on} , các điện tích do kết quả của các hạt tải dư khi phân cực thuận được gọi là điện tích khuếch tán Q_{dn} ở phía P và Q_{dp} ở phía N. Khi thế tác dụng thay đổi thì các điện tích này cũng thay đổi theo. Sự thay đổi đó tương đương với *điện dung khuếch tán* :

$$C_{dn} = \frac{dQ_{dn}}{dV} ; \quad C_{dp} = \frac{dQ_{dp}}{dV} .$$

Do vậy điện dung khuếch tán tổng cộng bằng :

$$C_d = C_{dn} + C_{dp} = \frac{Sq^2}{2K_B T} \{ (d_p - x_p)n_{op} + (d_n - x_n)p_{on} \} \exp \frac{qV_o}{K_B T}$$

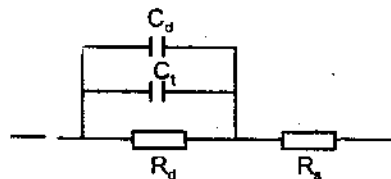
Điện dung này có giá trị đáng kể khi phân cực thuận, còn khi phân cực ngược nó rất nhỏ so với C_T . Sự thay đổi điển hình của các thông số r_d và C_d của vùng chuyển tiếp khi phân cực thuận được mô tả trên hình 2.6.



Hình 2.6. Điện trở và điện dung động của vùng chuyển tiếp P-N.

Các biểu thức vừa tính ở trên chỉ được áp dụng cho vùng chuyển tiếp “nhảy bậc”, trong đó nồng độ tạp chất đồng đều trong cả hai miền N và P, sự phân cách giữa hai miền này rõ nét và phẳng. Tuy nhiên, do công nghệ chế tạo, nồng độ tạp chất trong linh kiện thực có sự khác nhau rõ rệt với mô hình đã áp dụng, nên để sử dụng được các kết quả trên chúng ta phải có một số hiệu chỉnh. Các kết quả trên sẽ được sử dụng một cách rộng rãi nếu ta thay hệ thức $\frac{KT}{q}$ bằng $m \frac{KT}{q}$ với $1 \leq m \leq 2$.

Ngoài ra, nếu tính đến độ dày của miền N và P thì sơ đồ tương đương của diốt sẽ là :



Hình 2.7. Sơ đồ tương đương của diốt P-N.

2.6. DIỐT P-N TRONG CHẾ ĐỘ CHUYỂN MẠCH

Xét diốt PN^+ , mắc trong mạch như trên hình 2.8a. Bỏ qua tự cảm dọc theo chiều dài dây nối, còn điện trở nối tiếp với diốt được ghép vào điện trở R. Bây giờ chúng ta sẽ quan sát hiện tượng chuyển mạch khi thế phân cực thay đổi một cách đột ngột từ phân cực ngược (trạng thái đóng) sang phân cực thuận (trạng thái dẫn).

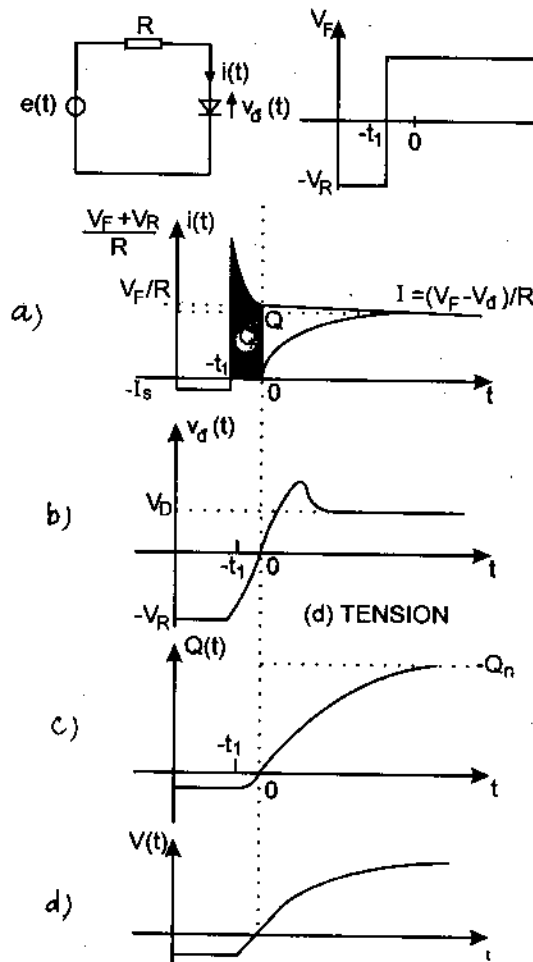
2.6.1. Chuyển mạch từ trạng thái đóng sang trạng thái dẫn. Tác động bởi thế.

Giả sử tại thời điểm $t = -t_1$, thế thay đổi một cách tức thời từ giá trị $-V_R$ đến $+V_F$. Việc tính toán khá phức tạp [1] vì có hai quá trình xảy ra do các điện tích của các điện dung chuyển tiếp C_i và của điện dung khuếch tán C_d .

Khi thế $V(t)$ còn âm (hình 2.8d) :

$-t_1 < t < 0$. C_i có tác dụng, còn C_d ít ảnh hưởng. C_i tích điện tới đỉnh của dòng điện dương $(V_F + V_R)/R$, sau đó phóng điện với hằng số thời gian $\tau = R.C_i$.

Ngay khi $V(t) > 0$, C_i không còn tác dụng nữa, trong khi C_d lại tích điện với hằng số thời gian $\tau_n = r_d C_d$. Nếu R nhỏ thì có thể có đỉnh thế (hình 2.8d). Thời gian chuyển mạch vào cỡ $R.C_i + \tau_n$.

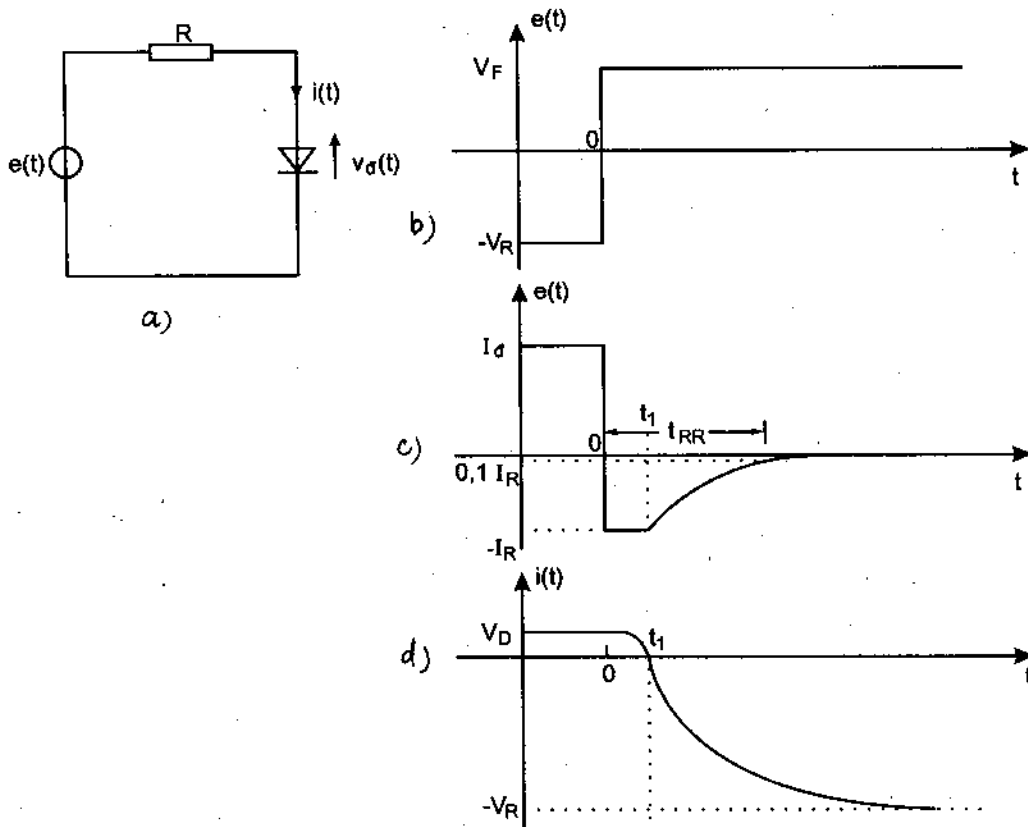


Hình 2.8. Các trạng thái của diốt.

2.6.2. Chuyển mạch từ trạng thái dẫn sang trạng thái đóng

Điều khiển bằng thế.

Trường hợp này diốt được mắc theo sơ đồ hình 2.9a phân cực bằng nguồn thế có giá trị chuyển từ V_F sang $-V_R$ một cách tức thời, tại thời điểm $t = 0$.



Hình 2.9. Chuyển mạch từ dẫn sang đóng.

* Khi $t \leq 0$, dòng qua diốt là :

$$I_d = \frac{V_F - V_D}{R} \cong \frac{V_F}{R} \quad \text{vì } V_D \ll V_F$$

Sự phân bố của các hạt tải vừa được phun qua biểu diễn trên hình 2.9c.

* Khi $0 < t < t_1$: Thế tác dụng lên diốt là thế phân cực ngược, do vậy các điện tử dư từ phía P được chuyển trở lại phía N, tạo nên dòng ngược tức thời, giá trị của nó bị hạn chế bởi điện trở R. Khi mật độ điện tử ở lối ra của vùng điện tích không gian lớn hơn so với mật độ cân bằng n_{op} , thì sụt thế ở hai đầu vùng chuyển tiếp có giá trị dương và còn nhỏ (hình 2.9d). Dòng qua diốt lúc này có giá trị :

$$-I_R = \frac{-V_R + V_t}{R} \cong \frac{-V_R}{R}$$

ở đây : V_t là sụt thế trong vùng chuyển tiếp.

* Khi $t = t_1$: mật độ hạt tải ở lối ra của vùng điện tích không gian bằng n_{op} ; điều này kéo theo $V_d(t) = 0$ (hình 2.9d) do vậy dòng I_r bắt đầu giảm.

Khi $t \rightarrow \infty$: Đây là chế độ chờ đợi (hình 2.9c). Dòng qua diốt có giá trị $-I_s$, còn thế $-V_R$.

Người ta còn đặc trưng cho các tính chất của một diốt chuyển mạch từ trạng thái đóng sang trạng thái dẫn bằng thời gian hồi phục t_{RR} (Reverse Recovery Time). Đây chính là thời gian, bắt đầu từ đó dòng ngược giảm 1/10 giá trị ban đầu của nó. Thời gian này tỉ lệ trực tiếp với thời gian sống của các hạt tải đã được phun qua. Giả sử Q_n là điện tích tích tụ khi phân cực thuận. Dòng ngược trung bình được cho bởi : $I_{s,lb} = Q_n/t_{RR}$. Vì diốt là loại PN^+ , nên ta có $Q_n = I_d \tau_n$. Do vậy :

$$t_{RR} = \left(\frac{I_d}{I_{st,b}} \right) \tau_n$$

Để giảm thời gian phục hồi t_{RR} , phải giảm thời gian sống của các hạt tải được phun. Điều này có thể được thực hiện bằng cách tăng các tâm tái hợp (tăng bẫy), nhưng trường hợp này lại tăng cả dòng tái hợp và vì vậy tăng cả dòng ngược của diốt. Bán dẫn có thời gian sống rất nhỏ là GaAs. Vật liệu này rất thích hợp cho việc chế tạo các diốt nhanh (diốt chuyển mạch) với thời gian hồi phục cỡ na-nô giây.

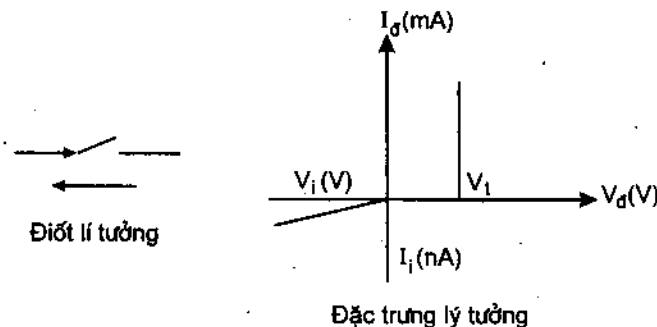
2.6.3. Mô hình lý tưởng của một diốt P-N

Trong các sơ đồ chuyển mạch hoặc trong các mạch số, diốt được mô hình hóa theo một đặc trưng lý tưởng như trên hình 2.10. Khi phân cực ngược, dòng qua diốt được giả thiết bằng không. Còn khi phân cực thuận, thì sụt thế ở hai đầu diốt giả thiết bằng không. Trong mô hình này, diốt được coi như một cái ngắt đóng-mở. Diốt khóa tương đương với ngắt mở, diốt dẫn tương đương với ngắt đóng.

Đặc trưng $V(I)$ thu được gồm ba đoạn thẳng :

$V_d > V_i$: Diốt dẫn (V_i : thế ngưỡng của diốt bằng 0,7V đối với diốt silic và bằng 0,3V đối với gecmani), thế ở hai đầu diốt bằng thế ngưỡng cộng với sụt thế tỉ lệ trực tiếp với dòng qua nó.

$V_d < V_i$: Diốt đóng. Có dòng ngược do dòng bão hòa và dòng rò do hiệu ứng bờ gây ra.



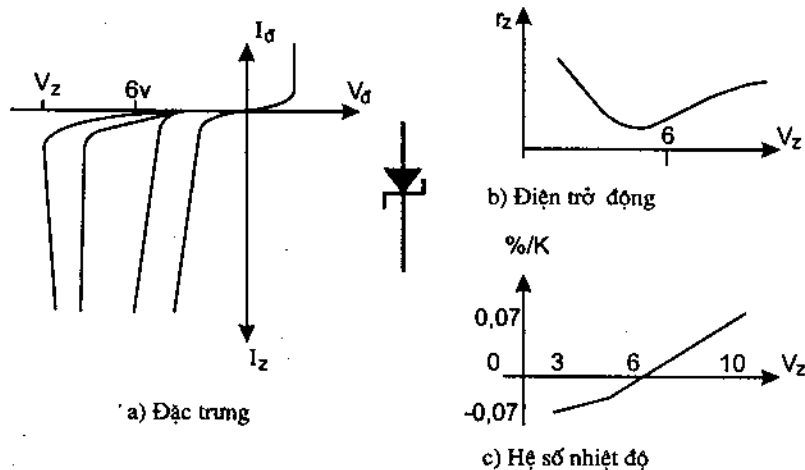
Hình 2.10. Mô hình hóa của một diốt lý tưởng.

2.7. CÁC LOẠI DIỐT ĐẶC BIỆT

2.7.1. Diốt Zener và diốt thác lũ

2.7.1.1. Các đặc trưng của diốt zener và thác lũ

Khi thế ngược của một diốt vượt quá một giới hạn nào đó thì dòng ngược bắt đầu tăng lên một cách đột ngột. Giá trị giới hạn đó của thế ngược phụ thuộc bản chất của bán dẫn tạo nên diốt. Cũng cần lưu ý rằng, mặc dù dòng ngược tăng lên đột ngột, nhưng lớp tiếp xúc của diốt không bị phá hủy. Đặc trưng của một diốt zener cho trên hình 2.11. Ở đây có hai quá trình cùng song song tồn tại là hiệu ứng zener và hiệu ứng thác lũ.



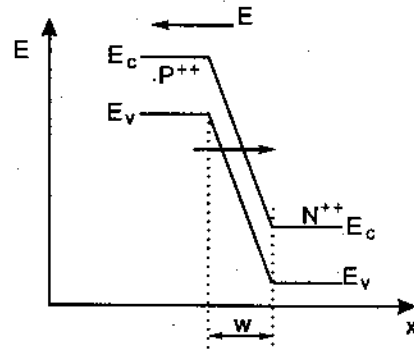
Hình 2.11. Các đặc trưng của một diốt zener.

2.7.1.2. Hiệu ứng zener

Xét cấu trúc vùng năng lượng của vùng chuyển tiếp phân cực ngược. Trong vùng này xuất hiện một điện trường rất mạnh, có thể đạt tới giá trị ngưỡng gây ra chuyển dời trực tiếp của điện tử từ trạng thái liên kết sang trạng thái tự do. Có nghĩa là gây ra sự đứt các liên kết đồng hóa trị. Tức là có sự phát sinh các hạt tải (các cặp điện tử-lỗ trống xuất hiện) do hiệu ứng tunnel nội (hình 2.12).

Các điện tử có năng lượng E ở phía P, trong vùng hóa trị có thể chuyển sang vùng dẫn ở cùng mức năng lượng của phía N bằng cách chui qua hàng rào thế nhờ hiệu ứng tunnel.

Trong silic, hiệu ứng này xảy ra trong các vùng chuyển tiếp có mật độ tạp chất rất cao, ở đó vùng chuyển tiếp rất hẹp để hàng rào thế có độ rộng nhỏ hơn $500\text{\AA}$ thì sẽ quan sát được hiện tượng này ở thế dưới 5 hoặc 6V, tương ứng với điện trường khoảng 10^8V.m^{-1} . Sự đánh thủng do hiệu ứng zener có hệ số nhiệt độ âm.



Hình 2.12. Cấu trúc vùng năng lượng của diốt zener.

2.7.1.3. Hiệu ứng thác lũ

Hiệu ứng này gần giống như sự ion hóa không khí. Nó xảy ra khi điện trường trong vùng chuyển tiếp có giá trị thấp hơn ngưỡng của hiệu ứng zener.

Dưới tác dụng của điện trường đủ lớn (cỡ 10^7V.m^{-1}), các điện tử tự do bay vào vùng chuyển tiếp với vận tốc rất cao (gọi là điện tử nhiệt). Khi va chạm với các nguyên tử mạng, chúng có thể ion hóa các nguyên tử mạng đó, sinh ra các cặp điện tử - lỗ trống mới; do vậy làm tăng số lượng hạt tải. Các hạt tải này, đến lượt mình, lại tiếp tục quá trình ion hóa. Vì thế có hiệu ứng nhân thác lũ.

Người ta có thể đặc trưng cho hiệu ứng nhân đó bằng một hệ số nhân M khi dòng điện qua vùng chuyển tiếp đó :

$$I = M.I_s \text{ với } M = \frac{1}{1 - \left(\frac{V}{V_{av}}\right)^m}$$

Đó là công thức kinh nghiệm của Miller.

trong đó : V_{av} là thế gây ra thác lũ hạt tải ;

m là một hệ số ≈ 2 cho silíc loại N và ≈ 4 cho silíc loại P.

Rõ ràng là sự đánh thủng do thác lũ có *hệ số nhiệt độ dương*. Nghĩa là thế đánh thủng tăng theo giá trị tuyệt đối khi nhiệt độ tăng lên.

Thế đánh thủng do thác lũ lớn hơn thế đánh thủng do zener nhưng khoảng cách mà trên đó các thế này tác dụng lại cho thấy rằng điện trường tới hạn để gây ra sự đánh thủng do zener lại lớn hơn nhiều so với điện trường gây ra ion hóa do va chạm.

Nếu $V_{av} > 8V$, thì sự đánh thủng là do thác lũ, còn nếu $V_{av} < 5V$ thì sự đánh thủng là do hiệu ứng zener. Giữa hai giá trị này, cả hai quá trình đều tham dự. Do vậy ở trong vùng này *hệ số nhiệt độ bằng không*, nghĩa là thế đánh thủng không phụ thuộc vào nhiệt độ.

2.7.2. Diốt tunnel

Diốt tunnel thu được khi pha tạp tinh thể bán dẫn một miền P nồng độ cao hơn 10^{19}cm^{-3} (bán dẫn suy biến P^+) và một miền loại N nồng độ cao hơn 10^{19}cm^{-3} . Như vậy ta đã thu được một vùng chuyển tiếp P^+N^+ rất nhạy bậc với độ rộng vùng điện tích không gian rất hẹp, cỡ mười Å⁰.

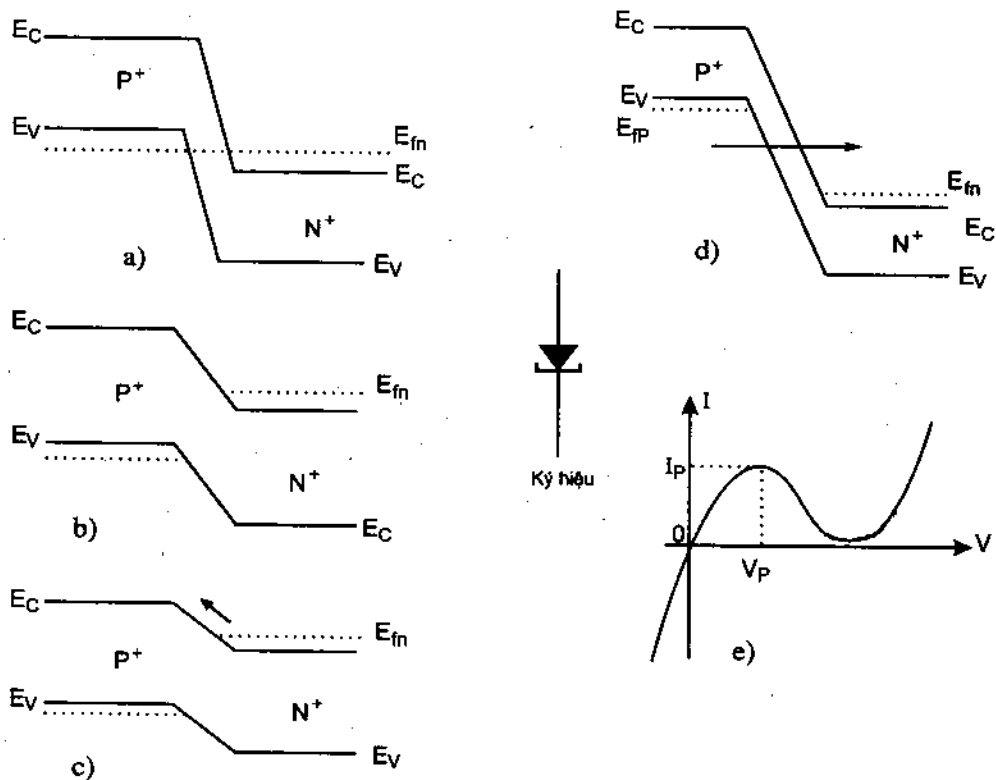
Đặc điểm của linh kiện này là trên đặc trưng $V(I)$ có một vùng *điện trở vi phân âm*. Nhờ đặc điểm này mà diốt tunnel được sử dụng để làm các bộ tạo dao động siêu cao tần.

Do mức độ pha tạp cao như vậy, nên giản đồ năng lượng của vùng chuyển tiếp bị biến điệu mạnh. Vì thế, ngay khi chưa có thế phân cực, các mức năng lượng thấp ở trong vùng dẫn của miền N^+ có cùng giá trị như các mức cao của vùng hóa trị của miền P^+ (hình 2.13a). Nhưng do vùng chuyển tiếp rất mỏng, nên điện tử từ vùng hóa trị của miền P^+ có thể dễ dàng xuyên qua vùng cấm để sang vùng dẫn của N^+ nhờ hiệu ứng “*đường hầm*” (tunnel). Có nghĩa là có sự chuyển dời với năng lượng không đổi từ một trạng thái chất đầy của vùng hóa trị sang một trạng thái trống của vùng dẫn.

* Khi thế phân cực thuận còn nhỏ : Giản đồ năng lượng hơi giảm xuống một ít về phía P, có dòng điện tử lớn xuyên qua vùng cấm bằng hiệu ứng tunnel sang vùng dẫn của N^+ . Kết quả là dòng thuận tăng lên.

* Thế phân cực thuận tiếp tục tăng cao hơn : Giản đồ năng lượng tiếp tục hạ thấp kéo theo các mức của vùng dẫn của miền N đối diện với vùng cấm của miền P (hình 2.13b). Do vậy, dòng điện tử do hiệu ứng tunnel bị giảm xuống. Trên đặc trưng $V(I)$ (hình 2.13e) xuất hiện điện trở vi phân âm được điều khiển bằng thế V. Điện thế này làm cho linh kiện có thể được sử dụng để làm các bộ tạo dao động hoặc để khuếch đại tín hiệu.

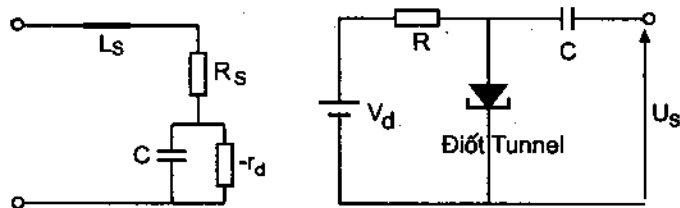
* Thế phân cực thuận tăng cao nữa : Lúc này chiều cao hàng rào thế giảm đến mức cho phép điện tử từ miền P^+ phun sang N^+ và lỗ trống từ N^+ phun sang P^+ , như trường hợp của diốt thông thường. Do vậy dòng điện lại tăng lên (hình 2.13c).



Hình 2.13. Đặc trưng của diốt tunnel.

* **Phân cực ngược:** Khi phân cực ngược, các mức chất đầy trong hóa trị của miền P⁺ luôn luôn đối diện với các mức trống của vùng dẫn của miền N⁺, nên điện tử và lỗ trống dễ dàng xuyên qua vùng cấm. Điều này tương ứng với dòng ngược có giá trị lớn trên đặc trưng V(I) (hình 2.13e). Do vậy diốt tunnel không thể bị đóng khi phân cực ngược, vì thế nó còn có tên gọi là *diốt ngược* (backward).

* **Sơ đồ tương đương**



Hình 2.14. Sơ đồ tương đương của diốt tunnel.

Sơ đồ điện tương đương của một diốt tunnel gồm có :

- * Điện trở nối tiếp r_s , là điện trở tiếp xúc.
- * Cảm kháng nối tiếp L_s là cảm kháng của dây nối.
- * Điện trở vi phân âm $-r_d$ là điện trở vi phân âm của vùng chuyển tiếp tại điểm làm việc.

Giá trị cực tiểu của nó được cho bởi:

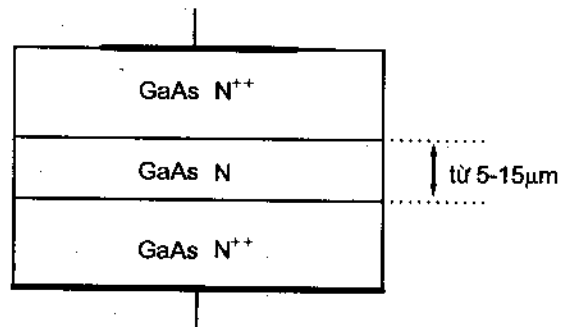
$$r_{\min} \cong 2V_p/I_p$$

trong đó: V_p và I_p là thế và dòng đỉnh của diốt.

2.7.3. Diốt Gunn GaAs

Khi tác động vào một mẫu tinh thể bán dẫn một điện trường mạnh thì trong tinh thể bán dẫn đó xuất hiện các dao động dòng siêu cao tần. Hiệu ứng đó được gọi là hiệu ứng Gunn. Diốt hoạt động dựa trên hiệu ứng này được gọi là diốt Gunn. Hình 2.15 mô tả cấu tạo một diốt Gunn dùng đơn tinh thể bán dẫn GaAs. Ta biết rằng trong vật liệu bán dẫn, độ dẫn điện là do các hạt tải điện tự do: điện tử và lỗ trống. Dưới tác dụng của điện trường, các điện tử này có thể có vận tốc định hướng rất cao bổ sung thêm cho vận tốc chuyển động nhiệt của các điện tử khác nhờ các quá trình va chạm. Vì các va chạm này rất nhiều, nên năng lượng mà các điện tử thu được không thể tăng vô hạn mà chỉ đạt một giới hạn nào đó tỉ lệ với điện trường ngoài. Độ linh động này phụ thuộc chất liệu bán dẫn đã được sử dụng. Cho đến khi tất cả các điện tử có cùng độ linh động, thì lúc này độ dẫn điện của bán dẫn tuân theo định luật Ohm.

Khi điện trường vượt qua một giá trị nào đó (khoảng 3kV/cm), thì vận tốc định hướng của các điện tử có cùng giá trị như vận tốc chuyển động nhiệt. Do vậy có các hiện tượng mới xuất hiện. Đặc biệt là sự phân bố theo năng lượng của điện tử bị biến điệu mạnh và một số điện tử có thể thu được năng lượng đáng kể trở thành các "điện tử nóng". Lúc này vật rắn không còn tuân theo định luật Ohm nữa bởi vì các điện tử nóng này liên kết rất yếu với mạng tinh thể và trở thành điện tử dẫn. Bắt đầu từ lúc này, tinh thể ở trong trạng thái bất cân bằng về phương diện điện và khi thế vượt qua một giá trị ngưỡng nào đó, dòng điện tăng giáng rất nhanh.



Hình 2.15. Cấu tạo của một diốt Gunn dùng GaAs.

Trong mẫu GaAs ngắn và pha tạp ít loại N xuất hiện các dao động dòng siêu cao tần với tần số bằng nghịch đảo của thời gian chạy từ đầu này sang đầu kia của các điện tử. Các dao động dòng này xuất hiện trong toàn bộ thể tích của tinh thể và liên quan chặt chẽ với sự chuyển động của các điện tử. Vì thế tần số của các dao động dòng phụ thuộc vào chiều dài của miếng bán dẫn GaAs và chiều dày của vùng hoạt động (chiều dày của miền N). Người ta có thể tạo được diốt Gunn có tần số hoạt động từ 26 đến 40GHz với công suất phát từ 50 đến 150mW ở thế $V_F = 4V$.

Các diốt này được lắp trong các hốc cộng hưởng để tạo ra các sóng siêu cao tần thay thế cho các klistron phản xạ công suất bé, hoặc để thực hiện các dao động địa phương ứng dụng trong đo lường từ xa, làm các bộ liên kết nhiều đường thông tin với nhau, để phát hiện vận tốc hoặc hướng, trong các radar mini công nghiệp và giao thông, trong đo lường điện tử quân sự, các mini radar phát hiện trộm xâm nhập vào nhà, v.v...

2.7.4. Điốt PIN

2.7.4.1. Cấu tạo

Điốt PIN được tạo thành nhờ ba lớp bán dẫn, trong đó có hai lớp P^+ và N^+ pha tạp mạnh, kẹp giữa một lớp bán dẫn tinh khiết I có độ dày lớn hơn. Nhưng vì do công nghệ chế tạo không thể chế tạo được lớp bán dẫn tinh khiết lý tưởng vì thế miền I có thể là bán dẫn loại P pha tạp rất ít, khi đó ta được điốt có tên ($P^+\pi N^+$), còn nếu miền I là bán dẫn loại N pha tạp ít thì điốt gọi là ($P^+\gamma N^+$).

Xét một điốt PIN lý tưởng, độ dài miền I là w_i và không chứa bất kỳ một nguyên tử tạp chất bị ion hóa nào. Gọi $\rho(x)$ là mật độ điện tích, $E(x)$ là điện trường và $V(x)$ là điện thế và so sánh với điốt P^+N . Ta thấy trong điốt PIN, điện trường $E(x)$ có dạng hình thang, vì $\rho(x) = 0$ trong miền I, chiều cao hàng rào thế trong điốt PIN lớn hơn đối với điốt P^+N . Năng lượng trong miền I là tuyến tính.

2.7.4.2. Đặc trưng của điốt PIN

1. Khi phân cực thuận

* Trường hợp này, điốt PIN được phân ra hai chế độ:

- Chế độ "mức thấp". Trong chế độ này, quá trình tái hợp, xảy ra trong miền I.
- Chế độ "mức mạnh" thì sự tái hợp được thực hiện trong miền P^+ và N^+ .

Ngoài ra cũng phải tính đến các vùng chuyển tiếp PN phụ.

* Vùng chuyển tiếp P^+I có sụt thế V_p^+ .

* Vùng chuyển tiếp IN^+ có sụt thế V_n^+ .

* Vùng bán dẫn tinh khiết I cho sụt thế V_i .

Do vậy thế tác dụng là:

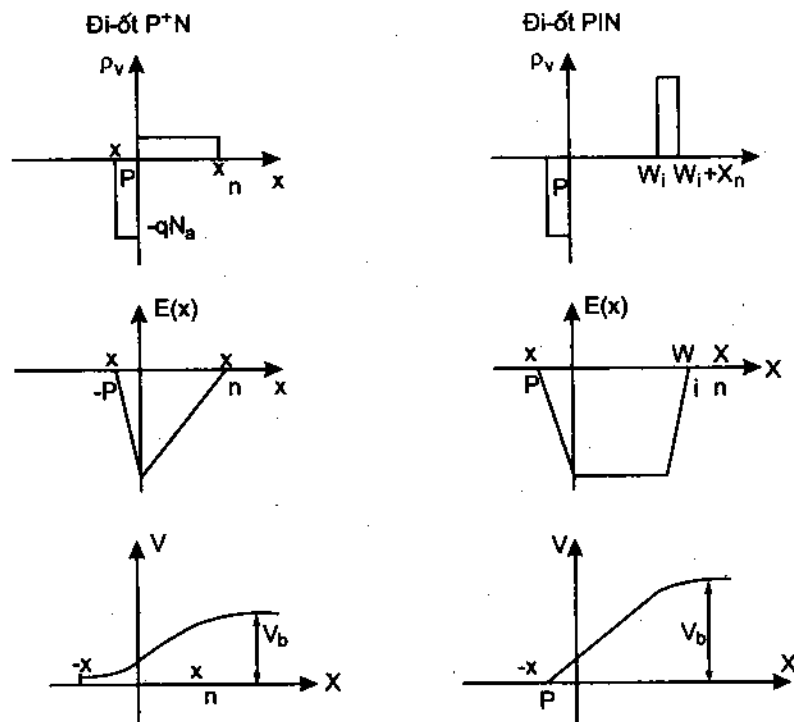
$$V_{td} = V_p^+ + V_n^+ + V_i.$$

Ở chế độ "mức thấp", sụt thế V_i không phụ thuộc dòng điện, vì vậy điện trở tương đương tỉ lệ với $1/I_F$. Do vậy người ta có thể biến điệu điện trở của điốt PIN bằng cách điều chỉnh dòng điện. Ở chế độ "mức mạnh" thì đặc trưng $I(V)$ tỉ lệ với V^2 .

2. Khi phân cực ngược

Độ rộng của vùng bán dẫn tinh khiết I hầu như không thay đổi, vì ở hai biên của nó là hai miền P^+ và N^+ pha tạp mạnh, nên vùng điện tích không gian hầu như không lan vào các miền này. Do vậy điện dung của điốt hầu như không thay đổi khi thế ngược thay đổi. Điều này hoàn toàn khác với điốt P^+N (hình 2.16).

Trong điốt PIN, điện tích phía dưới đường cong điện trường lớn hơn nhiều so với điốt P^+N , điều đó kéo theo thế đánh thủng ở điốt PIN lớn hơn nhiều so với điốt P^+N .



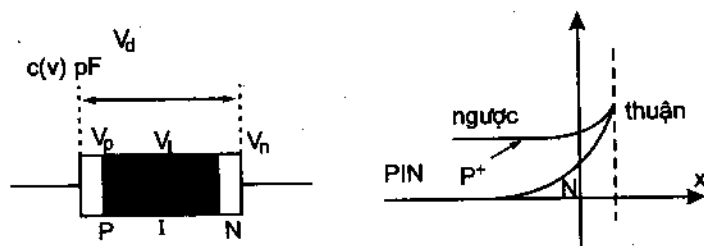
Hình 2.16. So sánh diốt PIN với P⁺N.

2.7.4.3. Ứng dụng của diốt PIN

Ứng dụng chủ yếu của diốt PIN là làm các bộ chỉnh lưu công suất cao, tần số thấp. Nó có thể chịu thế ngược rất cao (tới 2500V). Theo hướng thuận và trong chế độ phun mạnh, điện trở của vùng I được giảm xuống đáng kể nhờ điện tử và lỗ trống phun từ hai lớp chuyển tiếp P⁺I và I-N⁺, do đó sụt thế thuận chỉ khoảng một vài vôn khi mật độ dòng có giá trị khoảng 10^2 A.cm^{-2} .

Ứng dụng trong siêu cao tần để làm các bộ ngắt mạch. Trường hợp này người ta dùng hai tính chất của diốt: Điện dung gần như độc lập với thế và điện trở ngược lớn gần gấp 10^4 lần điện trở thuận. Do đó, khi đặt diốt trong một đường truyền, nếu phân cực ngược, thì tín hiệu cao tần sẽ đi qua nó một cách dễ dàng, còn nếu phân cực thuận, thì đường truyền sẽ bị đoản mạch và tín hiệu cao tần sẽ bị phản xạ trở lại.

Ứng dụng làm các bộ suy giảm có thể biến đổi hoặc các bộ điều chế: Người ta dùng điện trở của diốt tỉ lệ nghịch với dòng điện khi diốt phân cực thuận.



Hình 2.17. Điện dung của diốt PIN.

Chương 3

CHUYỂN TIẾP DỊ TINH THỂ VÀ SIÊU MẠNG

3.1. SỰ TẠO THÀNH CHUYỂN TIẾP DỊ TINH THỂ (HETERO-JUNCTION)

Chuyển tiếp dị tinh thể được tạo thành nhờ hai tinh thể bán dẫn khác nhau. Nếu hai bán dẫn cùng loại (loại N hoặc P) thì gọi là chuyển tiếp cùng loại, còn nếu chúng khác loại thì gọi là không cùng loại.

Chuyển tiếp dị tinh thể có phạm vi ứng dụng ngày càng rộng rãi trên rất nhiều linh kiện, chẳng hạn như để chế tạo laser phun, diốt phát quang, thu và phát hiện các tia sáng quang học, pin mặt trời... Hơn nữa, nếu chồng liên tiếp nhiều lớp chuyển tiếp dị tinh thể có độ dày cỡ $100\text{\AA}$, ta sẽ thu được một cấu trúc tinh thể mới gọi là *siêu mạng*.

Để thu được chuyển tiếp dị tinh thể, người ta nuôi một lớp bán dẫn thứ hai trên tinh thể bán dẫn 1. Cách làm này được thực hiện với yêu cầu là hai tinh thể bán dẫn đã chọn lựa phải có các thông số tinh thể và hệ số giãn nở nhiệt gần nhau, vì việc nuôi đơn tinh thể epitaxi được thực hiện ở nhiệt độ cao. Một số lớn tinh thể, đặc biệt là đối với geman, ácsênic gali thì điều kiện đó luôn được thực hiện. Thực vậy tất cả các tinh thể trên đều có cùng cấu trúc: kim cương-kẽm. Các thông số của ô mạng $5,658\text{\AA}^0$ - $5,654\text{\AA}^0$ (sai số ô mạng cỡ 0,8%). Hệ số giãn nở nhiệt $5,8 \cdot 10^{-6}$ và $5,8 \cdot 10^{-6}$. Những năm gần đây, công nghệ cho phép tạo những lớp chuyển tiếp dị tinh thể khi sai lệch ô mạng cỡ vài % mà không gây ra lệch mạng ngay khi lớp chuyển tiếp rất mỏng. Trong trường hợp này, sự không phù hợp về ô mạng tinh thể được tính đến nhờ điều kiện lưỡng trục của lớp chuyển tiếp trong mặt phẳng của nó. Các cấu trúc gần với dạng vô định hình như GaAs/GaInAs, GaAs/GaInAs/GaAs, AlInAs/GaAs có thể được chế tạo với cấu trúc tinh thể rất tốt.

Bởi vì mỗi chất bán dẫn có thể hoặc là loại N hoặc là loại P, do vậy có thể có 4 chuyển tiếp đa tinh khả dĩ:

nGe-pGaAs, pGe-nGaAs (cấu trúc ngược loại);

nGe-nGaAs, pGe-pGaAs (cấu trúc cùng loại).

3.2. GIẢN ĐỒ VÙNG NĂNG LƯỢNG Ở XA LỚP CHUYỂN TIẾP

Xét trường hợp nGe-pGaAs không có trạng thái dao diện (mô hình Andesson). Trong trường hợp này, ái lực điện tử $q\chi_1$ của bán dẫn 1 (nGe) nhỏ hơn độ rộng vùng cấm E_{g2} của bán dẫn 2 (pGaAs) và E_{g1} cũng nhỏ hơn E_{g2} . Giản đồ năng lượng của cả hai bán dẫn này chỉ ra trên hình 3.1a. Khi chúng còn phân cách nhau, thì sự phân bố của điện tử trong mỗi bán dẫn độc lập với nhau, nên vị trí mức Fermi trong hai bán dẫn không thẳng hàng.

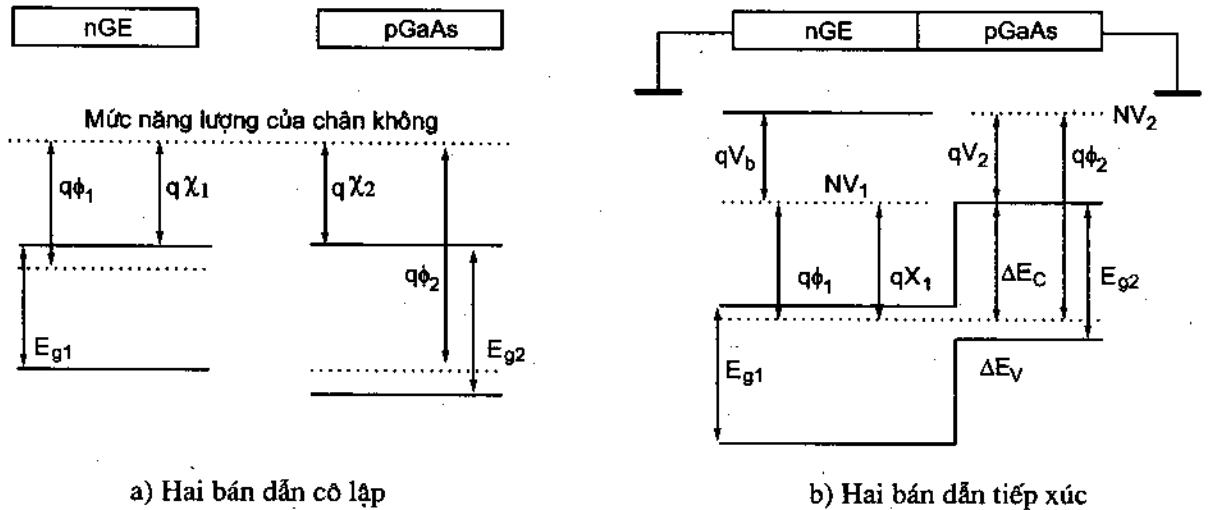
Khi hai bán dẫn tạo thành chuyển tiếp, chúng trao đổi hạt tải cho nhau, tạo nên sự sắp xếp thẳng hàng các mức Fermi. Sự trao đổi này xảy ra ở các mức dao điện và làm xuất hiện một vùng điện tích không gian, cùng với nó là hiệu thế khuếch tán V_b .

Từ giản đồ năng lượng hình 3.1a, so với mức của chân không ta có :

$$\Delta E_c = q(\chi_1 - \chi_2) \quad \Delta E_v = (E_{g1} - E_{g2}) - \Delta E_c$$

Sự khác nhau về thế năng giữa điện tử trong chân không với lân cận của bán dẫn 1 và điện tử trong chân không với lân cận bán dẫn 2 là :

$$N_{V2} - N_{V1} = q\Phi_2 - q\Phi_1$$



Hình 3.1. Giản đồ vùng năng lượng.

Sự khác nhau về thế tĩnh điện giữa hai bán dẫn nên khi tiếp xúc nhau (hình 3.1b) sẽ tạo ra hiệu thế khuếch tán V_b :

$$V_b = \frac{1}{q} \cdot (q\Phi_2 - q\Phi_1) \quad (V) \quad (3.1)$$

Trong trường hợp nGe/pGaAs thì $q\Phi_2 > q\Phi_1$, vì thế $V_b < 0$. Nói chung, hiệu thế dương được thiết lập giữa một bán dẫn có công thoát nhỏ hơn và một bán dẫn có công thoát lớn hơn.

3.3. GIẢN ĐỒ NĂNG LƯỢNG Ở LÂN CẬN VÙNG CHUYỂN TIẾP

Do sự khác nhau về công thoát, nên điện tử sẽ khuếch tán từ bán dẫn có công thoát nhỏ sang bán dẫn có công thoát lớn hơn. Sự khuếch tán này làm xuất hiện một vùng điện tích không gian dương trong bán dẫn có công thoát bé hơn. Vì chúng ta không để ý đến các trạng thái giao diện, nên tổng điện tích của cả hai vùng điện tích không gian bằng nhau về giá trị tuyệt đối, nhưng ngược dấu.

Hình 3.2. mô tả các vùng năng lượng khi điện tử khuếch tán từ n-Ge sang p-GaAs và lỗ trống khuếch tán theo hướng ngược lại cho đến khi mức Fermi cả hai phía ngang hàng nhau. Vùng điện tích không gian âm xuất hiện ở phía P, còn ở phía N là vùng điện tích không gian dương. Trong vùng hóa trị ở phía trái giao diện, có chỗ lõm hình chữ V, còn phía phải có đỉnh

nhọn. Độ cong của vùng năng lượng chứng tỏ có hiệu thế khuếch tán ở hai phía của vùng chuyển tiếp:

$$V_b = V_{b1} + V_{b2}.$$

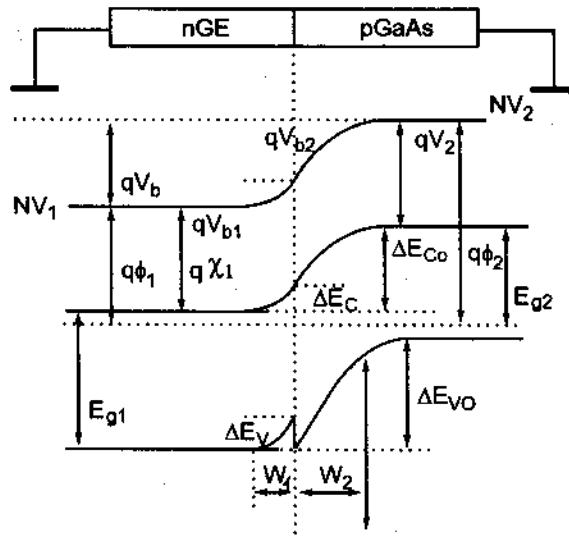
Độ rộng của vùng điện tích không gian thu được bằng cách tích phân phương trình Poisson:

$$-\frac{\partial^2 V}{\partial x^2} = \frac{\rho_v}{\epsilon} = \begin{cases} -\frac{qN_{a2}}{\epsilon_2} \\ \frac{qN_{d1}}{\epsilon_1} \end{cases}$$

trong đó: N_{a2} là nồng độ tạp chất acceptor của bán dẫn 2;

N_{d1} là nồng độ tạp chất dono của bán dẫn 1 ;

ϵ_1 và ϵ_2 là hằng số điện môi của bán dẫn 1 và 2.



Hình 3.2. Giản đồ năng lượng ở gần vùng chuyển tiếp.

Do tính liên tục của điện trường ($\epsilon_1 E_1 = \epsilon_2 E_2$), nên ta thu được:

$$V_{b1} = \frac{qN_{d1}w_1^2}{2\epsilon_1} ; \quad V_{b2} = \frac{qN_{a2}w_2^2}{2\epsilon_2}$$

Áp dụng điều kiện trung hòa ($N_{a2}w_2 = N_{d1}w_1$) ta sẽ tìm được:

$$\frac{V_{b1}}{V_{b2}} = \frac{\epsilon_2 N_{a2}}{\epsilon_1 N_{d1}} \quad (3.2)$$

Từ đó tính được độ rộng toàn bộ vùng điện tích không gian:

$$w = w_1 + w_2 = \left[\frac{2\epsilon_1\epsilon_2(N_{d1}^2 + N_{a2}^2)}{qN_{d1}N_{a2}(\epsilon_1 N_{d1} + \epsilon_2 N_{a2})} \right]^{1/2} V_b^{1/2}$$

3.4. CHUYỂN TIẾP DỊ TINH THỂ BỊ PHÂN CỤC

Cũng như trong chuyển tiếp P-N, khi tác dụng thế bên ngoài V vào lớp chuyển tiếp dị tinh thể, thì chiều cao hàng rào thế cũng bị biến đổi. Giả sử toàn bộ thế bên ngoài sụt trên lớp chuyển tiếp, nên thế tác dụng V_j này có thể phân tích thành hai thành phần: V_{j1} là sụt thế tác dụng trên n-Ge còn V_{j2} là sụt thế tác dụng trên p-GaAs do vậy, từ (3.2) ta được:

$$\frac{V_{b1} - V_{j1}}{V_{b2} - V_{j2}} = \frac{\epsilon_2 N_{A2}}{\epsilon_1 N_{D1}} \quad (3.3)$$

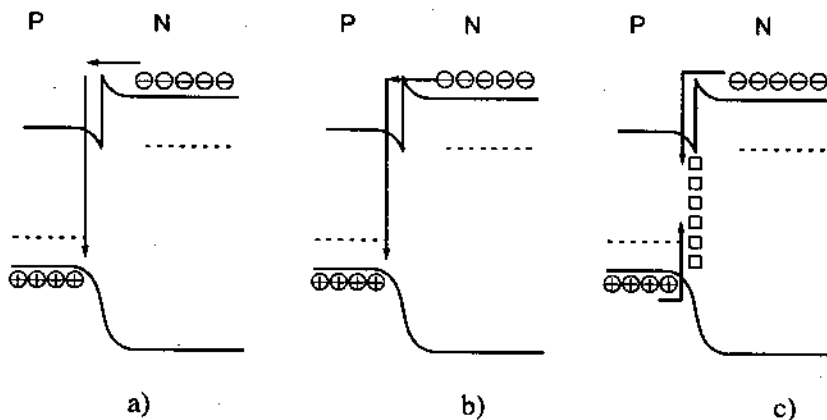
Khi mức độ pha tạp của hai bán dẫn khác nhau nhiều, thì hệ thức (3.3) cho thấy toàn bộ thế bên ngoài sẽ sụt trên bán dẫn pha tạp ít hơn.

Giá trị của dòng khuếch tán được xác định chủ yếu bằng độ cao của hàng rào thế. Đối với chuyển tiếp n-Ge/p-GaAs thì dòng lỗ trống chuyển dời từ GaAs sang Ge là hoàn toàn xác định, vì hàng rào thế qV_{b2} thấp hơn rất nhiều so với hàng rào thế $qV_{b1} + qV_{b2} + \Delta E_c$, trong khi điện tử từ Ge sang GaAs lại rất khó khăn vì phải vượt qua hàng rào thế $qV_{b1} + qV_{b2} + \Delta E_c$ lớn. Do vậy dòng qua lớp chuyển tiếp chủ yếu là do dòng lỗ trống từ n-Ge sang p-GaAs:

$$J = \frac{qD_p P_{op}}{L_p} [\exp qV_j / K_B T - 1] \quad (\text{mA}) \quad (3.4)$$

ở đây D_p , p_{on} , L_p là các thông số của lỗ trống trong Ge.

Trong trường hợp của chuyển tiếp dị tinh thể cùng loại, giản đồ vùng năng lượng hình 3.3 cho thấy có sự phun các hạt tải không cơ bản từ bán dẫn có vùng cấm cao sang bán dẫn có vùng cấm thấp hơn, không phụ thuộc mức độ pha tạp. Hiện tượng này được quan sát chủ yếu trong chuyển tiếp Ge/GaAs và GaAs/GaAlAs, ở đây sự không phù hợp về mạng tinh thể là nhỏ, còn trong trường hợp khi thông số này có giá trị lớn, như trường hợp chuyển tiếp Ge/Si, ở đây sự không phù hợp về mạng là 4% thì còn tồn tại cả dòng tunnel lẫn dòng tái hợp



Hình 3.3. Sự truyền dòng trong chuyển tiếp dị tinh thể khác loại.
a) Mô hình Anderson ; b) Mô hình Rediker ; c) Mô hình Dolega.

Có ba mô hình song song tồn tại để giải thích cơ chế truyền dòng trong chuyển tiếp khác loại phân cực thuận (N với thế thấp, P với thế cao).

* *Mô hình Anderson*: Điện tử chuyển dời từ N sang P bằng cách vượt qua đỉnh thế, sau đó tái hợp với lỗ trống. Lỗ trống không thể phun từ P sang N vì hàng rào thế ΔE_v lớn (hình 3.3a).

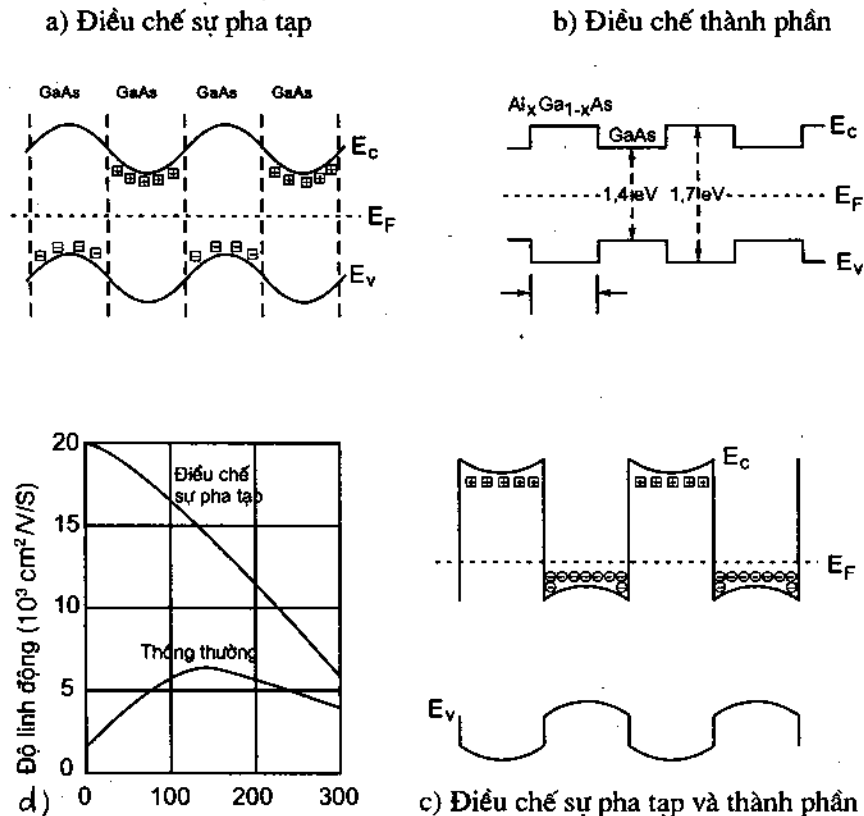
* *Mô hình Ridley*: Điện tử chuyển từ N sang P bằng hiệu ứng tunnel qua đỉnh thế và tái hợp với lỗ trống (hình 3.3b).

* *Mô hình Dolega*: Điện tử vượt qua đỉnh thế và tái hợp với các trạng thái trung gian ở bề mặt do sự không phù hợp về mạng sinh ra (hình 3.3c).

3.5. SIÊU MẠNG

Để chế tạo các linh kiện có tốc độ hoạt động siêu cao, yêu cầu linh kiện bán dẫn phải có độ linh động cực lớn. Năm 1969, một cấu trúc tinh thể mới đã xuất hiện. Đó là *siêu mạng* (superlattice). Dựa trên quá trình biến điệu nhân tạo thế của trường tinh thể với kích thước cực nhỏ, các linh kiện này thể hiện những tính chất truyền dòng mới. Người ta tạo được "siêu thế" trong tinh thể nhờ:

- * Điều chế tuần hoàn sự pha tạp chất của vật liệu (siêu mạng "NIPI" (hình 3.4a))
- * Thay đổi một cách tuần hoàn các thành phần hợp kim (hình 3.4b)
- * Kết hợp cả hai phương pháp trên (hình 3.4c).



Hình 3.4. Siêu mạng.

Năm 1978 Dingle thực hiện siêu mạng GaAlAs/GaAs với sự điều chế tạp chất. Ông đã đo được độ linh động rất cao (hình 3.4d). Độ linh động cực cao này được giải thích nhờ sự

chuyển dời của điện tử từ GaAlAs (N^+) sang vùng không bị pha tạp của GaAs. Ít lâu sau, sự tồn tại của một khí điện tử chuẩn hai chiều đã được sáng tỏ (khí 2D). Ngay từ 1980, các transistor có độ linh động cao đã được sản xuất và rất nhiều cấu trúc dị tính thể đã được nghiên cứu.

Người ta điều chế sự pha tạp bằng cách chồng nhiều lớp chuyển tiếp dị tính thể có bề dày rất mỏng (cỡ $80-100\text{\AA}$) xen kẽ đều đặn các vật liệu có độ rộng vùng cấm lớn đã được pha tạp (GaAlAs loại N) và một vật liệu tinh khiết có độ rộng vùng cấm hẹp (GaAs). Do sự khác nhau về ái lực điện tử, các điện tử được chuyển dời từ vật liệu "hàng rào đỉnh" được pha tạp sang vật liệu "giếng thế" không được pha tạp. Sự giảm bớt tương tác Cu-lông giữa các ion tạp chất và điện tử làm cho chúng có khoảng cách không gian lớn, do vậy điện tử có độ linh động rất cao, nhất là ở nhiệt độ thấp, ở đây sự tương tác hạn chế chủ yếu độ linh động.

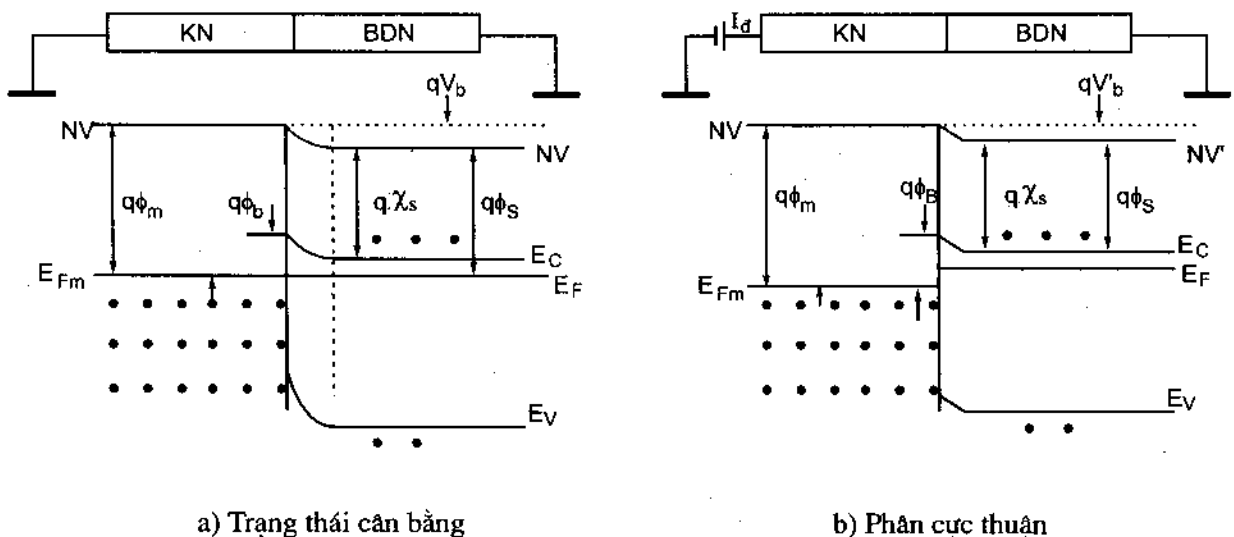
Một thuộc tính quan trọng khác là bản chất hai chiều của sự chuyển dời của điện tử. Điện tử ở trong giếng thế rất hẹp, do vậy chúng dịch chuyển chủ yếu theo mặt phẳng dao điện (khí 2D).

3.6. TIẾP XÚC KIM LOẠI - BÁN DẪN

3.6.1. Trường hợp bán dẫn loại N

Khi kim loại (KL) và bán dẫn (BD) tiếp xúc với nhau, thì ở bề mặt tiếp xúc có một hàng rào thế. Cấu trúc của các vùng năng lượng gần mặt tiếp xúc phụ thuộc vào công thoát điện tử của KL $q\phi_m$ và của BD $q\phi_s$. Trường hợp BD loại N, điện tử chuyển dời từ BD sang KL kéo theo sự biến điệu mức năng lượng ở vùng chuyển tiếp. Trong BD loại N xuất hiện một vùng điện tích không gian dương, còn trong kim loại tích tụ một lớp mỏng điện tử ở gần mặt tiếp xúc. Trong vùng điện tích không gian xuất hiện điện trường ngăn cản sự chuyển dời của điện tử rời khỏi BD. Do vậy xuất hiện hàng rào thế:

$$qV_b = q\phi_m - q\phi_s \quad (\text{eV}) \quad (3.5)$$



Hình 3.5. Tiếp xúc kim loại - bán dẫn loại N.

Mật độ trạng thái năng lượng ở vùng chuyển tiếp vào cỡ 10^{22}cm^{-3} , do vậy điện tích được giữ trong một lớp rất mỏng gần bề mặt. Trong BD mật độ đônô vào cỡ $10^{16}\text{-}10^{18}\text{cm}^{-3}$, vì thế vùng điện tích không gian chỉ nằm ở phía BD.

Nếu KL có thế dương so với BD (phân cực thuận) (hình 3.5b) thì hàng rào BD-KL giảm một lượng (qV_b), trong khi hàng rào KL-BD vẫn giữ nguyên ($q\phi_b$). Do vậy điện tử sẽ phát xạ từ KL sang BD và tạo ra dòng điện chạy theo hướng từ KL sang BD.

$$V'_b = V_b - V_j \quad (V_j > 0)$$

Nếu KL âm so với BD (phân cực ngược), thì đáy của vùng dẫn của BD hạ thấp hơn so với mức chân không (NV). Vì thế hàng rào thế sẽ tăng cao một lượng:

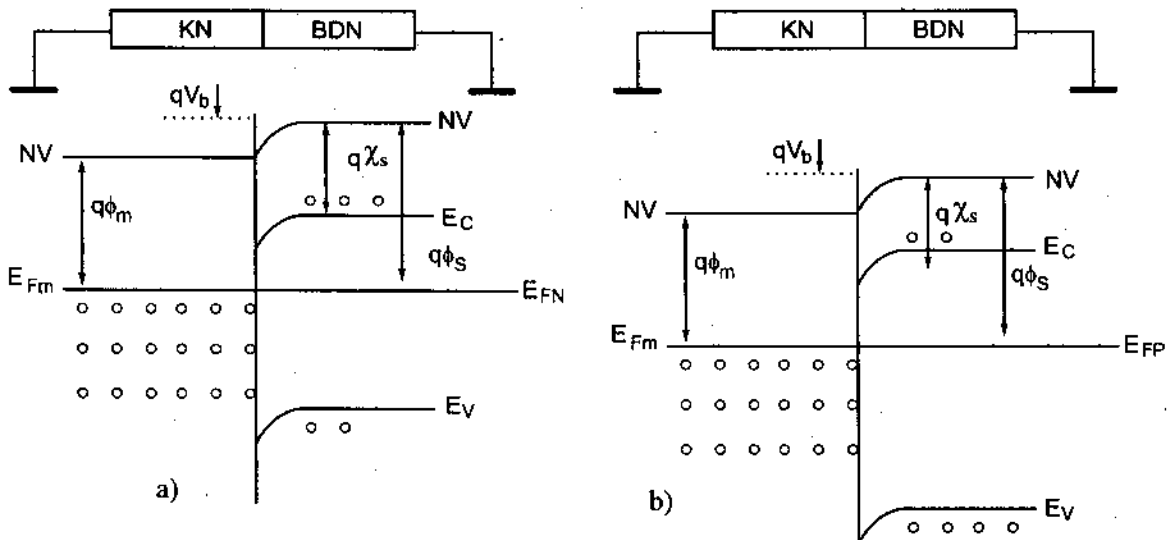
$$V''_b = V_b - V_j \quad (V_j < 0)$$

và ngăn cản không cho dòng điện chạy qua lớp chuyển tiếp. Như vậy:

Tiếp xúc kim loại - bán dẫn loại N với $q\phi_m > q\phi_s$ tạo nên một chuyển tiếp chỉnh lưu. Đó là nguyên tắc hoạt động của một diốt Schottky. Còn nếu $q\phi_m < q\phi_s$ thì sẽ cho một *chuyển tiếp ôm - mic*; trường hợp này điện tử sẽ chuyển động theo cả hai chiều.

3.6.2. Tiếp xúc kim loại bán dẫn loại P

Trường hợp này, điện tử của KL chuyển dời vào BD, tái hợp với lỗ trống cơ bản và làm xuất hiện một vùng điện tích không gian âm (hình 3.6b). Nếu nối KL với cực dương còn BD nối với cực âm của một nguồn thế bên ngoài, thì độ cong của vùng năng lượng được tăng cao, do vậy hàng rào thế cũng nâng cao ngăn không cho dòng điện chạy qua lớp chuyển tiếp. Nếu KL có thế âm so với BD thì chiều cao hàng rào thế giảm xuống, do vậy điện tử chuyển dời từ KL sang BD một cách dễ dàng, tạo ra dòng điện có giá trị lớn qua vùng chuyển tiếp. Như vậy:



Hình 3.6. Tiếp xúc kim loại - bán dẫn loại P.

Tiếp xúc kim loại - bán dẫn với $q\phi_m < q\phi_s$ tạo lên một chuyển tiếp chỉnh lưu. Đó là nguyên tắc hoạt động của diốt Schottky loại P. Còn trường hợp $q\phi_m > q\phi_s$ thì tiếp xúc kim loại - bán dẫn loại P cho một *chuyển tiếp ôm - mic*.

3.7. ĐIỐT SCHOTTKY

3.7.1. Phân cực thuận

Giả sử hàng rào thế KL-BD có chiều cao qV_b ; nồng độ tạp chất của BD-N là N_d ; mặt phẳng tiếp xúc có diện tích S ; vùng điện tích không gian không có các hạt tải cơ bản. Cũng như chuyển tiếp PN, sự phân bố thế trong vùng điện tích không gian thu được bằng cách giải phương trình Poisson:

$$\frac{dE}{dx} = \frac{qN_d}{\epsilon}$$

Sau khi tích phân, với điều kiện $E(w) = 0$ ở đây w là chiều rộng vùng điện tích không gian, ta thu được:

$$E(x) = -\frac{qN_d w}{\epsilon} \left(1 - \frac{x}{w}\right)$$

Vì: $V_b = -\int E(x)dx$, nên:

$$w = \left[\frac{2\epsilon}{qN_d} V_b \right]^{1/2} (\mu m) \quad (3.6)$$

với $qV_b = q\phi_m - q\phi_s$.

Sự tồn tại của vùng điện tích không gian gây ra điện dung tĩnh:

$$C_t = S \left[\frac{q\epsilon N_d}{2V_b} \right]^{1/2} (pF) \quad (3.7)$$

Vì cấu trúc KL-BD ở trong trạng thái cân bằng, nên số điện tử chuyển dời từ BD sang KL gần bằng với số điện tử chuyển dời theo hướng ngược lại. Do vậy để tính dòng điện do số hạt tải “nhảy” qua hàng rào thế $q\phi_b$ sinh ra, ta áp dụng phương pháp tính như cho trường hợp dòng điện tử phát xạ từ KL ra chân không.

Mật độ điện tử trong KL có năng lượng nằm giữa E và $E + dE$ được xác định bằng hệ thức:

$$dn = 2N_n(E)f_n(E)dE$$

Với $f_n(E)$ là mức Fermi và $N_n(E)$ là mật độ trạng thái năng lượng E .

Vì chỉ những điện tử có năng lượng lớn hơn $E_f + q\phi_m$ và có thành phần vận tốc v_x vuông góc với mặt phẳng phân cách là có thể rời khỏi KL, nên dòng điện được biểu thị bằng:

$$I_0 = \int_{E_f + q\phi_m}^{\infty} qv_x dn$$

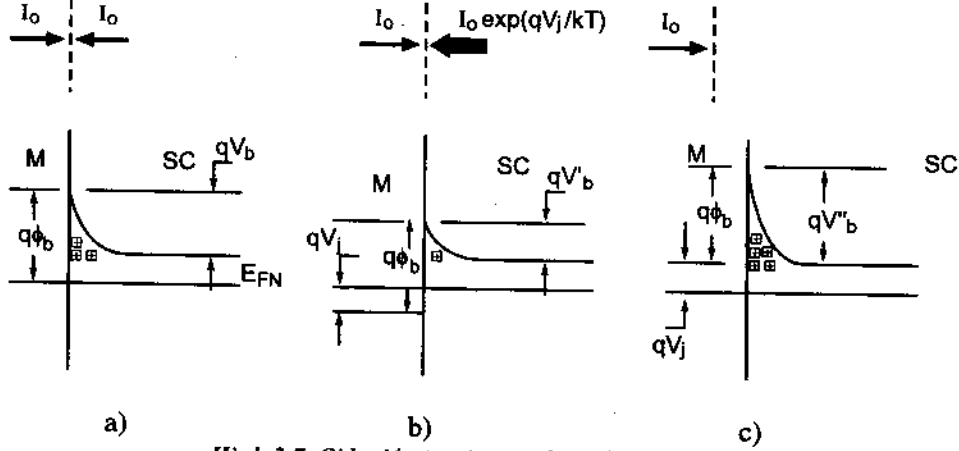
Vì $E = p^2/2m$, và $p_x = mv_x$, nên sau khi tích phân ta thu được định luật Richardson và Dushman [4]:

$$I_0 = SRT^2 \exp(-q\phi_m/KT) \quad (mA) \quad (3.8)$$

trong đó: $R = (4\pi q m_0 K^2)/h^3 = 120 A^2 K^{-2} cm^{-2}$ là hằng số Richardson;

S: diện tích mặt phẳng tiếp xúc;

m_0 : khối lượng của điện tử trong chân không.



Hình 3.7. Giảm độ năng lượng của diốt schottky:
a) chưa phân cực; b) phân cực thuận; c) phân cực ngược.

Trong trường hợp diốt Schottky, điện tử trong KL chuyển sang BD phải vượt qua hàng rào thế $q\phi_b$. Do vậy biểu thức của dòng phát xạ từ KL sang BD giống như biểu thức (4.8) nhưng thay m_0 bằng m_c là khối lượng hiệu dụng của điện tử trong BD và ϕ_m thay bằng ϕ_b , khi đó thu được:

$$I_0 = SR^*T^2 \exp(-q\phi_b/KT) \quad (\text{mA}) \quad (3.9)$$

với $R^* = R(m_n/m_0)$ là hằng số Richardson đã được biến điệu.

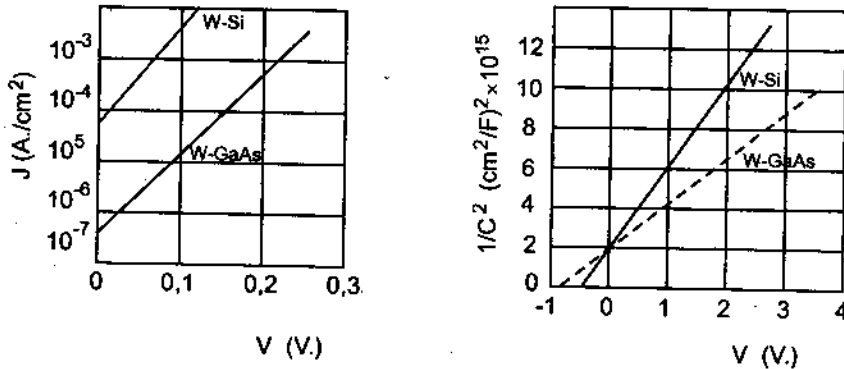
3.7.2. Diốt Schottky phân cực thuận

Khi KL mang thế dương, BD-N mang thế âm thì hàng rào thế đối với điện tử đi từ KL sang BD vẫn giữ nguyên không thay đổi, trong khi từ BD sang KL trở thành:

$$qV'_b = qV_b - qV_j \quad (V_j > 0)$$

Từ đó suy ra:

$$I_f = SR^*T^2 \exp(-q(\phi_b - V_j)/KT) = I_0 \exp(qV_j/KT)$$



Hình 3.8. Đặc trưng $I_d(V)$ và điện dung tĩnh C_j .

Vì vậy dòng điện thuận chạy qua diốt là:

$$I_d = I_0 \left[\exp \frac{qV_j}{KT} - 1 \right] (\text{mA}) \quad (3.10)$$

Ngoài ra còn có dòng của các hạt tải không cơ bản là dòng khuếch tán của lỗ trống, giống như trong chuyển tiếp PN. Dòng này được cho bởi hệ thức :

$$I_p = I_{op}[\exp(qV/KT) - 1]$$

với

$$I_{op} = Sqn_i^2 \left(\frac{D_p}{L_p N_d} \right)$$

Đối với BD có $E_g > q\phi_b$ thì $I_{op} \ll I_o$, nên dòng này có thể loại trừ.

Trên thực tế, diốt Schottky có đặc trưng $I(V)$:

$$I_d = I_o[\exp qV/mKT - 1] \quad (3.11)$$

Hệ số $m = 1,02$ cho diốt kim loại-silic; $m = 1,04$ với diốt kim loại-GaAs.

3.7.3. Diốt schottky phân cực ngược

Trong trường hợp này, KL có thể âm so với BD, do vậy hàng rào thế nâng cao một lượng là:

$$V_b'' = V_b - V_j \quad (V_j < 0)$$

Độ dày vùng điện tích không gian cũng tăng lên :

$$w = \left(\frac{2\varepsilon}{qN_d} \right)^{1/2} \cdot (V_b - V_j)^{1/2}$$

Điện dung tĩnh cũng phụ thuộc vào thế ngược :

$$1/C_j^2(V_j) = 2(V_b - V_j)/(\varepsilon N_d S^2) \quad (3.12)$$

còn dòng ngược :

$$I_o = SRT^2 \exp\left(\frac{-q(\phi_b - \Delta\phi)}{KT}\right)$$

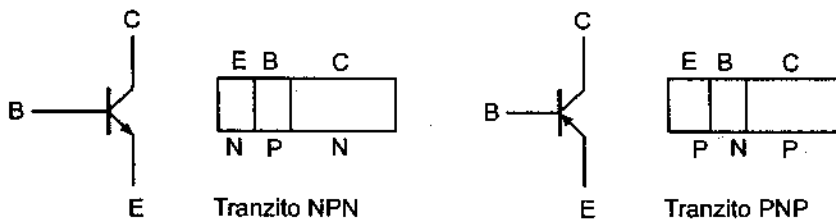
với $\Delta\phi = \frac{qE_{ext}}{4\pi\varepsilon}$, trong đó E_{ext} là điện trường ngoài tác dụng.

Chương 4

TRANZITO LƯỜNG CỰC

4.1. CẤU TẠO VÀ MỘT SỐ ĐỊNH NGHĨA CHUNG

Tranzito lưỡng cực đã được phát minh vào năm 1947 do các nhà khoa học người Mỹ : John Bardeen, Walter Brattain và William Shockley trong phòng thí nghiệm của hãng Bell Telephon. Nó được chế tạo từ một tinh thể bán dẫn có ba miền pha tạp khác nhau để hình thành hai vùng chuyển tiếp PN phân cực ngược nhau. Như vậy có thể có hai loại tranzito : PNP hoặc NPN. Vùng bán dẫn nằm giữa gọi là bazơ kẹp giữa hai vùng được gọi là colectơ và emitơ (hình 4.1)



Hình 4.1. Ký hiệu và cấu tạo của các tranzito NPN và PNP.

Miền bazơ rất mỏng (cỡ μm hoặc nhỏ hơn) và được pha tạp ít; emitơ (E) pha tạp mạnh, còn colectơ (C) cũng pha tạp ít nhưng có thể tích lớn hơn nhiều so với emitơ. Nói một cách chính xác hơn, mức độ pha tạp của colectơ phụ thuộc vào chức năng của mỗi tranzito.

Hình 4.2 cho thấy cấu trúc thực tế của một tranzito NPN trên cơ sở công nghệ Epitácxi và sự phân bố các hạt tải trong các vùng khác nhau.

4.2. HIỆU ỨNG TRANZITO

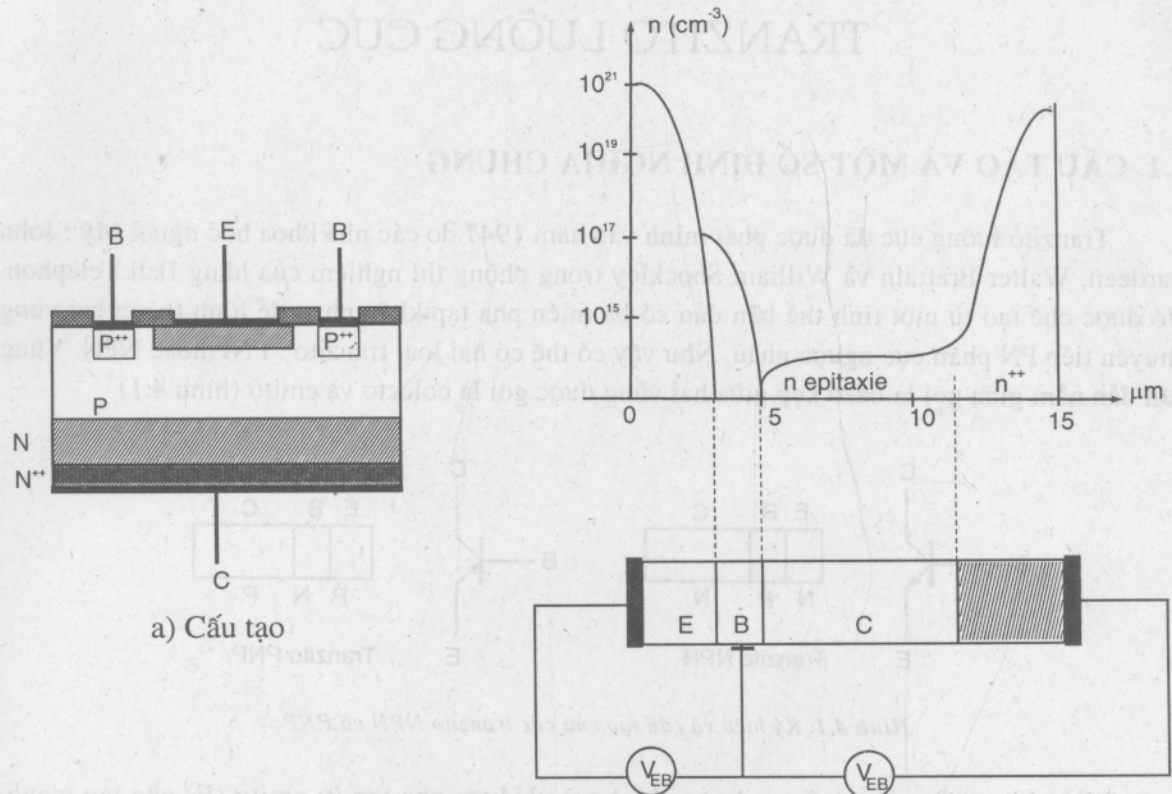
Tranzito hoạt động bình thường khi vùng chuyển tiếp emitơ và bazơ (E-B) phân cực thuận, còn vùng chuyển tiếp colectơ và bazơ (C-B) phân cực ngược (hình 4.2b). Các dòng điện là dòng emitơ I_E , dòng bazơ I_B và dòng colectơ I_C .

Các tính chất định tính của tranzito được suy ra một cách đơn giản từ hoạt động của vùng chuyển tiếp PN, ở đây V_{EB} cỡ vài chục vôn (trong trường hợp này < 0) V_{CB} cỡ vài vôn đến hàng chục vôn (trường hợp này > 0). Do vậy hàng rào thế ở vùng chuyển tiếp E-B tương đối thấp và hẹp, trong khi ở phía C-B lại tương đối cao và rộng. Vùng điện tích không gian chủ yếu ăn sâu vào miền bazơ và colectơ vì chúng được pha tạp ít. Do vậy dòng thuận có giá trị khá cao, sẽ

truyền qua vùng chuyển tiếp E-B. Trường hợp này dòng điện chỉ chứa điện tử I_{dn} vì emitter pha tạp nhiều hơn bazơ. Các điện tử này khuếch tán vào trong bazơ pha tạp loại P, nên chúng tái hợp với lỗ trống, nhưng vì:

* Độ rộng miền bazơ rất nhỏ so với độ dài khuếch tán của điện tử

* Có sự chênh lệch điện tử xuất phát từ emitter khuếch tán sang collector. Hơn nữa trong vùng chuyển tiếp B-C có điện trường mạnh “hút” điện tử vào collector.



Hình 4.2. Cấu trúc thực và sự phân bố hạt tải trong tranzito NPN.

Phần lớn điện tử ($98 \rightarrow 99,5\%$) khuếch tán từ emitter qua vùng chuyển tiếp B-C sang collector tạo nên dòng điện $\alpha \cdot I_{dn}$ (α là hệ số nhỏ hơn 1 một ít). Ở vùng chuyển tiếp C-B cũng có dòng ngược nhưng giá trị rất nhỏ, do vậy dòng collector có giá trị lớn. Dòng điện chạy trong tranzito còn phải kể đến:

* Dòng I_{rn} do sự tái hợp trong bazơ của điện tử được phun từ emitter sang.

* Dòng khuếch tán lỗ trống hướng tới emitter, dòng ngược $-I_{ip}$ và I_{in} do các hạt tải không cơ bản lúc đầu ở trong bazơ và trong emitter, những dòng này tạo nên dòng bão hòa I_s của vùng chuyển tiếp E-B.

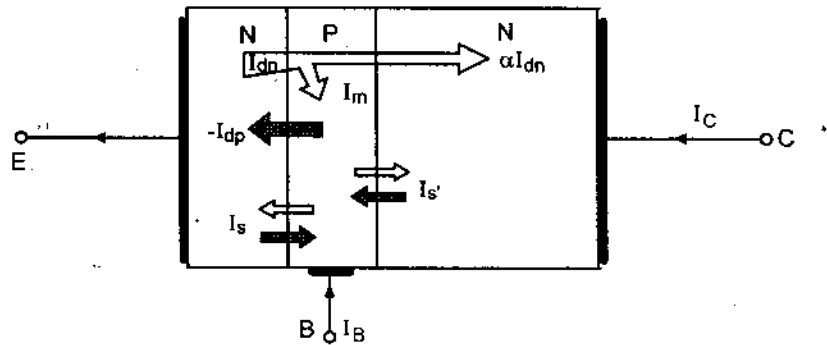
* Các dòng ngược $-I_{ip}$ và I_{in} do các hạt tải không cơ bản của bazơ và collector tạo nên dòng bão hòa I_s của vùng chuyển tiếp C-B.

Do đó dòng bazơ được tính bằng:

$$I_B = I_{rn} + I_{dp} - I_s - I_s$$

có giá trị cỡ 1% giá trị của I_E .

Nếu V_{EB} rất nhỏ, thì I_{dn} , I_{dp} và do vậy I_{rn} sẽ rất nhỏ, có cùng độ lớn như dòng ngược. Nếu tăng nhiệt độ (khi V_{EB} giữ không đổi nhưng có giá trị nhỏ) thì tất cả các thành phần của I_B sẽ tăng lên, trong đó dòng bão hòa tăng nhanh nhất.



Hình 4.3. Sự phân bố dòng điện trong tranzito NPN.

Đối với tranzito, ta luôn luôn có hệ thức liên hệ giữa các dòng điện:

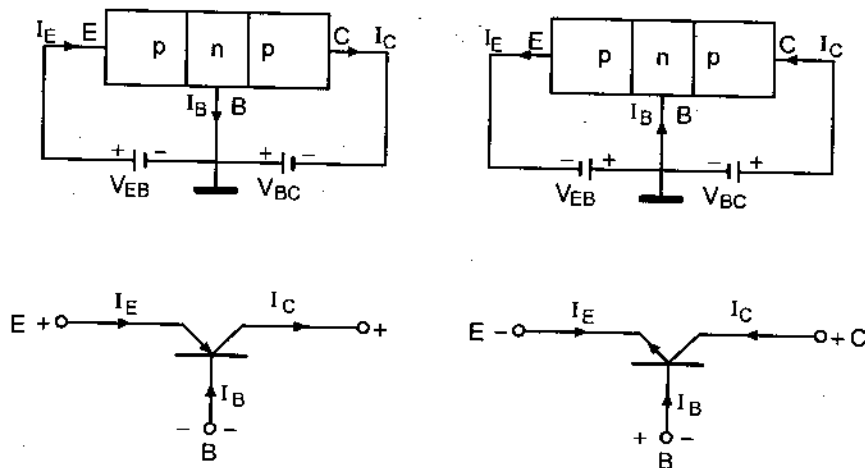
$$I_E = I_C + I_B$$

4.3. CÁC GẮN ĐÚNG THỰC NGHIỆM

4.3.1. Hệ số khuếch đại dòng

Như đã phân tích ở trên, tranzito là một linh kiện có 3 cực, trong thực tế có 3 cách mắc khác nhau: bazơ chung, emitter chung và collector chung:

Sơ đồ bazơ chung (hình 4.4):



Hình 4.4. Sơ đồ bazơ chung.

Trong sơ đồ này ta có hệ thức:

$$I_C = \alpha I_E + I_{CBO} \quad (4.1)$$

trong đó:

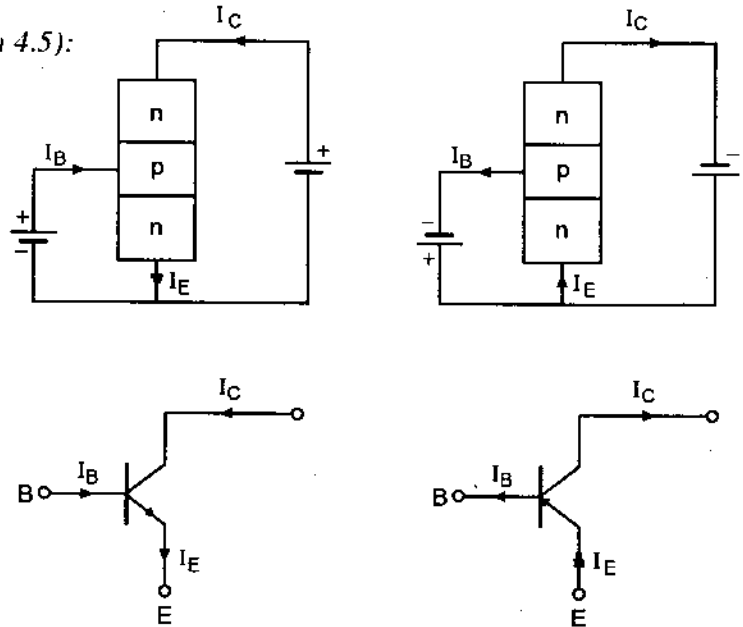
* α là hệ số khuếch đại dòng emitter tĩnh. Nó có thể đạt tới giá trị 0,995.

I_{CBO} là dòng bé, tồn tại khi $I_E = 0$; trong gần đúng bậc nhất, nó trùng với dòng ngược I_s của vùng chuyển tiếp C-B.

Dòng I_E liên hệ với hiệu thế V_{EB} bằng hệ thức gần giống với hệ thức liên hệ giữa dòng và thế trong vùng chuyển tiếp PN phân cực thuận.

Trong sơ đồ bazơ chung, hệ số khuếch đại thế có giá trị lớn và tăng theo điện trở tải R_L ; trong khi hệ số khuếch đại dòng luôn luôn bé hơn 1 và cũng thay đổi theo điện trở tải. Hệ số khuếch đại công suất đạt giá trị cực đại khi điện trở tải bằng điện trở lối ra của tranzito (cỡ 0,2 – 2MΩ). Điện trở lối vào giảm khi dòng colectơ tăng, về giá trị nó thay đổi trong khoảng từ 30Ω đến 500 Ω.

Sơ đồ emitơ chung (hình 4.5):



Hình 4.5. Sơ đồ emitơ chung.

Trong sơ đồ này ta có:

Các đại lượng lối vào là I_B và V_{BE} , còn dòng và thế lối ra là I_C và V_{CE} . Ta biểu diễn I_C theo I_B :

$$I_C = \alpha (I_C + I_B) + I_{CBO}$$

Từ đó tìm được:

$$I_C = \frac{\alpha}{1-\alpha} I_B + \frac{1}{1-\alpha} I_{CBO} = \beta I_B + I_{CEO} \quad (4.2)$$

trong đó: $\beta = \frac{\alpha}{1-\alpha}$ là hệ số khuếch đại dòng. Nó có thể đạt giá trị > 200 còn:

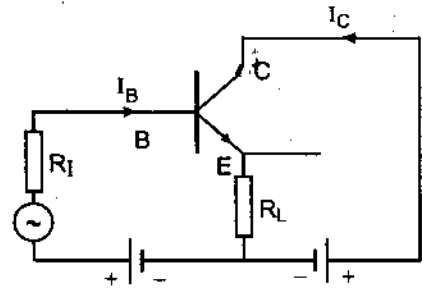
$$I_{CEO} = \frac{\alpha}{1-\alpha} I_{EBO} = (\beta + 1) I_{CBO} \quad (4.3)$$

Sơ đồ emitơ chung có hệ số khuếch đại thế luôn luôn lớn và phụ thuộc vào điện trở tải R_L . Người ta thấy rằng hệ số khuếch đại thế của tầng khuếch đại emitơ chung tăng với sự tăng của điện trở tải. Hệ số khuếch đại dòng cũng cao và phụ thuộc vào trở tải, nhưng ngược với hệ

số khuếch đại thể, hệ số khuếch đại dòng lại tăng cao khi điện trở tải giảm xuống. Rõ ràng là hệ số khuếch đại công suất bằng tích của hệ số khuếch đại dòng với hệ số khuếch đại thể cũng có giá trị rất cao và trong trường hợp này, nó cũng đạt giá trị cực đại khi trở tải R_L có giá trị bằng điện trở lối ra của tranzito. Điện trở lối ra của tranzito trong sơ đồ emítơ chung có giá trị nằm trong khoảng từ 100K đến 1M. Điện trở này sẽ giảm khi dòng I_C tăng.

Sơ đồ colectơ chung:

Sơ đồ này chỉ được áp dụng cho mục đích đặc biệt, không có tính khuếch đại. Sơ đồ này được sử dụng để tạo ra các mạch điện có trở kháng lối ra có giá trị nhỏ và tín hiệu lối ra cùng pha với tín hiệu lối vào. Trong sơ đồ này, hệ số khuếch đại thể gần bằng 1, trong khi hệ số khuếch đại dòng lại lớn (từ 100–600) và thay đổi theo trở tải. Hệ số khuếch đại công suất gần bằng khuếch đại dòng. Điện trở lối vào giảm khi dòng colectơ I_C tăng; về giá trị có thể đạt tới 100 K. Đây là sơ đồ duy nhất có điện trở lối vào rất lớn so với điện trở lối ra. Điện trở lối ra giảm khi dòng I_C tăng và tăng với sự tăng của điện trở lối vào. Nói chung nó thay đổi trong khoảng từ 50Ω đến 500Ω. Hình 4.6. là sơ đồ mắc colectơ chung.



Hình 4.6. Sơ đồ colectơ chung.

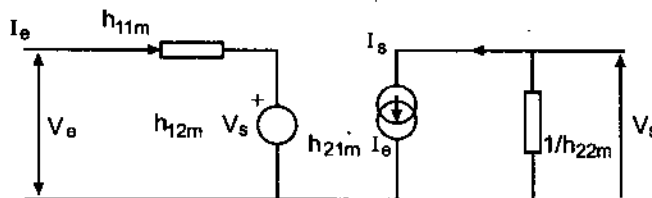
4.3.2. Các thông số lai

Tranzito có thể coi như một tứ cực. Phương trình của tứ cực là:

$$\begin{aligned} V_e &= h_{11m}I_e + h_{12m}V_s \\ I_s &= h_{21m}I_e + h_{22m}V_s \end{aligned} \quad (4.4)$$

Chỉ số “e” ký hiệu các đại lượng lối vào, chỉ số “s” đặc trưng cho các đại lượng lối ra. Còn chỉ số “m” đại diện cho b, e hoặc c tùy thuộc loại sơ đồ mắc: Bazơ chung, emítơ chung hoặc colectơ chung.

Sơ đồ tương đương của tứ cực tranzito là:



Hình 4.7. Sơ đồ tương đương của tứ cực tranzito.

Ý nghĩa của các thông số lai này được suy ra ngay từ đặc trưng tĩnh tại một điểm “ngỉ” trên hình 4.8:

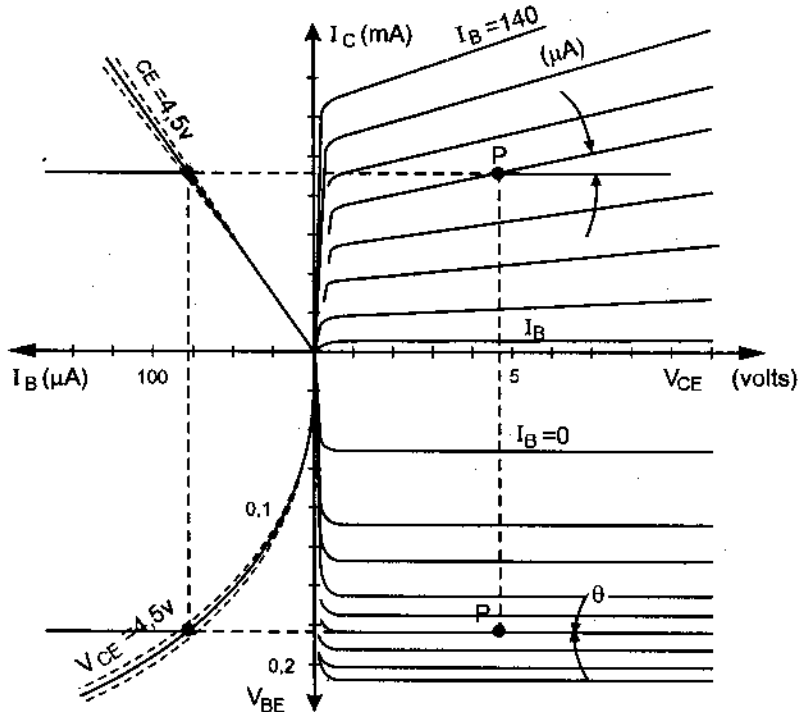
Nếu $V_s = \text{const}$, thì:

$$h_{11} = \left(\frac{\Delta V_e}{\Delta I} \right)_{V_s = \text{cte}} \quad \text{là điện trở kháng lối vào;}$$

hoặc: $\operatorname{tg} \phi = \Delta V_e / \Delta I_e$ trên đặc trưng lối vào tại P.

$$h_{21} = \left(\frac{\Delta I_s}{\Delta I_e} \right)_{V_s = C^{te}} \text{ là hệ số khuếch đại dòng } (\alpha \text{ hoặc } \beta);$$

hoặc: $\operatorname{tg} \phi = \Delta I_s / \Delta I_e$ trên đường đặc trưng truyền dòng tại P.



Hình 4.8. Các đặc trưng tĩnh của tranzito cho sơ đồ emitơ chung.

Nếu $I_e = \text{const}$ thì:

$$h_{12} = \left(\frac{\Delta V_e}{\Delta V_s} \right)_{I_e = C^{te}} \text{ là hệ số "đáp ứng thế"}.$$

hoặc: $\operatorname{tg} \theta = \Delta V_e / \Delta I_s$ trên đặc trưng truyền thế, tại điểm P.

$$h_{22} = \left(\frac{\Delta I_s}{\Delta V_s} \right)_{I_e = C^{te}} \text{ là độ dẫn lối ra.}$$

hoặc: $\operatorname{tg} r = \Delta I_s / \Delta V_s$ trên đặc trưng lối ra tại điểm P.

4.3.3. Các chế độ hoạt động đặc biệt

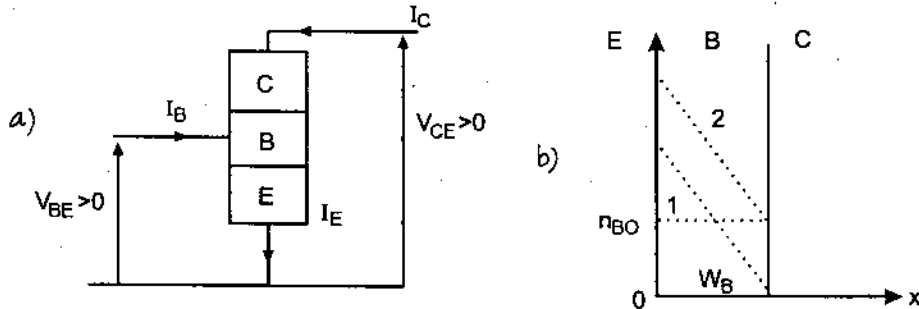
Trong các mạch logic, chẳng hạn như DTL, TTL, hoặc trong các loại vi mạch số..., tranzito là những linh kiện chủ đạo. Ở đây, chúng hoạt động chủ yếu ở hai chế độ: *Chế độ bão hòa (saturation)* và *chế độ khóa (block)*; hay còn gọi tranzito trong trạng thái dẫn (ON) hoặc đóng (OFF).

4.3.3.1. Chế độ bão hòa (ON)

Trong chế độ này, cả hai chuyển tiếp E-B và B-C đều phân cực thuận và thế E/B lớn hơn thế B/C. Như vậy ta có:

$$V_{BE} > V_{CE} \longrightarrow V_{BC} > 0; \quad I_C > 0; \quad I_E > 0 \text{ suy ra } I_E > I_C$$

có nghĩa là dòng bazơ I_B có giá trị tương đối lớn. Hình 4.9. cho thấy chiều của các thế phân cực và của các dòng điện chạy qua tranzito cũng như sự phân bố hạt tải trong bazơ ở chế độ này.



Hình 4.9. Thế phân cực và sự phân bố hạt tải trong chế độ bão hòa:
a) Thế phân cực và các dòng điện; b) Sự phân bố các hạt tải trong bazơ;

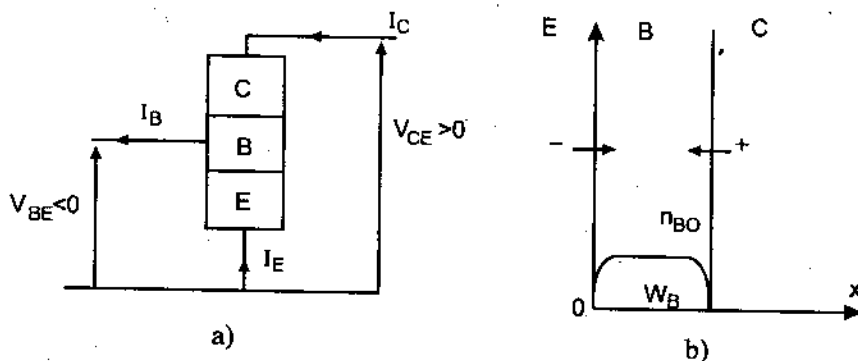
Trong chế độ bão hòa, thì dòng bazơ I_B tăng cao, nhưng dòng collector I_C lại hầu như không đổi. Thực vậy, nếu tăng thế phân cực thuận của cả hai chuyển tiếp, thì nồng độ hạt tải chuyển từ profin "1" sang profin "2". Giả sử cả hai profin có cùng độ dốc, do vậy không có sự tăng dòng điện tử bởi vì dòng khuếch tán chỉ phụ thuộc độ dốc của profin hạt tải; trong khi dòng bazơ lại tăng vì sự tái hợp trong bazơ tăng lên do sự tăng của điện tích đã được tích tụ.

4.3.3.2. Chế độ khóa (OFF)

Trong chế độ này cả hai chuyển tiếp EB và CB đều phân cực ngược. Tức là:

$$V_{BE} < 0; \quad V_{CE} > 0 \text{ và } V_{CE} > V_{BE} \longrightarrow V_{BC} < 0.$$

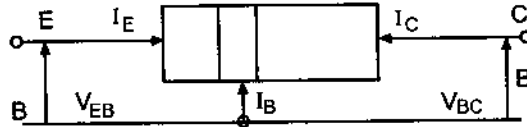
Như vậy cả hai chuyển tiếp đều hút điện tử của bazơ. Do vậy chúng hầu như không còn các hạt tải điện không cơ bản. Vì thế, mật độ các hạt tải điện không cơ bản trong bazơ vẫn giữ nguyên không thay đổi. Các dòng điện I_C và I_E là các dòng dò của các chuyển tiếp EB và BC phân cực ngược, như trong hình 4.10.



Hình 4.10. Thế phân cực và sự phân bố hạt tải trong chế độ khóa:
a) Dòng và thế phân cực trong chế độ khóa; b) Sự phân bố hạt tải trong bazơ.

4.4. NGHIÊN CỨU DÒNG ĐIỆN TRONG CHẾ ĐỘ TĨNH. PHƯƠNG TRÌNH EBERS VÀ MOLL

4.4.1. Sơ đồ bazơ chung:



Trước tiên ta thừa nhận dòng emitơ liên hệ với thế V_{EB} bằng dòng thuận:

$$I_E = -I_{s1} \left(\exp \frac{qV_{EB}}{KT} - 1 \right) \quad (4.5)$$

Trong đó I_{s1} là dòng bão hòa của vùng chuyển tiếp E-B, ở đây $V_{EB} < 0$. Khi đó dòng colectơ là:

$$I_C = -\alpha I_E = \alpha I_{s1} \left(\exp \frac{qV_{EB}}{KT} - 1 \right) \quad (4.6)$$

Nếu thay đổi vai trò của emitơ cho colectơ, thì vùng chuyển tiếp C-B sẽ trở thành phân cực thuận, còn E-B sẽ phân cực ngược. Lúc này tranzito hoạt động trong *chế độ ngược*. Do vậy ta có:

$$I_C = -I_{s2} \left(\exp \frac{qV_{CB}}{KT} - 1 \right) \quad (4.7)$$

$$\text{còn} \quad I_E = \alpha_i I_{s2} \left(\exp \frac{qV_{CB}}{KT} - 1 \right) \quad (4.8)$$

Dòng I_{s2} là dòng bão hòa của vùng chuyển tiếp C-B, α_i là hệ số khuếch đại dòng trong chế độ nghịch đảo.

Hai chế độ hoạt động khác là *chế độ bão hòa* và *chế độ đóng* tương ứng với tình trạng khi cả hai thế phân cực hoặc đồng thời thuận hoặc đồng thời ngược. Khi đó chúng ta thừa nhận rằng các dòng emitơ và colectơ là tổng của hai thành phần. Trong hai chế độ này, phương trình dòng có dạng:

$$\begin{cases} I_E = -I_{s1} \left(\exp \frac{qV_{EB}}{KT} - 1 \right) + \alpha_i I_{s2} \left(\exp \frac{qV_{CB}}{KT} - 1 \right) \\ I_E = -I_{EB} + \alpha_i I_{CB} \end{cases} \quad (4.9)$$

$$\begin{cases} I_C = \alpha I_{s1} \left(\exp \frac{qV_{EB}}{KT} - 1 \right) - I_{s2} \left(\exp \frac{qV_{CB}}{KT} - 1 \right) \\ I_C = \alpha I_{EB} - I_{CB} \end{cases} \quad (4.10)$$

Đây là hệ phương trình Ebers và Moll. Hệ phương trình này mô tả sự hoạt động bình thường và ngược của tranzito.

Chẳng hạn, nếu $V_{EB} \approx 10V$ phân cực thuận và V_{CB} cỡ vài vôn đến mười vôn phân cực ngược, thì:

$$I_B = -I_{s1} \left(\exp \frac{qV_{EB}}{KT} - 1 \right) - \alpha_i I_{s2} \quad (4.11)$$

$$I_C = \alpha I_{s1} \left(\exp \frac{qV_{EB}}{KT} - 1 \right) + I_{s2} \quad (4.12)$$

là đặc trưng khi tranzito hoạt động bình thường.

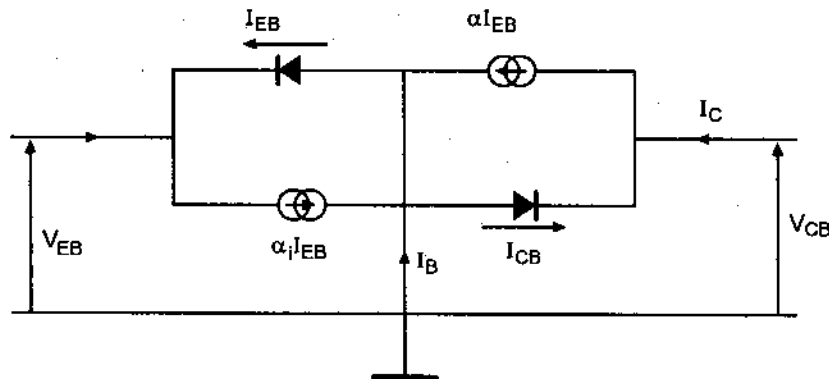
Ngược lại, nếu V_{EB} khoảng vài vôn đến mười vôn phân cực ngược và V_{CB} vài chục vôn phân cực thuận, thì:

$$I_E = I_{s1} + \alpha I_{s2} \left(\exp \frac{qV_{CB}}{KT} - 1 \right) \quad (4.13)$$

$$I_C = -\alpha I_{s1} - I_{s2} \left(\exp \frac{qV_{CB}}{KT} - 1 \right) \quad (4.14)$$

Đó là phương trình cho chế độ ngược.

Các phương trình Ebers và Moll tương đương với sơ đồ:



Hình 4.11. Sơ đồ tương đương với phương trình Ebers và Moll.

Nếu thay các giá trị I_{CB} từ (4.10) vào (4.9) ta được:

$$\begin{aligned} I_E &= -I_{EB} + \alpha_i (\alpha I_{EB} - I_C) \\ I_E &= -(1 - \alpha_i \alpha) I_{EB} - \alpha_i I_C \end{aligned} \quad (4.15)$$

Cũng làm như vậy ta có:

$$I_C = -\alpha I_E - (1 - \alpha \alpha_i) I_{CB} \quad (4.16)$$

Nếu đặt: $I_{EBO} = I_{s1} (1 - \alpha \alpha_i)$

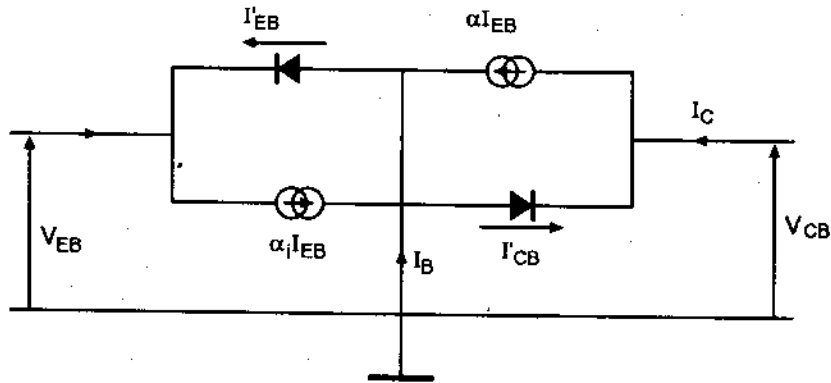
$$\text{Và } I_{CBO} = I_{s2} (1 - \alpha \alpha_i) \quad (4.17)$$

thì ta có thể biểu diễn phương trình Ebers và Moll theo các đại lượng lối vào và ra của tứ cực:

$$I_E = -I_{EBO} \left(\exp \frac{qV_{EB}}{KT} - 1 \right) - \alpha_i I_C = -I_{EB} - \alpha_i I_C \quad (4.18)$$

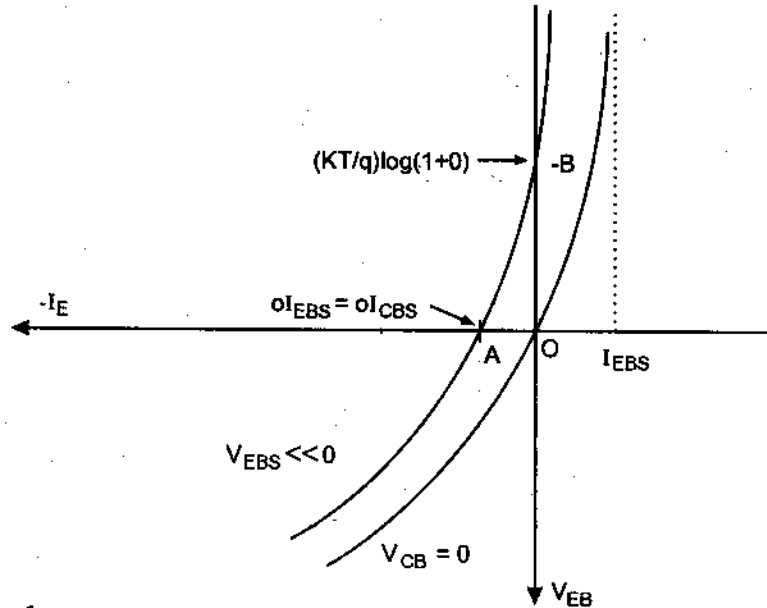
$$I_C = -\alpha I_E + I_{CBO} \left(\exp \frac{qV_{CB}}{KT} - 1 \right) = -\alpha I_E - I_{CB} \quad (4.19)$$

Từ đó ta có sơ đồ tương đương mới



Hình 4.12. Sơ đồ tương đương với (5.18) và (5.19).

Từ các phương trình trên ta có các họ đặc trưng:



Hình 5.13. Các họ đặc trưng cho tranzito trong sơ đồ bazơ chung.

Tại điểm A $V_{CB} \ll 0$; $V_{EB} = 0 \Rightarrow I_E = -\alpha_i I_{s2} = \alpha I_{s2} = -\frac{-\alpha}{1 - \alpha \alpha_i} I_{EBO}$. Tại B: $V_{CB} \ll 0$;

$$V_{EB} < 0, I_E = 0 \text{ tức là } 0 = I_{s1} \left(\exp \frac{qV_{EB}}{KT} - 1 \right) - \alpha_i I_{s2} \Rightarrow V_{EB} = \frac{KT}{q} \log \left(1 + \alpha_i \frac{I_{s2}}{I_{s1}} \right)$$

4.4.2. Sơ đồ emitter chung

Trong sơ đồ này dòng và thế lối vào là I_B và V_{BE} . Do vậy, vì:

$$V_{CB} = V_{CE} + V_{EB}$$

và :

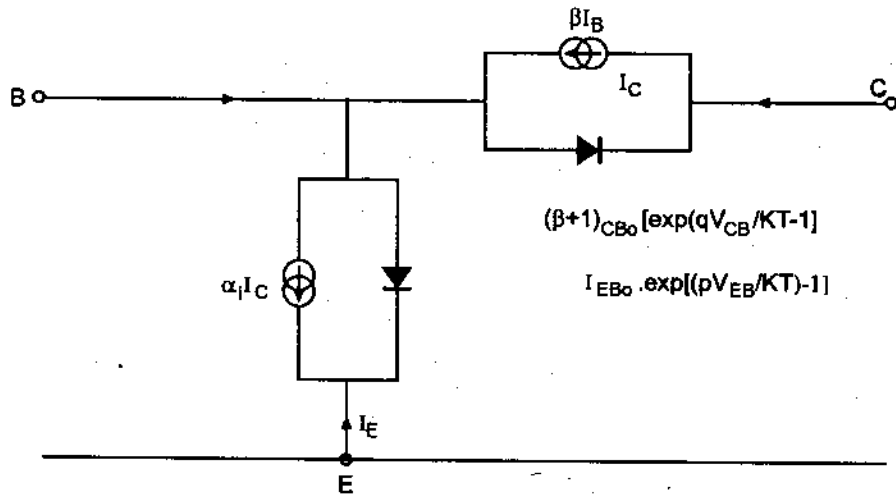
$$I_E = -(I_C + I_B)$$

Nên dòng colectơ là:

$$I_C = \frac{\alpha}{1-\alpha} I_B - \frac{I_{CBO}}{1-\alpha} \left[\exp \frac{q(V_{CE} + V_{EB})}{KT} - 1 \right]$$

$$= \beta I_B - (1+\beta) I_{CBO} \left[\exp \frac{q(V_{CE} + V_{EB})}{KT} - 1 \right] \quad (4.20)$$

Tương đương với sơ đồ Ebers và Moll:



Hình 4.14. Sơ đồ tương đương với (4.20).

Sự phụ thuộc của dòng bazơ vào thế V_{BE} và V_{CE} tìm được từ phương trình đầu tiên của Ebers và Moll:

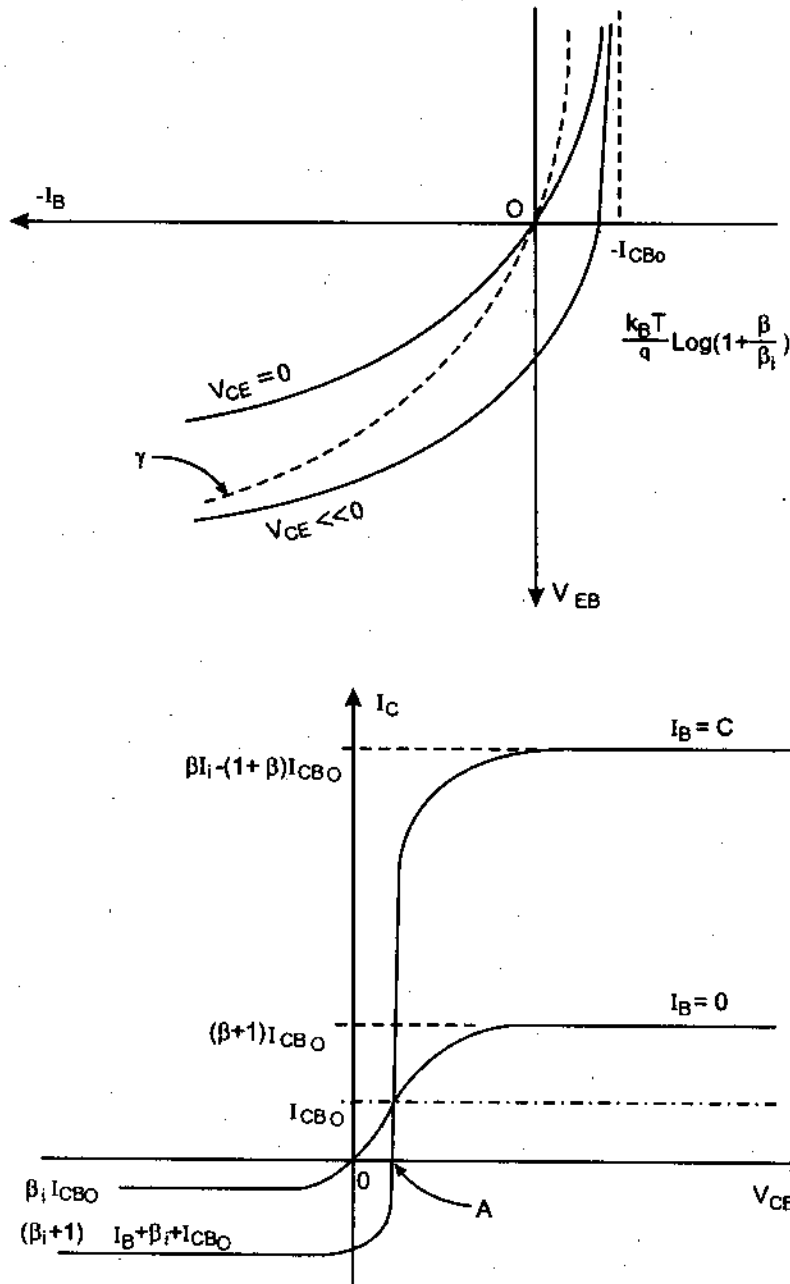
$$I_B = \frac{I_{EBO}}{1 + \frac{\beta}{\beta_i + 1}} \left(\exp \frac{qV_{EB}}{KT} - 1 \right) + \frac{I_{CBO}}{1 + \frac{\beta_i}{\beta + 1}} \left(\exp \frac{qV_{CE} + V_{EB}}{KT} - 1 \right) \quad (4.21)$$

Hình 4.14 là các đặc trưng tính của sơ đồ emitter chung với β cỡ 10^2 còn $\beta_i = \frac{\alpha_i}{1-\alpha_i} < 1$.

4.5. MÔ HÌNH GỢI Ý BỞI MÁY TÍNH

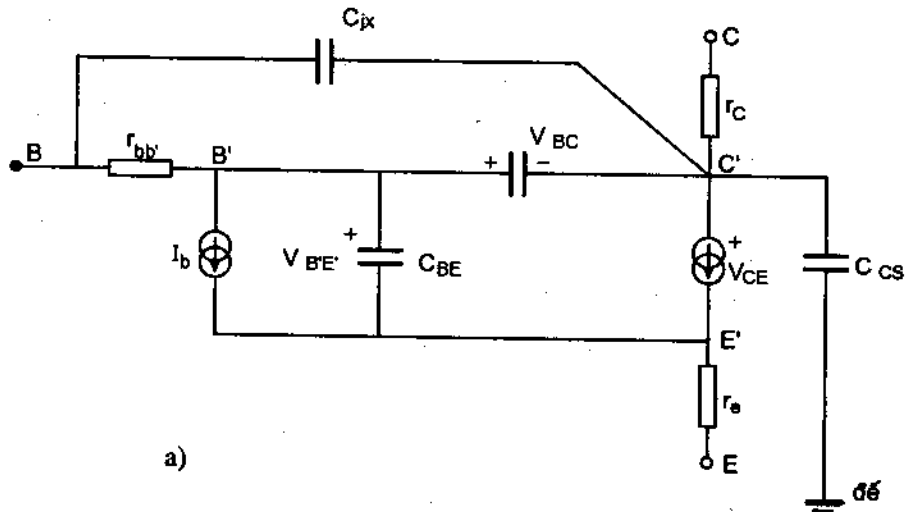
Việc nghiên cứu tối ưu các mạch tương tự chứa nhiều linh kiện khác nhau dưới tác dụng của các tín hiệu mạnh hay yếu, chẳng hạn như các loại vi mạch, có thể được thực hiện trên máy tính. Nhờ đó có thể mô tả mạng theo một mô hình vật lý và toán học chính xác chứa các linh kiện hoạt động trong mạch. Mô hình Ebers và Moll có thể được xem như là một mô hình cơ bản có khả năng mô tả dưới dạng một mạch điện tương tự các phương trình đặc trưng cho sự thay đổi nồng độ các hạt tải trong một tranzito một chiều. Mô hình này gồm 14 thông số để đặc trưng cho một tranzito, trong đó hệ số khuếch đại giữ không đổi. Nếu muốn tính sự thay đổi hệ số khuếch đại với I_C , thì phải có 17 hoặc 18 thông số. Để tính đến các thông số vật lý khác (hiệu ứng bề mặt, sụt thế ở miền bazơ...) thì phải phụ thêm một mô hình với trở kháng phi tuyến. Chương trình giúp đỡ cho việc thiết kế các mạch điện tử được sử dụng rộng rãi là SPICE

(Simulation Program With Integrated Circuit Emphasise), được sử dụng đầu tiên ở trường đại học Tổng hợp California - Berkeley và đã xuất hiện ở thị trường những năm 80. Hiện nay, nó vẫn được sử dụng rộng rãi và chắc chắn còn nhiều năm nữa.

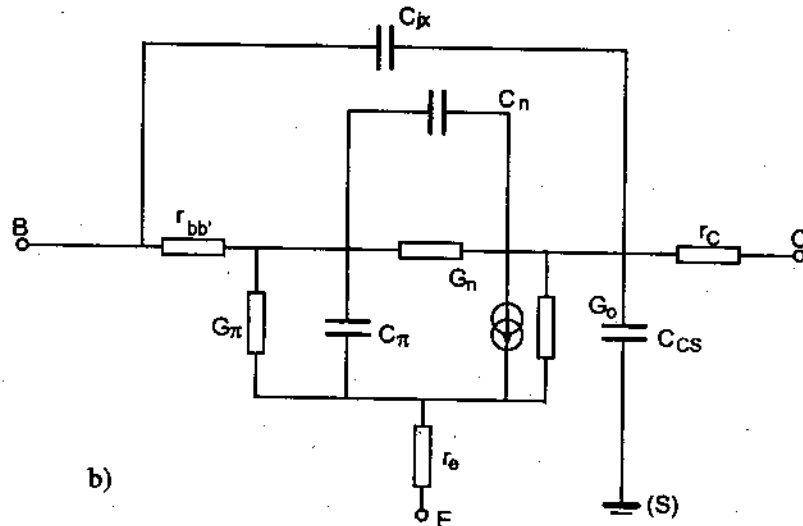


Hình 4.15. Các đặc trưng tĩnh của sơ đồ bazơ chung.

Chương trình SPICE có khả năng mô phỏng hoạt động của một tranzito lưỡng cực trong chế độ “tín hiệu nhỏ” hoặc “tín hiệu lớn”. Nó rút từ phương trình Ebers và Moll và đưa ra một số loại, chẳng hạn với một tranzito trong chế độ tín hiệu lớn, sơ đồ cơ bản đã cho trên hình 4.12a, trong đó điện dung phân bố C_{jx} giữa bazơ và colectơ là do các điện tử xuất phát từ emito sang vùng chuyển tiếp C-B.



Đối với chế độ tín hiệu nhỏ, sơ đồ tương đương cho bởi:



Hình 4.16. Sơ đồ tương đương của tranzito trong chế độ
a) tín hiệu lớn; b) tín hiệu nhỏ theo mô hình SPICE.

$$\text{Với } C_{\pi} = C_{jEB} + g_{mf}\tau_f$$

trong đó $g_{mf} = (q/KT)I_C$ và $I_C = g_{mf} V_{B'E'} - g_{mr} V_{B'C'}$; C_{jEB} và C_{jCB} là các điện dung ngoài; τ_f và τ_r là thời gian chuyển dời trong chế độ bình thường và ngược

$$G_{\pi} = g_{mf}/\beta_f, G_n = g_{mr}/\beta_r, G_0 = dI_C/dV_{CB} = g_m KT/qV_A$$

4.6. TRANZITO TRONG CHẾ ĐỘ ĐỘNG

4.6.1. Chế độ tín hiệu bé

Trên tranzito phân cực, tác dụng một tín hiệu biến đổi có biên độ nhỏ so với dòng và thế phân cực. Quá trình này kéo theo sự khuếch đại công suất (hoạt động trong chế độ khuếch đại).

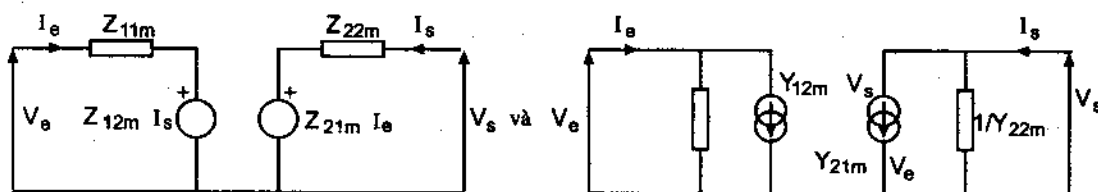
Vì tín hiệu nhỏ, nên các đặc trưng tính tuyến tính xung quanh điểm hoạt động đã chọn. Khi đó tính chất động có thể suy từ việc lấy vi phân các phương trình đặc trưng trong chế độ tĩnh.

Dùng các thông số lai, nhưng ở đây các đại lượng lối vào và ra liên quan với nhau bằng trở kháng Z_{ijm} và độ dẫn Y_{ijm} .

$$\begin{cases} V_e = Z_{11m} i_e + Z_{12m} i_s \\ V_s = Z_{21m} i_e + Z_{22m} i_s \end{cases} \quad (4.22)$$

$$\begin{cases} i_e = Y_{11m} v_e + Y_{12m} v_s \\ i_s = Y_{21m} v_e + Y_{22m} v_s \end{cases} \quad (4.23)$$

hình 4.17 mô tả hệ hai phương trình này :

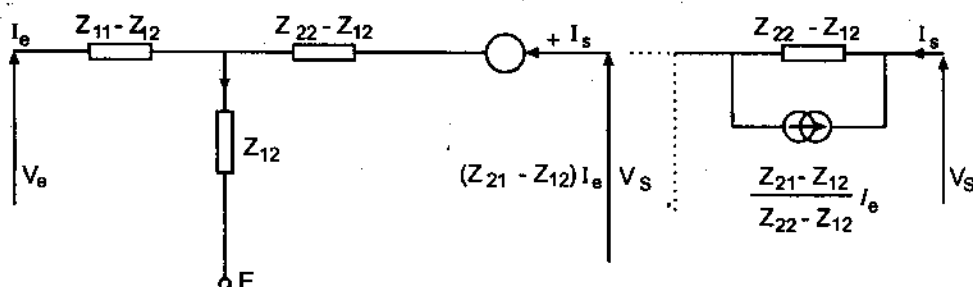


Hình 4.17. Sơ đồ tương đương với phương trình (4.22) và (4.23).

Các sơ đồ này không còn duy nhất nữa. Thực vậy, ta có thể viết :

$$\begin{cases} v_e = Z_{11} i_e + Z_{12} i_s \\ v_s = Z_{21} i_e + Z_{22} i_s = Z_{12} i_e + Z_{22} i_s + (Z_{21} - Z_{12}) i_e \end{cases}$$

từ đó ta rút ra sơ đồ:

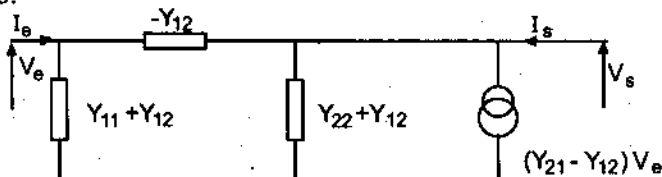


Hình 4.18. Sơ đồ tương đương mới với phương trình (4.22) và (4.23) .

hoặc có thể viết:

$$\begin{aligned} i_e &= Y_{11} v_e + Y_{12} v_s = (Y_{11} + Y_{12}) v_e - Y_{12} (v_e - v_s) \\ i_s &= Y_{21} v_e + Y_{22} v_s = -Y_{22} (v_s - v_e) + (Y_{12} + Y_{22}) v_s + (Y_{21} - Y_{12}) v_e \end{aligned}$$

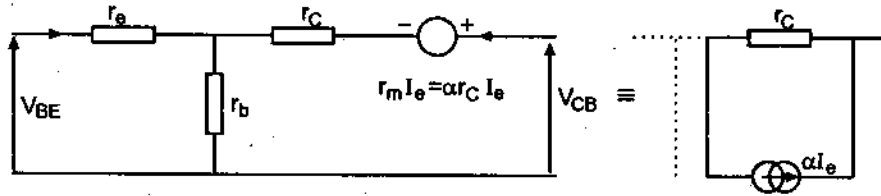
tương đương với sơ đồ:



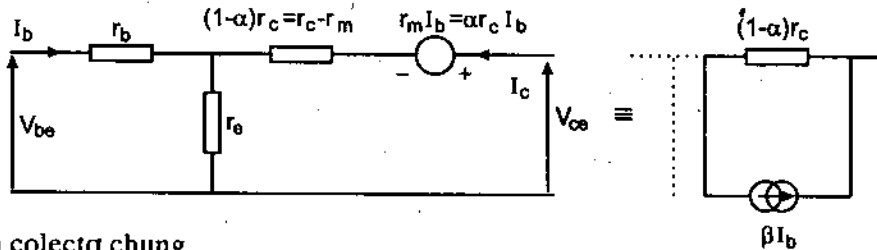
Hình 4.19. Sơ đồ tương đương mới với phương trình (4.22) và (4.23).

Các sơ đồ với một nguồn này được sử dụng cho các tranzito tần số thấp, khi mà các thông số còn ồmíc. Sau đây là sơ đồ tương đương cho ba cách mắc trong chế độ tín hiệu bé.

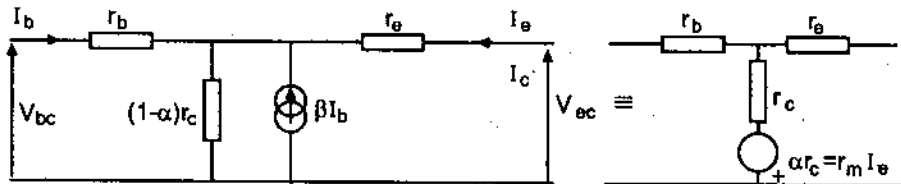
* Sơ đồ bazơ chung



* Sơ đồ emitơ chung



* Sơ đồ colectơ chung



4.6.2. Tranzito trong chế độ tín hiệu lớn

Để phân tích hoạt động trong chế độ tín hiệu lớn của tranzito lưỡng cực, cần phải kiểm tra một cách chi tiết điện tích được tích tụ trong cả ba vùng (trước tiên trong bazơ) thay đổi như thế nào khi tranzito chịu tác dụng một tín hiệu lớn và nhanh.

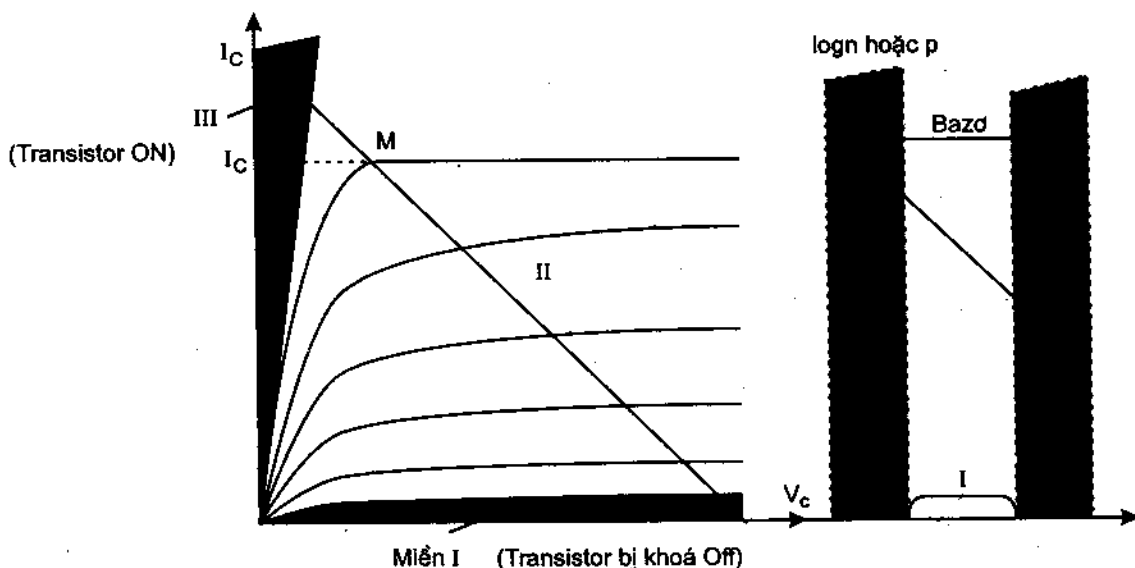
Đầu tiên ta xét chế độ tĩnh: Xuất phát từ các biểu thức Ebers và Moll, ta thấy có 4 trạng thái: hoạt động bình thường, ngược, bão hòa và đóng; đối với tranzito npn các biểu thức đó cho:

$$\begin{cases} I_E = -\frac{I_{EBO}}{1-\alpha\alpha_i} \left(\exp \frac{qV_{EB}}{KT} - 1 \right) + \alpha_i \frac{I_{CBO}}{1-\alpha\alpha_i} \left(\exp \frac{qV_{CB}}{KT} - 1 \right) \\ I_C = \alpha \frac{I_{EBO}}{1-\alpha\alpha_i} \left(\exp \frac{qV_{EB}}{KT} - 1 \right) - \frac{I_{CBO}}{1-\alpha\alpha_i} \left(\exp \frac{qV_{CB}}{KT} - 1 \right) \end{cases} \quad (4.24)$$

hoặc:

$$\begin{cases} I_E = -I_{EBO} \left(\exp \frac{qV_{EB}}{KT} - 1 \right) - \alpha_i I_C \\ I_C = -\alpha I_E + I_{CBO} \left(\exp \frac{qV_{EB}}{KT} - 1 \right) \end{cases} \quad (4.25)$$

các trạng thái đóng và bão hòa trong các sơ đồ emitơ chung và colectơ chung được suy ra ngay. Chúng được đặc trưng bằng các điểm hoạt động nằm trong miền I và III trên đặc trưng lõi ra như trên hình sau:



Hình 4.20. Các vùng hoạt động của tranzito trong chế độ tín hiệu lớn.
 Miền I: Cả hai vùng chuyển tiếp phân cực ngược
 III. Cả hai phân cực thuận.

Trong miền I và II, ở đây vùng chuyển tiếp C-B phân cực ngược:

$$\begin{cases} I_E = -\frac{I_{EBO}}{1-\alpha_i} \exp \frac{qV_{EB}}{KT} + I_{EBO} \frac{1-\alpha}{1-\alpha_i} \\ I_C = \frac{\alpha I_{EBO}}{1-\alpha_i} \exp \frac{qV_{EB}}{KT} + I_{CBO} \frac{1-\alpha_i}{1-\alpha_i} \end{cases} \quad (4.26)$$

Trong miền III, các dòng điện có thể xem như thay đổi độc lập với nhau, từ cái này sang cái kia, bởi thế tác dụng. Từ phương trình Ebers và Moll ta tìm được:

$$\begin{cases} V_{EB} = \frac{KT}{q} \log \left(-\frac{I_E + \alpha_i I_C}{I_{EBO}} + 1 \right) \\ V_{CB} = \frac{KT}{q} \log \left(-\frac{I_C + \alpha_i I_E}{I_{CBO}} + 1 \right) \end{cases} \quad (4.27)$$

Từ đó ta có thể suy ra điện trở kháng V_{CB}/I_C trong trạng thái đóng hoặc mở.

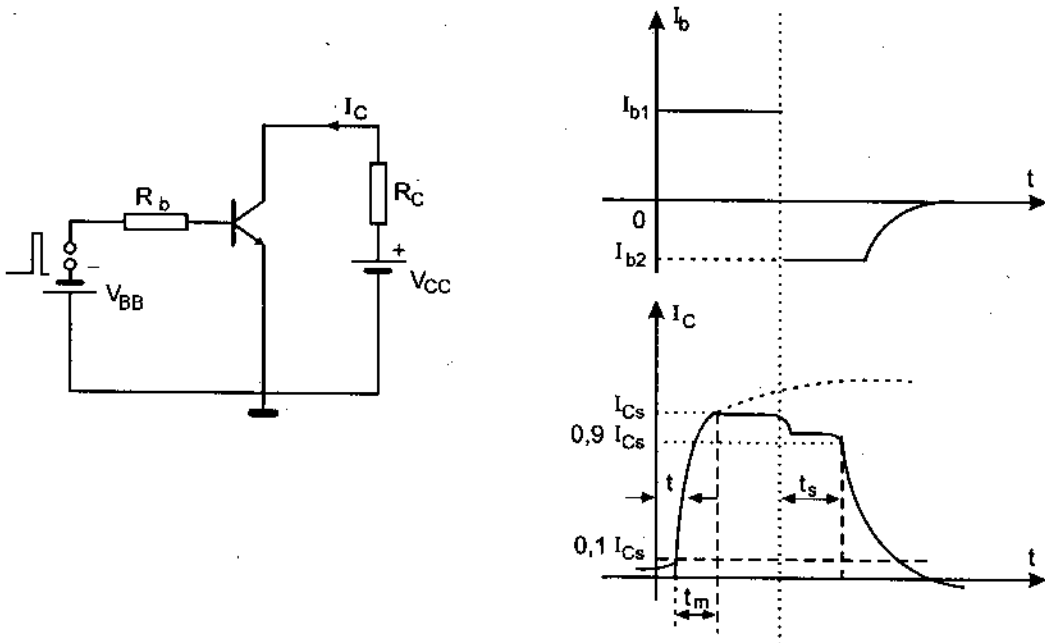
4.7. TRANZITO TRONG CHẾ ĐỘ CHUYỂN MẠCH

Xét sơ đồ hình 4.21:

* Ở thời điểm $t = 0 - \epsilon$, V_{BB} khóa vùng chuyển tiếp E-B, vì thế tranzito đóng, do vậy dòng colectơ $I_C \approx I_{CBO}$.

* Ở thời điểm $t = 0$, cho một xung dương tác dụng, có dòng phun I_{b1} vào bazo. Phải cần một thời gian t , trước khi I_C xuất hiện và tăng, tức là thời gian để thế $V_{BE} > 0,6V$ để mở vùng chuyển tiếp B-E đối với tinh thể silic. Khi V_{BE} tăng, độ rộng vùng chuyển tiếp E-B giảm xuống nên điện dung tăng.

* Vùng chuyển tiếp E-B trở nên dẫn, I_C sẽ tăng dần đến $I_{CS} = V_{CC}/R_C$; thời gian tăng một lượng t_m (tức là tranzito mở).



Hình 4.21. Chế độ chuyển mạch của tranzito.

t_m phụ thuộc vào thời gian truyền các hạt tải tới colectơ qua bazơ và có thể liên quan với đặc trưng tần số và với hệ số khuếch đại dòng β thay đổi khi điểm hoạt động chuyển vào vùng II của đặc trưng lối ra. Trong khoảng thời gian này, V_{CE} giảm, độ rộng của bazơ tăng (vì độ rộng của vùng chuyển tiếp C-B giảm), điều đó kéo theo sự tăng thời gian truyền (đó là hiện tượng Early).

Khi xung dương ngắt, I_C duy trì một thời gian t_s (thời gian lưu trữ), dòng bazơ bị đổi chiều và giữ một giá trị nào đó (trong thời gian t_s), vì điện trở của tranzito nhỏ so với điện trở của mạch bazơ.

t_s tương ứng với khoảng thời gian cần thiết để các hạt tải tích trữ trong bazơ và colectơ biến mất (chủ yếu do tái hợp) để trở lại mật độ tương ứng với sự hoạt động bình thường (ở điểm M). Sự dư thừa các hạt tải này là kết quả của sự bão hòa vùng chuyển tiếp C-B mở vì $I_B > I_C/\beta_{OC}$ (β_{OC} là giá trị của β , ở giới hạn bão hòa, tại M).

Các hạt tải dư bị tản đi và tranzito bị khóa ($I_b \rightarrow 0$, điện trở lối vào trở nên rất lớn), điểm hoạt động của tranzito chạy sang phải vào miền II của đặc trưng lối ra. Quá trình này cho phép xác định thời gian giảm t_d .

Ta có thể tìm được biểu thức của t_m và t_d một cách gần đúng như sau: Giả sử tần số nhịp của xung lối vào ω và β không phụ thuộc sự phân cực. Do vậy, ta có thể viết:

$$\frac{i_c(j\omega)}{i_b(j\omega)} = \frac{\beta_0}{1 + j \frac{\omega}{\omega\beta}}$$

trong đó:

$$\begin{cases} \beta_0' = h_{21e}|_{V_{CE}=0} & \text{ở tần số thấp} \\ \beta_0' \rightarrow \beta_0 & \text{ở dòng không đổi} \end{cases}$$

Vì thế, ở phía sườn lên của xung ta tìm được:

$$i_c(t) = \beta_0' i_b (1 - \exp(-\omega t))$$

theo định nghĩa của t_m , ta sẽ thu được:

$$t_m = \frac{1}{\omega \beta} \log \frac{1 - \frac{I_{CS}}{10\beta_0' B}}{1 - \frac{9I_C}{10\beta_0' B}} \quad (4.28)$$

hoàn toàn tương tự, đối với sườn xung xuống của dòng ta cũng có:

$$i_c(t) = (I_{CS} + \beta_0' i_b) \exp(-\omega t) - \beta_0' I_{B1}$$

và từ đó suy ra:

$$t_d = \frac{1}{\omega \beta} \log \frac{1 + \frac{9I_{CS}}{10\beta_0' I_{B1}}}{1 - \frac{I_{CS}}{10\beta_0' I_{B1}}} \quad (4.29)$$

4.8. CÁC LOẠI TRANZITO ĐẶC BIỆT

4.8.1. Tranzito công suất

Tranzito công suất dùng để khuếch đại công suất, có thể chịu thế C-B khá cao và tiêu tán một lượng nhiệt năng lớn để tránh bị đốt nóng quá mức. Nhiệt độ hoạt động cao như vậy kéo theo hai hiện tượng:

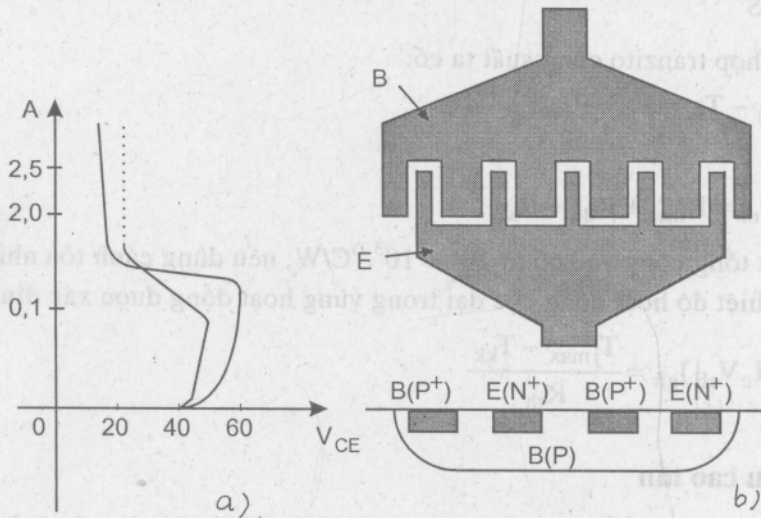
* Bazơ trở nên dẫn điện mạnh làm nối liền colectơ với emitơ, do vậy hiệu ứng tranzito bị ngừng lại.

* Xuất hiện sự đánh thủng thác lũ vì nhiệt: Thế C-E giảm đột ngột, dòng tăng lên thác lũ (hình 4.22a).

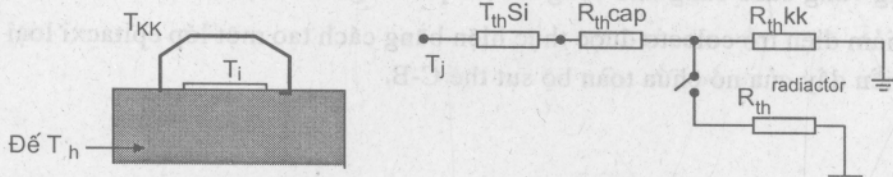
Để tránh những điều bất lợi trên, cần phải giữ cho mật độ dòng phun từ emitơ không lớn và đồng đều, muốn vậy phải tăng kích thước bề mặt tiếp xúc E-B bằng cách làm chúng dưới dạng cài răng lược (hình 4.22b). Cấu trúc này còn cho phép thực hiện một điện trở ngăn ở nhánh emitơ (phun một dây kim loại mạnh). Điện trở này hạn chế được sự giảm thế V_{BE} và dòng I_E do vậy tránh được sự tự nhiệt địa phương.

Nguyên tắc chung là: Các hạt tải được gia tốc bởi điện trường mạnh của vùng điện tích không gian của chuyển tiếp BC, va chạm với mạng tinh thể bán dẫn truyền động năng của chúng cho mạng làm mạng tinh thể nóng lên. Nhiệt năng tỏa ra trong mạng tinh thể ($I_C V_{BC}$) phải được chuyển ra khỏi vùng chuyển tiếp để nhiệt độ của nó luôn được duy trì cố định. Hình 4.16a

minh họa phương pháp tỏa nhiệt này: Nhiệt độ tỏa ra trong vùng chuyển tiếp (T_j) được truyền ra đế (T_h), truyền qua vật liệu đế ra vỏ (T_{cap}), ở đây đặt cánh tỏa nhiệt (radiator).



Hình 4.22. Cấu tạo của tranzito công suất.



Hình 4.23. Điện trở nhiệt của tranzito công suất.

Hình 4.23. mô tả toàn bộ điện trở nhiệt. Điện trở này nhận được nhờ định luật Fourier: Tốc độ truyền nhiệt P tỉ lệ với sự chênh lệch nhiệt độ:

$$P = -K_{th} \frac{\partial T}{\partial x} S$$

với K_{th} là độ dẫn nhiệt ($W_m/^{\circ}C$), S là diện tích bề mặt truyền nhiệt.

Trong chế độ vĩnh cửu:

$$P = -K_{th} \frac{\Delta T}{L} S \quad (4.30)$$

trong đó: L là chiều dài đường truyền nhiệt.

ΔT là hiệu nhiệt độ giữa nguồn và điểm đến.

Hệ thức trên được giải thích tương tự như định luật Ohm:

$$T_s - T_f = R_{th} \cdot P (^{\circ}C) \quad (4.31)$$

Với T_s là nhiệt độ của nguồn;

T_f là nhiệt độ của nơi đến;

$R_{th} = \frac{L}{K_{th}S}$ là điện trở nhiệt của dòng nhiệt.

Trong trường hợp tranzito công suất ta có:

$$T_j - T_{kk} = R_{th} \cdot P_{max}$$

với:

$$R_{th} = R_{thsi} + R_{đé} + R_{kk}$$

Điện trở nhiệt tổng cộng vào cỡ từ $10^2 \div 10^3$ °C/W, nếu dùng cánh tỏa nhiệt có thể giảm được cỡ 10°C/W. Nhiệt độ hoạt động cực đại trong vùng hoạt động được xác định từ biểu thức:

$$(I_c V_{cE})_{gh} = \frac{T_{jmax} - T_{kk}}{R_{th}} \quad (4.32)$$

4.8.2. Tranzito siêu cao tần

Trong các tranzito này, thông số chủ yếu nhất là tần số cắt f_T (tần số mà ở đây $\beta = 0$). Để thu được tần số hoạt động siêu cao thì phải:

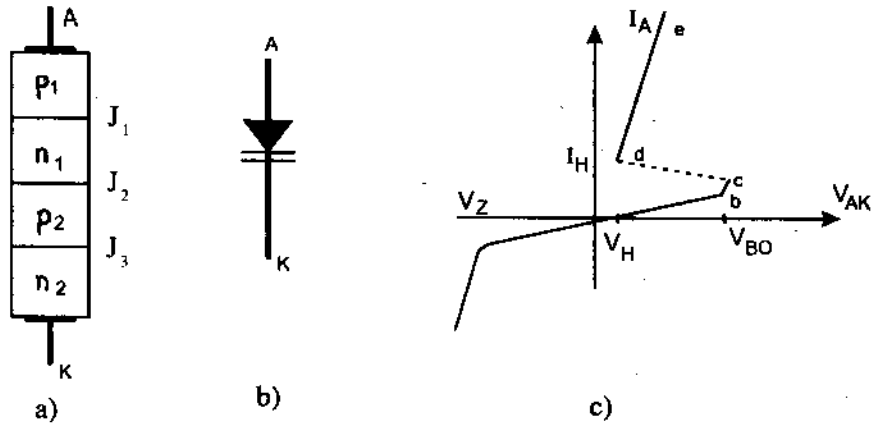
- * Tạo được dòng emitơ cao nhưng bề mặt emitơ lại nhỏ để giảm điện dung của lớp chuyển tiếp emitơ. Do vậy mật độ dòng emitơ cỡ 1000A/cm².
- * Độ rộng vùng bazơ càng nhỏ càng tốt (cỡ phần nghìn Å^o), (hình 4.15c).
- * Việc giảm điện trở colectơ được thực hiện bằng cách tạo một lớp epitacxi loại N trên đế N⁺⁺ sao cho chiều dày của nó chứa toàn bộ sụt thế C-B.

Chương 5

CÁC LINH KIỆN NHIỀU CHUYỂN TIẾP P-N

5.1. ĐIÓT P-N-P-N

Điốt P-N-P-N là một cấu trúc gồm 4 lớp bán dẫn pha tạp xen kẽ nhau P và N. Chân nối với bán dẫn (BD) loại P gọi là anốt (anode), chân kia được gọi là catốt (cathode) nối với BD loại N (hình 5.1).



Hình 5.1. Điốt P-N-P-N.
a) cấu tạo; b) ký hiệu; c) đặc trưng $I(V)$.

Đặc trưng của điốt này biểu diễn trên hình (5.1). Nếu anốt có thế dương so với catốt thì đặc trưng $I(V)$ chỉ ra 4 đoạn phân biệt:

* Khi thế còn thấp, các vùng chuyển tiếp J_1 , và J_3 phân cực thuận, còn J_2 phân cực ngược. Lúc này linh kiện hoạt động như một điốt phân cực ngược. Phần này của đặc trưng kéo dài đến tận điểm b và được gọi là miền có trở kháng cao hoặc miền “OFF”.

* Khi thế tác dụng đạt đến V_{BO} , được gọi là thế mỗi, dòng bắt đầu tăng một ít (đoạn bc).

* Sau đó thế giảm đột ngột trong khi dòng tăng không đáng kể (đoạn cd).

* Tiếp sau nữa là dòng tăng đột ngột trong khi thế ở hai đầu của linh kiện chỉ khoảng 0,7V. Đặc trưng tương tự như của điốt phân cực thuận (đoạn de); người ta nói linh kiện ở trong trạng thái dẫn “ON” hoặc trở kháng thấp. Dòng I_H và thế V_H được gọi là dòng và thế duy trì. Nếu dòng điện được giảm xuống dưới dòng duy trì thì linh kiện lại chuyển về trạng thái đóng “OFF”.

Nếu linh kiện này bị phân cực ngược (catốt dương so với anốt), thì dòng qua linh kiện vẫn rất nhỏ khi thế tác dụng nhỏ hơn thế đánh thủng V_Z : tổng thế đánh thủng của hai vùng chuyển tiếp J_1 và J_3 ($V_Z = V_{Z1} + V_{Z2}$).

Để hiểu hoạt động của linh kiện này, ta tưởng tượng chia linh kiện này thành hai phần tương tự như hai tranzito $N_1P_2N_2$ và $P_1N_1P_2$ ghép với nhau như trong hình 5.2. Theo chiều dòng điện chạy trong các tranzito, ta có:

$$I_{C1} = -\alpha_1 I_A + I_{CO1}; \quad I_{C2} = \alpha_2 I_A + I_{CO2}.$$

Định luật bảo toàn dòng tác dụng vào T_1 cho ta:

$$I_A + I_{C1} - I_{C2} = 0$$

phối hợp với hai hệ thức trên đây ta được:

$$I_A = \frac{I_{CO}}{1 - \alpha_1 - \alpha_2} \quad (\text{mA}) \quad (5.1)$$

trong đó dòng $I_{CO} = I_{CO2} - I_{CO1}$: dòng bão hòa của chuyển tiếp J_2 .

Như đã biết, trong một tranzito, khi thế colectơ tăng thì hệ số khuếch đại dòng cũng tăng theo; do vậy nếu thế ở hai đầu của cấu trúc P-N-P-N tăng thì tổng $\alpha_1 + \alpha_2$ dần tới đơn vị. Khi chúng đạt tới 1 thì dòng I_A đột ngột tăng lên đến một giá trị giới hạn nhờ điện trở hạn chế ở mạch ngoài. Đó là trạng thái dẫn "ON". Sự tăng của dòng I_A làm tăng giá trị của α và hệ thức (5.1) chỉ ra rằng I_A có thể bị nghịch đảo. Tuy nhiên, từ khi chuyển tiếp J_2 dẫn thì cả hai tranzito ở trong trạng thái bão hòa và duy trì điều kiện $\alpha_1 + \alpha_2 = 1$, do vậy trạng thái ON giữ ổn định. Thế ở hai đầu của linh kiện là tổng đại số của ba thế thuận của các vùng chuyển tiếp, vào cỡ 1,0 V vì thế ở hai đầu của J_2 ngược dấu với thế của J_1 và J_3 .

Để duy trì trạng thái ON trở kháng thấp, phải thỏa mãn điều kiện $\alpha_1 + \alpha_2 = 1$; điều này được duy trì cho đến giá trị I_H (dòng duy trì). Nếu dòng qua linh kiện giảm xuống dưới dòng duy trì, thì diốt P-N-P-N chuyển sang trạng thái "OFF" trở kháng cao. Việc chuyển từ trạng thái dẫn sang trạng thái đóng luôn luôn được thực hiện khi giá trị dòng qua linh kiện nhỏ hơn dòng duy trì được xác định bằng kết cấu của linh kiện. Đặc trưng $I(V)$ của cấu trúc P-N-P-N có một đoạn *trở vì phân âm*: dòng tăng khi thế lại giảm mạnh.

5.2. THYRISTOR

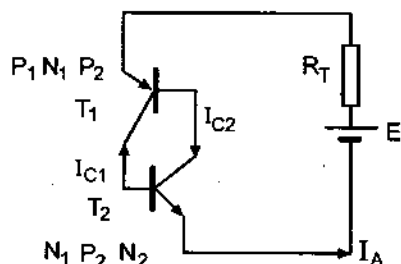
5.2.1. Mô tả và cấu tạo

Thyristor là chuyển mạch có điều khiển. Khi chịu một thế ngược, nó sẽ đóng với điều kiện là thế này phải vượt quá một giá trị xác định nào đó; còn khi phân cực thuận nó cũng đóng, nhưng nếu có một xung dòng tác động vào cực điều khiển gọi là *cửa* (gate), thì nó sẽ dẫn; người ta nói nó đã được *mở*. Nó luôn luôn được *mở* chừng nào mà dòng qua nó lớn hơn giá trị của dòng duy trì.

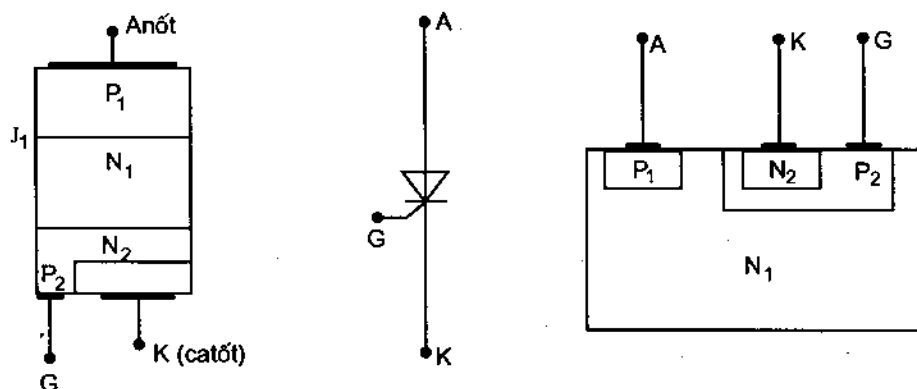
Về phương diện lý thuyết có hai loại thyristor:

- * Thyristor loại N hoặc với cửa từ anốt, trong đó cực điều khiển được cấy trên vùng N gần anốt.

- * Thyristor loại P hoặc cửa từ catốt, trong đó cửa được cấy trên vùng p gần catốt. Trên thực tế chỉ có cấu trúc được chỉ ra trên hình (5.3).

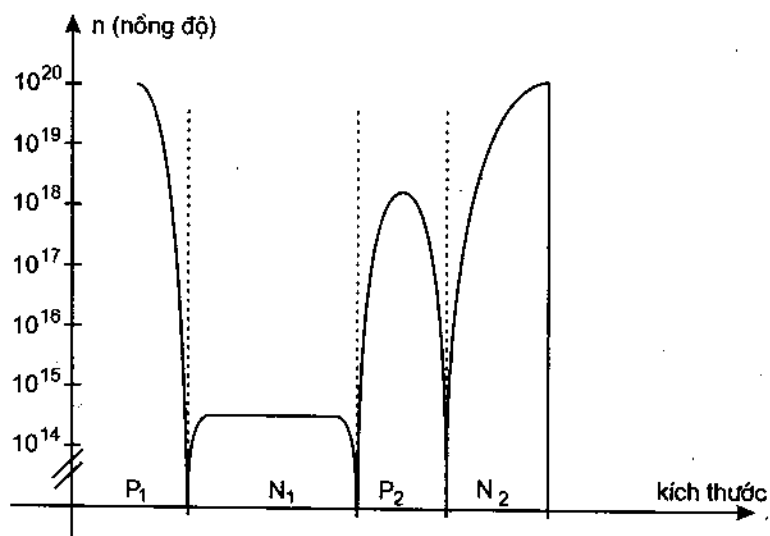


Hình 5.2. Sơ đồ tương đương của diốt P-N-P-N.



Hình 5.3. Cấu tạo và ký hiệu của thyristor.

Hiện nay có rất nhiều loại thyristor với dòng tải từ vài miliampe tới 5 - 6000A; có thể chịu được thế đến 10^4 V. Do vậy kích thước của chúng cũng như sự pha tạp trong bốn vùng silic cũng rất khác nhau. Hình dưới đây cho biết sự phân bố nồng độ tạp chất trong bốn vùng silic đó:



Hình 5.4. Sự phân bố nồng độ tạp chất trong các miền của thyristor.

* Vùng catốt n_2 là silic loại N rất mỏng và pha tạp rất cao (cỡ 200 ppm). Vì vậy vùng chuyển tiếp J_3 chỉ chịu được thế ngược nhỏ và có dòng ngược cao.

* Vùng điều khiển, bán dẫn loại P, cũng mỏng và pha tạp trung bình (vài ppm).

* Vùng “then chốt” n_1 , bán dẫn loại N, dày nhất và pha tạp ít nhất trong số 4 vùng của thyristor (cỡ vài 10^{-3} ppm). Chiều dày của vùng này vào cỡ 10 đến 200 μm ; pha tạp của vùng này đóng vai trò chủ yếu trong dung lượng của thyristor để chịu được thế ngược lớn và dòng ngược nhỏ.

* Vùng anốt có độ dày vừa phải và có sự chênh lệch nồng độ tạp chất rất lớn từ J_1 đến chỗ tiếp xúc với kim loại ở đó silic pha tạp mạnh.

5.2.2. Đặc trưng tĩnh của thyristor

Coi thyristor như hai tranzito mắc theo sơ đồ tương đương trên hình 5.5. Từ sơ đồ đó ta thấy dòng colectơ của T_2 cũng chính là dòng bazơ của T_1 ; vì vậy:

$$I_{b1} = (1 - \alpha_1)I_A - I_{CO1} = I_{C2} = \alpha_2 I_K + I_{CO2}$$

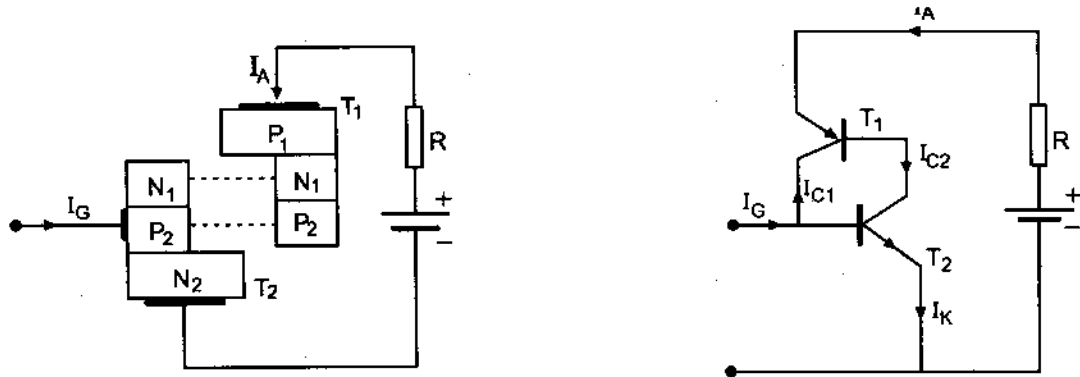
nhưng:

$$I_K = I_A + I_G$$

nên thu được:

$$I_A = \frac{\alpha_2 I_G + I_{CO1} + I_{CO2}}{1 - (\alpha_1 + \alpha_2)} \quad (\text{mA}) \quad (5.2)$$

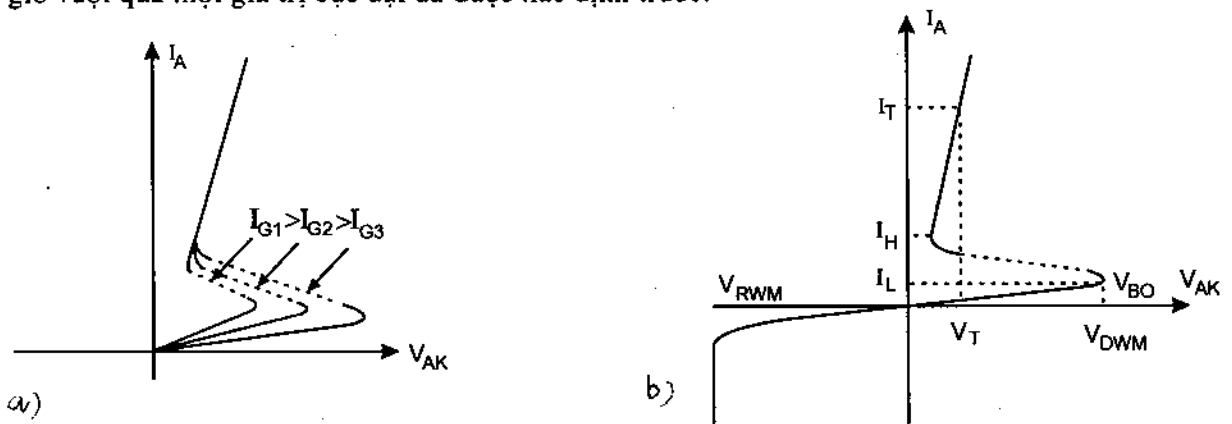
Hệ thức trên mô tả đặc trưng tĩnh của thyristor đến thế môi với dòng thấp; có nghĩa là thyristor trong trạng thái OFF. Tác dụng của dòng điều khiển I_G biểu diễn trên hình 5.5: Khi dòng này tăng thì dòng duy trì cũng tăng, còn thế môi lại giảm.



Hình 5.5. Sơ đồ tương đương của thyristor.

Ở trạng thái đóng, thyristor có điện trở cao, còn khi dẫn lại có điện trở nhỏ. Tính chất này cho phép thyristor có thể chịu được dòng điện lớn.

Các thông số điện quan trọng là thế ngưỡng ở trạng thái đóng V_{DWM} và thế ngược V_{RWM} . Điện trở tổng cộng của mạch ngoài hạn chế dòng sau khi khởi phát tới một giá trị không bao giờ vượt quá một giá trị cực đại đã được xác định trước.



Hình 5.6. Các đặc trưng điện của thyristor:
a) ảnh hưởng của dòng cửa; b) đặc trưng $I(V)$

Hình 5.6b minh họa một số thông số:

- * I_H : *Dòng duy trì cực tiểu*, có nghĩa là nếu dòng anốt bé hơn dòng này thì thyristor sẽ bị tháo mỗi.
- * V_{BO} : *Thế quay trở lại* hoặc là thế mỗi khi chưa có tín hiệu điều khiển ở cửa G.
- * I_L : *Dòng mỗi tương ứng với thế mỗi V_{BO}* .
- * I_R : *Dòng ở trạng thái đóng*.
- * V_T : *Thế tải tương ứng với dòng I_T ở trạng thái dẫn*.

5.2.3. Đặc trưng động của thyristor

a) *Tác động của thế (dV/dt)*: Nếu thyristor chịu tác dụng một xung răng cưa thế có sườn dốc hơn vận tốc tối hạn tăng của thế ở trạng thái đóng của nó (dV/dt) thì thyristor sẽ được mỗi trước khi thế quay ngược trở lại V_{BO} còn chưa đạt tới. Thực vậy: Dòng ($I=CdV/dt$) tương ứng với diện tích của diện dung của vùng chuyển tiếp J_2 có thể đạt tới dòng mỗi I_L . Điều kiện khởi phát này phụ thuộc một phần vào trở kháng của mạch điều khiển ở cửa G, mặt khác phụ thuộc vào diện tích của thyristor. Điều bất lợi nếu như cửa không được cố định về thế so với catốt. Nếu cửa được phân cực âm thì dV/dt tối hạn có thể lớn hơn giá trị thực của thyristor.

b) *Tác dụng về dòng dI/dt*

Vận tốc tăng của dòng trong một thyristor bị hạn chế nhiều ampe/micô giây (dI/dt) là vận tốc tối hạn tăng của dòng ở trạng thái dẫn. Thực vậy, hiện tượng mỗi xảy ra bắt đầu từ cửa điều khiển và được truyền đi với vận tốc xác định. Nếu vận tốc tăng quá lớn sẽ gây ra sự đốt nóng định xứ làm hư hại linh kiện. Do vậy mỗi thyristor đều được chỉ dẫn mỗi bằng một xung dòng với biên độ, sườn tăng và chiều dài xác định. Các điều kiện này đặc biệt bắt buộc trong các mạch dòng không đổi.

c) *Thời gian mỗi bởi cửa điều khiển t_{GI}*

Khi một xung dòng tác dụng vào cửa điều khiển, thì dòng qua thyristor không được đáp ứng ngay mà cần một thời gian trễ nào đó gọi là thời gian mỗi bởi cửa điều khiển. Nó phụ thuộc rất mạnh vào biên độ của dòng cửa và được phân thành hai phần:

* *Thời gian định hạn t_d*

Đó là khoảng thời gian phân chia sự tăng của dòng cửa và thời điểm mà ở đấy hiệu thế anốt và catốt đạt 90% giá trị ban đầu của nó.

* *Thời gian giảm t_r*

Đó là khoảng thời gian mà trong đó hiệu thế anốt và catốt chuyển từ 90% xuống 10% giá trị của nó. Để giảm thời gian mỗi bởi cửa, người ta dùng cấu trúc với các vùng P_1 và N_2 mỏng. Tuy nhiên, trong trường hợp này thế ngược ngưỡng V_{RWM} trở nên nhỏ hơn, chính vì lý do này mà các thyristor công suất thường có thời gian mỗi lớn.

d) *Thời gian tháo mỗi t_q*

Thời gian tháo mỗi do sự chuyển mạch là khoảng thời gian cần thiết để thyristor lấy lại diện dung khóa theo chiều thuận sau khi có dòng hướng từ anốt sang catốt.

Để thu được thời gian tháo mỗi bé, cần phải giảm thời gian sống của các hạt tải được phun vào miền N_1 bằng cách đưa vào các tâm tái hợp trong quá trình sản xuất. Phương pháp này

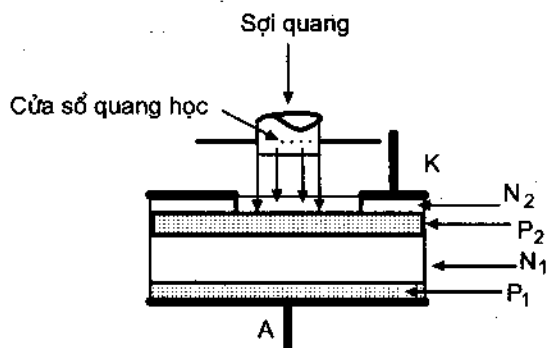
cũng tăng dòng dò như vậy làm giảm thế hồi phục và tăng thế thả. Trong thực tế, thời gian tháo môi phụ thuộc vào:

- * Dòng anốt catốt ở thời điểm trước khi chuyển mạch.
- * dI_R/dt âm khi chuyển mạch.
- * Nhiệt độ của chuyển tiếp J_2 khi chuyển mạch.
- * Sự phân cực của cửa G.
- * dV/dt dương tác dụng vào anốt sau khi chuyển mạch.
- * Thế ngược V_R được tác dụng sau chuyển mạch.
- * Cấu trúc của mạch điều khiển của cửa (I_G và dI_G/dt).

5.3. CÁC LINH KIỆN CÙNG HỌ VỚI THYRISTOR

5.3.1. Phôtô thyristor (LAS: Light Activated Thyristor)

Trong các linh kiện này, sự mỗi được thực hiện bằng một dòng ánh sáng dẫn tới nhờ một sợi quang học. Chùm sáng sinh ra các cặp điện tử - lỗ trống trong thể tích của tinh thể đặt dưới cửa sổ chiếu sáng. Để khởi phát (mỗi), cần có cường độ sáng cực tiểu; cường độ sáng này giảm khi thế anốt tăng. Mặt khác, bước sóng của ánh sáng tới cũng ảnh hưởng tới sự khởi phát.



Hình 5.7. Cấu tạo của phôtô thyristor.

Vai trò chủ yếu trong sự khởi phát là sự xuất hiện các cặp điện tử - lỗ trống trong vùng điện tích không gian của J_2 : Khi đó các điện tử và lỗ trống bị phân tách hầu như tức thời bởi điện trường và chuyển dời về phía N_1 và P_2 . Như vậy, lỗ trống được phun vào miền điều khiển P_2 đóng vai trò dòng I_G trong thyristor.

Phôtô thyristor có ích lợi rất lớn khi người ta muốn nghiên cứu sự cách điện hoàn toàn giữa mạch điện điều khiển và mạch chính. Chúng được sử dụng trong các mạch kiểm tra quang điện, điều khiển và chuyển mạch bằng quang học ...

5.3.2. DIAC (điốt chuyển mạch A-C)

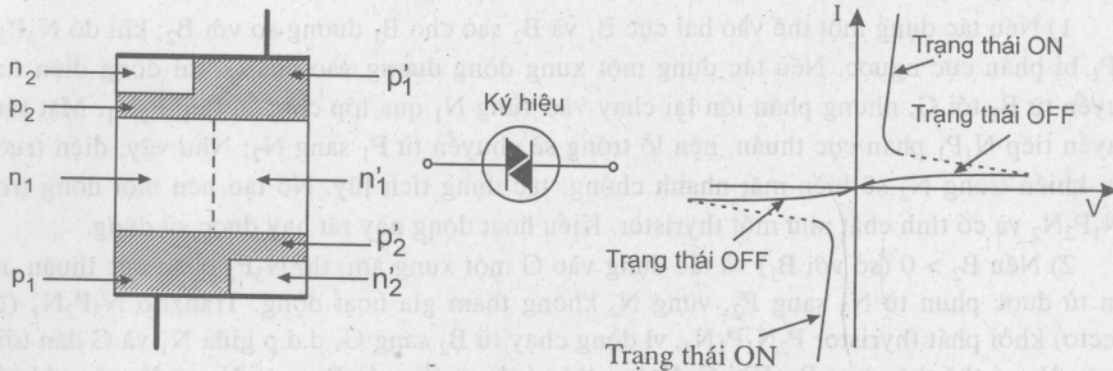
Đó là một linh kiện đối xứng theo kích thước hình học hoặc theo sự pha tạp giữa các miền khác nhau. Điốt này là hai chiều nên có thể có trạng thái ON hoặc OFF khi thế anốt âm hoặc dương. Vì vậy, nó có thể dùng cho dòng điện xoay chiều. Có hai loại DIAC có đặc trưng đó:

– Loại 1: Gồm 3 lớp bán dẫn NPN (hai lớp chuyển tiếp P-N), trong đó hai vùng N được pha tạp giống nhau và không có tiếp xúc bazơ. Mặc dù thế phân cực là dương hay âm, thì một

lớp chuyển tiếp phân cực thuận, còn lớp kia phân cực ngược, do đó có dòng bão hòa chạy qua, chừng nào mà hiện tượng đánh thủng thác lũ chưa xảy ra. Hiện tượng đánh thủng thác lũ xuất hiện khi thế đạt đến giá trị V_{RWM} , lúc này dòng tăng lên đột ngột.

– Loại 2: Là diốt shockley lưỡng hướng

Diốt này đối xứng một cách tuyệt đối:

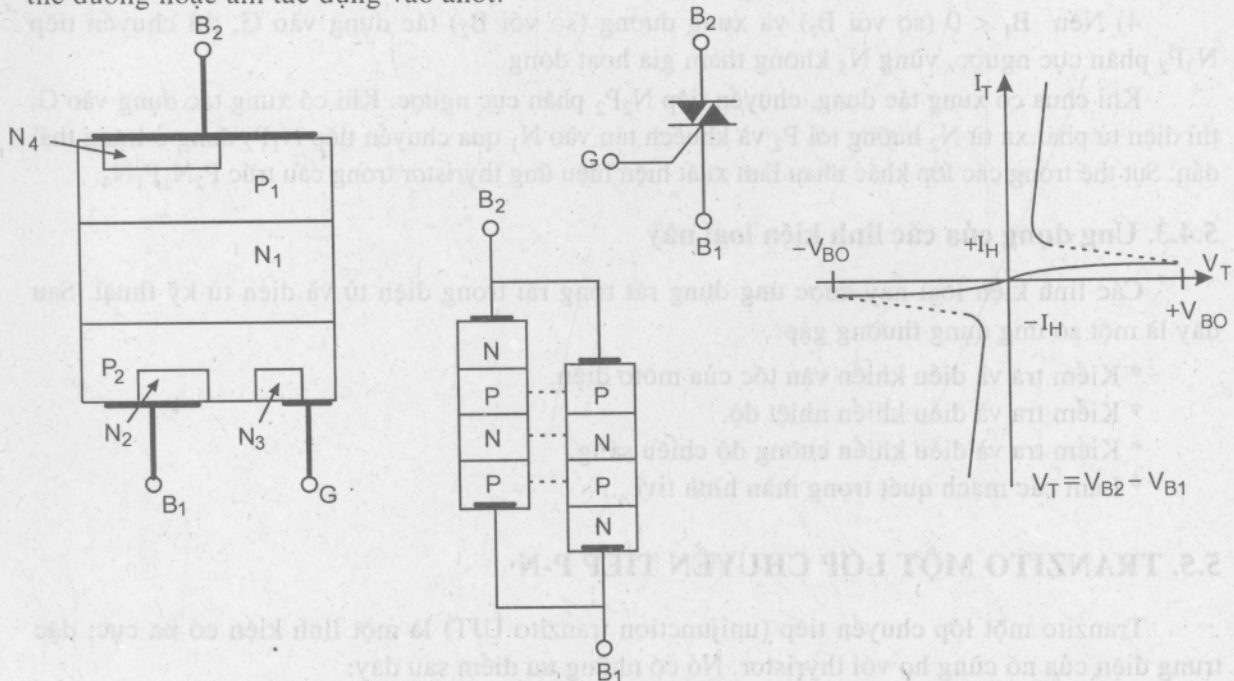


Hình 5.8. Cấu tạo và đặc trưng của diốt Shockley.

5.4. TRIAC (TRIÔT CHUYỂN MẠCH A-C)

5.4.1. Cấu tạo

Đó là một thyristor lưỡng hướng, vì thế nó biểu hiện một trạng thái OFF hoặc ON khi có thế dương hoặc âm tác dụng vào anốt.



Hình 5.9. Cấu tạo và đặc trưng của triac.

Đó là linh kiện có 6 lớp bán dẫn, vì vậy có 5 lớp chuyển tiếp P-N cùng với 3 chuyển tiếp đoạn mạch. Nó có hai cực B_1 B_2 và một cửa G nối tắt hai lớp P_2 và N_3 . Mức độ pha tạp trong các vùng $P_1N_1P_2N_2$ hoàn toàn giống như trong thyristor. Điện trở của vùng P_2 giữa lớp chuyển

tiếp N_2P_2 và cửa đóng vai trò chủ đạo trong sự khởi phát của triac. Các cực B_1 và B_2 và cửa G có thể chịu thế cho phép cố định hướng phân cực của mỗi lớp chuyển tiếp.

5.4.2. Hoạt động

Hoạt động của linh kiện này khá phức tạp. Tuy nhiên, sự phân tích 4 kiểu khởi động dưới đây cho phép suy ra các đặc trưng cơ bản của linh kiện này.

1) Nếu tác dụng một thế vào hai cực B_1 và B_2 sao cho B_1 dương so với B_2 ; khi đó N_3P_2 và N_1P_1 bị phân cực ngược. Nếu tác dụng một xung dòng dương vào cửa G , thì dòng điện tử sẽ chuyển từ B_2 tới G , nhưng phần lớn lại chạy vào vùng N_1 qua lớp chuyển tiếp P_2N_1 . Mặt khác, chuyển tiếp N_1P_1 phân cực thuận, nên lỗ trống sẽ chuyển từ P_1 sang N_2 ; Như vậy, điện trường điều khiển trong N_2 sẽ biến mất nhanh chóng: tác dụng tích lũy. Nó tạo nên một dòng trong $P_1N_1P_2N_2$ và có tính chất như một thyristor. Kiểu hoạt động này rất hay được sử dụng.

2) Nếu $B_2 > 0$ (so với B_1) và tác dụng vào G một xung âm, thì N_3P_2 phân cực thuận, nếu điện tử được phun từ N_3 sang P_2 , vùng N_2 không tham gia hoạt động. Tranzito $N_3P_2N_1$ (N_1 : colector) khởi phát thyristor $P_2N_1P_1N_4$, vì dòng chạy từ B_2 sang G , d.d.p giữa N_1 và G dần tới 0, do vậy N_1 có thế thấp hơn B_2 . Khi G đủ âm, thì có dòng chạy từ P_2 sang N_1 và lỗ trống khuếch tán tới P_1 . Một dòng lớn chuyển qua chuyển tiếp P_1N_4 tới anốt N_4 của thyristor.

3) $B_1 > 0$ thì chuyển tiếp N_4P_1 và N_1P_2 phân cực ngược. Nếu có xung âm vào G (so với B_2), thì có dòng chạy giữa B_2 và G . Thyristor $P_1N_1P_2N_2$ sẽ được khởi phát. Thực vậy, điện tử phát từ N_3 sẽ khuếch tán sang N_1 , làm khai thông thyristor $P_1N_2P_2N_3$. Khi đó sự lưu thông dòng trong P_2 kéo theo sụt thế làm đảo ngược thế phân cực của chuyển tiếp N_2P_2 làm khởi phát thyristor $N_1P_1N_2P_2$.

4) Nếu $B_1 < 0$ (so với B_2) và xung dương (so với B_2) tác dụng vào G , thì chuyển tiếp N_3P_2 phân cực ngược, vùng N_3 không tham gia hoạt động.

Khi chưa có xung tác dụng, chuyển tiếp N_2P_2 phân cực ngược. Khi có xung tác dụng vào G , thì điện tử phát xạ từ N_2 hướng tới P_2 và khuếch tán vào N_1 qua chuyển tiếp N_1P_2 đang ở trạng thái dẫn. Sụt thế trong các lớp khác nhau làm xuất hiện hiệu ứng thyristor trong cấu trúc $P_2N_1P_1N_4$.

5.4.3. Ứng dụng của các linh kiện loại này

Các linh kiện loại này được ứng dụng rất rộng rãi trong điện tử và điện tử kỹ thuật. Sau đây là một số ứng dụng thường gặp:

- * Kiểm tra và điều khiển vận tốc của motor điện.
- * Kiểm tra và điều khiển nhiệt độ.
- * Kiểm tra và điều khiển cường độ chiếu sáng.
- * Làm các mạch quét trong màn hình tivi ...

5.5. TRANZITO MỘT LỚP CHUYỂN TIẾP P-N

Tranzito một lớp chuyển tiếp (unijunction tranzito UJT) là một linh kiện có ba cực; đặc trưng điện của nó cùng họ với thyristor. Nó có những ưu điểm sau đây:

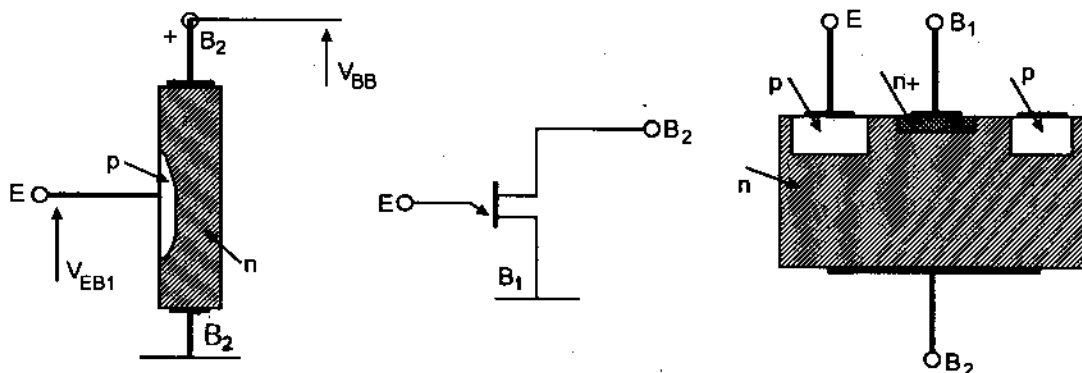
- * Thế khởi phát ổn định.
- * Dòng đỉnh có giá trị rất thấp.
- * Đặc trưng có đoạn trở âm.
- * Có khả năng cung cấp một xung dòng lớn.

5.5.1. Cấu tạo và cách thức hoạt động

Hình 5.10 minh họa cấu tạo của tranzito một lớp chuyển tiếp được tạo thành nhờ một chuyển tiếp emitor (bán dẫn loại P) - bazơ (bán dẫn loại N) và hai tiếp xúc ômmic B_1 và B_2 .

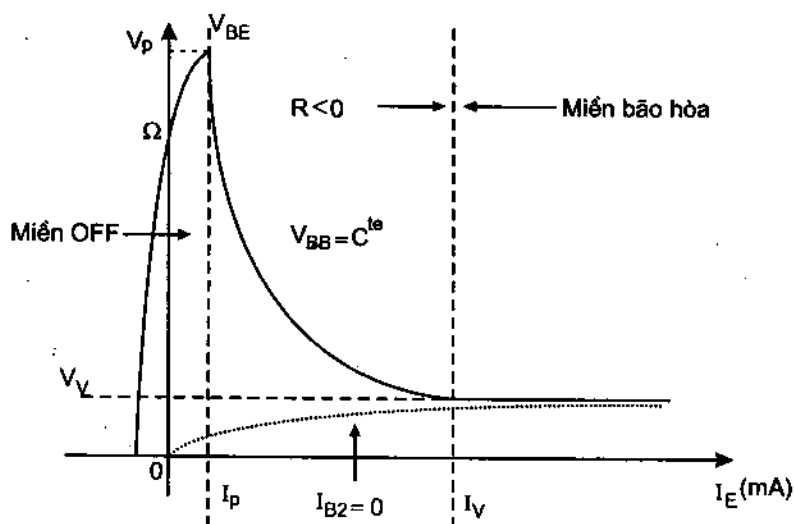
* Nếu $I_E = 0$ (mạch emitor hở), điện trở của thanh bán dẫn cỡ hàng nghìn ôm, vì vậy dòng I_{B2} rất nhỏ.

* Khi tác động thế V_{BB} giữa B_1 và B_2 . Nếu emitor được nối trực tiếp với B_1 , thì chuyển tiếp E/ B_1 phân cực ngược, vì vậy khi thế giữa B_1 và B_2 tăng từ 0 đến V_{BB} thì cũng chỉ có dòng rất nhỏ đi qua mạch.



Hình 5.10. Cấu tạo của tranzito một lớp chuyển tiếp.

* Bây giờ ta tăng thế V_{B1} và theo dõi thế ngược của chuyển tiếp, thấy thế ngược giảm từ từ đến điểm Ω , tại đó dòng bằng không ($I_E = 0$), nên lớp chuyển tiếp được phân cực thuận và dòng thuận của emitor xuất hiện. V_{EB1} chạy qua giá trị cực đại (thế đỉnh V_p), sau đó giảm xuống thế đáy (V_v). Ở thế đỉnh, dòng I_E tăng, trong khi thế V_{EB1} lại giảm đến đáy. Điện trở động giữa đỉnh và đáy là điện trở âm. Khi thế lớn hơn thế đáy, dòng tăng rất nhanh, vì vậy phải có mạch để hạn chế dòng ở một giá trị chấp nhận được. Hình 5.11 mô tả các đặc trưng này.



Hình 5.11. Đặc trưng của tranzito một lớp chuyển tiếp.

Các quá trình khởi phát của UJT có thể coi như một mạch diốt nối với hai điện trở đóng vai trò một bộ chia thế. Nếu mạch emitter hở ($I_E = 0$) ta có:

$$V_A = \frac{R_{B1}}{R_{B1} + R_{B2}} V_{BB} = \eta V_{BB}$$

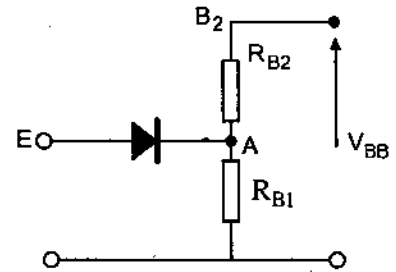
Điốt đóng khi $V_{EB1} < V_A + V_D$ (V_D : thế ngưỡng của diốt)

Còn khi $V_{EB1} > V_A + V_D$ thì diốt phân cực thuận, hạt tải điện được phun vào bazơ. Các lỗ trống này được gia tốc bởi V_{B1} kéo theo tăng độ dẫn điện của R_{B1} làm cho V_A giảm xuống, do đó có hiệu ứng trở âm (Giá trị từ 1 đến $2k\Omega$).

Với mỗi UJT thế đỉnh V_P được xác định bằng hệ thức: $V_P = \eta V_{BB} + V_D$; η ít phụ thuộc nhiệt độ; V_D giảm khi nhiệt độ tăng: Người ta ổn định điểm khởi động của UJT bằng cách mắc một điện trở nối tiếp với đáy B_2 .

Khi $I > I_V$, UJT có điện trở dương nhỏ ($< 10\Omega$).

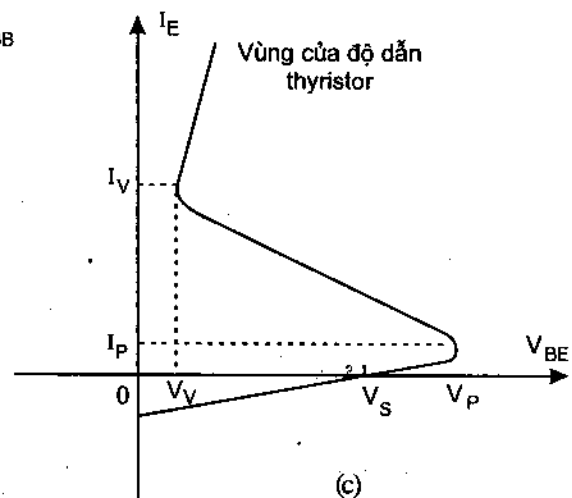
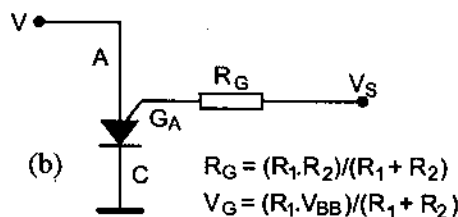
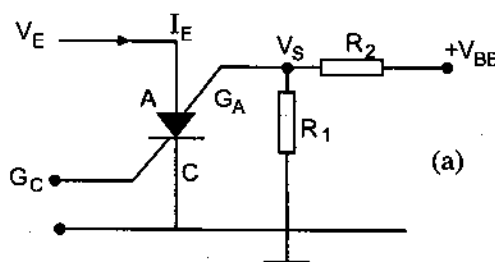
Tất cả các thông số của UJT có độ ổn định khá cao trong một khoảng nhiệt độ khá rộng (-70°C đến 150°C).



5.5.2. Tranzito một lớp chuyển tiếp có thể lập trình PNP

Thực chất, đây là một thyristor có cửa kép. Nhưng nó được gọi như vậy vì đặc trưng vôn - ampe của nó có dạng giống như của tranzito một lớp chuyển tiếp và có thể điều chỉnh được dòng đỉnh I_P và dòng đáy I_V .

Hình 5.12. cho biết cách thức lập trình của linh kiện này nhờ cửa về phía anốt, cửa ở phía catốt bỏ trống. Cửa về phía anốt (G_A) này được phân cực nhờ thế V_S , do vậy diốt được tạo thành bởi anốt và cửa G_A bị phân cực ngược, vì thế chỉ có dòng điện rất nhỏ, bằng dòng điện ngược của diốt, là được phép cho qua (khoảng 10 nA).



Hình 5.12. Đặc trưng của tranzito một lớp chuyển tiếp có thể lập trình.

Khi thế anốt V_E lớn hơn V_S , diốt sẽ phân cực thuận, do vậy dòng điện chạy giữa anốt và cửa sẽ khởi phát thyristor. Dòng anốt lúc này bằng dòng đỉnh I_P ; giá trị của nó càng nhỏ nếu điện trở R_G có giá trị càng cao (hình 5.12b). Khi thyristor dẫn, thế cửa về phía anốt vào khoảng 0,5 V. Máy phát thế V_S cung cấp một dòng điện qua R_G là:

$$I_{GA} = \frac{V_S - V_{GA}}{R_G}$$

Dòng điện này có chiều ngược với chiều của dòng điện khởi phát.

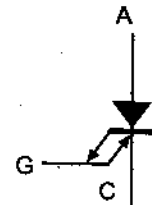
Nếu dòng điện chính I_E quá lớn so với I_{GA} , thì dòng này không đủ khả năng để khóa trở lại thyristor; Nhưng Nếu I_E giảm và đi qua giá trị đáy I_V mà đối với giá trị này thì I_{GA} cho phép mở thyristor. Giá trị dó của I_V càng lớn khi R_G càng bé.

Do vậy giá trị của R_G phải được chọn lựa một cách đồng bộ và phù hợp. Hiện nay, người ta đã chế tạo được các loại tranzito một lớp chuyển tiếp có thể lập trình với các đặc trưng như sau: Thế cửa anốt cực đại 70 V. Dòng anốt trung bình: 175mA. Công suất tổng cộng: 300 mW. Dòng đỉnh (khi $V_S = 10$ V, $R_G = 10$ k Ω): 5 μ A; dòng đáy (khi $V_S = 10$ V, $R_G = 10$ k Ω): 50 μ A. Vận tốc tăng của dòng anốt $dI/dt = 20$ A/ μ s. Vì vậy tranzito này cho phép lập chương trình rất chính xác các trạng thái dẫn và khóa của thyristor hay của triac.

5.6. THYRISTOR GTO

Đó là một thyristor có tốc độ hoạt động rất nhanh, khởi phát nhờ các xung dương và khóa nhờ các xung âm tác động lên cũng một cực lưới. Ký hiệu của thyristor GTO cho (trên hình 5.13).

Đặc trưng này thu được nhờ một thiết bị cực kỳ chính xác để tạo ra các điện cực có khe và được pha tạp rất chính xác nhờ phương pháp cấy ion.



Hình 5.13. Ký hiệu của Thyristor GTO

5.6.1. Các đặc trưng thuận

Khi dòng anốt còn nhỏ hơn dòng mỗi I_L , GTO hoạt động như một transistor cao thế có hệ số khuếch đại dòng tăng với sự tăng của dòng anốt. GTO sẽ bị cấm nếu có dòng dò rất nhỏ chạy giữa anốt và catốt. Nếu dòng lưới lớn hơn giá trị mỗi I_{GT} , thì GTO sẽ dẫn và giữa anốt và catốt nó có sụt thế nhỏ. Nếu dòng anốt lớn hơn dòng mỗi I_L , thì GTO vẫn giữ nguyên trạng thái dẫn ngay cả khi dòng lưới bị cắt. Khi thế lưới có giá trị âm, GTO bị cấm.

5.6.2. Các đặc trưng ngược

Trong chế độ phân cực ngược, GTO tương đương một điện trở, không thể khóa bằng bất kỳ một điện thế nào và cũng không cho phép một dòng điện có giá trị lớn chạy qua. Để khóa GTO trong chế độ phân cực ngược, người ta phải cho phép nối tiếp nó với một diốt như trong hình 5.14. Nếu cần một dòng ngược nào đấy, thì phải ghép đối song song GTO với một diốt (hình 5.14b). Việc lựa chọn các diốt này được xác định bởi dòng thuận trung bình $I_{F(AV)}$, dòng đỉnh lặp lại I_{FRM} , thế đỉnh lặp lại V_{FRM} . Đó cũng chính là thế V_{DRM} của GTO.

Các loại GTO thường gặp có V_{DRM} : 600-800-1000V với $I_{L(AV)}$: 10-15-25A, hoặc loại có V_{DRM} : 1000-1300-1500V và $I_{L(AV)}$: 2,2 và 6,5A đóng trong vỏ dạng TO 220 có cánh tỏa nhiệt.

$I_{GT} > 200 \text{ mA}$. Thời gian xác lập $t_d < 0,25 \mu\text{s}$; $t_r < 1 \mu\text{s}$. Thời gian cắt $t_s < 0,5 \mu\text{s}$; $t_f < 0,25 \mu\text{s}$.



b) Dân ngược

Dòng anốt cực đại có thể điều khiển được

GTO chịu được các dòng anốt trong trạng thái dẫn lẫn trạng thái khóa. Như vậy, một GTO với dòng trung bình 15A cho phép khóa một mạch điện có dòng điện tới 50A. Chỉ có một điều kiện là trong pha khóa, các tải có tính chất cảm ứng phải được hạn chế để đảm bảo chắc chắn sự tăng của thế anốt-catốt.

Dòng điện cần điều khiển càng lớn, thì dV/dt phải càng nhỏ. Khi dV/dt cố định, thì dòng I_{TCKM} sẽ tăng với thế âm của cửa. Điều này rất quan trọng và cho thấy rằng trở kháng của mạch điều khiển phải càng nhỏ càng tốt khi mà GTO bị dập tắt.

Hiện nay, người ta đã sản xuất các loại GTO có các thông số:

$I_{T(AV)}: 10-15-25A$ và

$I_{T(AV)}$: 2,2 và 6,5A vỏ hộp TO220 có cánh tỏa nhiệt

CHƯƠNG 6

CÁC LOẠI TRANZITO TRƯỜNG

6.1. MỘT SỐ ĐỊNH NGHĨA CHUNG

Tranzito trường FET (tiếng Anh: Field Effect Tranzitor) là một điện trở bán dẫn được điều khiển bằng thế. Khác với tranzito thông thường, trong FET chỉ có một loại hạt tải cơ bản của bán dẫn tham gia dẫn điện. Linh kiện này có 3 cực, hai cực đặt ở hai đầu của thanh bán dẫn được gọi là *cực gốc* hay còn gọi là *cực nguồn (source)* và *cực dẫn (drain)*; còn một cực đặt ở giữa gọi là *cửa (gate)*; cực này được tác dụng trường điều khiển dòng hạt tải chạy trong kênh.

Trong một thanh bán dẫn có chiều dài L và thiết diện S như vậy có hiệu điện thế giữa cực gốc và cực dẫn là V_D , dòng điện chạy trong đó sẽ là:

$$I_D = \sigma \frac{S}{L} V_D = \frac{S}{L} q(n\mu_n + p\mu_p) V_D$$

trong đó: n và p là mật độ điện tử và lỗ trống; μ_n và μ_p là độ linh động của chúng.

Sự tác động lên độ dẫn điện của vật liệu cấu tạo nên FET có thể nhận được hoặc bằng biến điệu thiết diện dẫn cấp cho hạt tải điện, hoặc bằng sự biến điệu mật độ hạt tải chứa trong kênh. Do vậy có nhiều loại FET áp dụng cả hai cách trên như:

1) Tranzito trường dùng chuyển tiếp P-N (JFET).

2) Tranzito trường dùng tiếp xúc kim loại - bán dẫn (MESFET). Cả JFET lẫn MESFET có cấu trúc hoàn toàn giống nhau, nhưng mỗi cái có những ưu việt riêng.

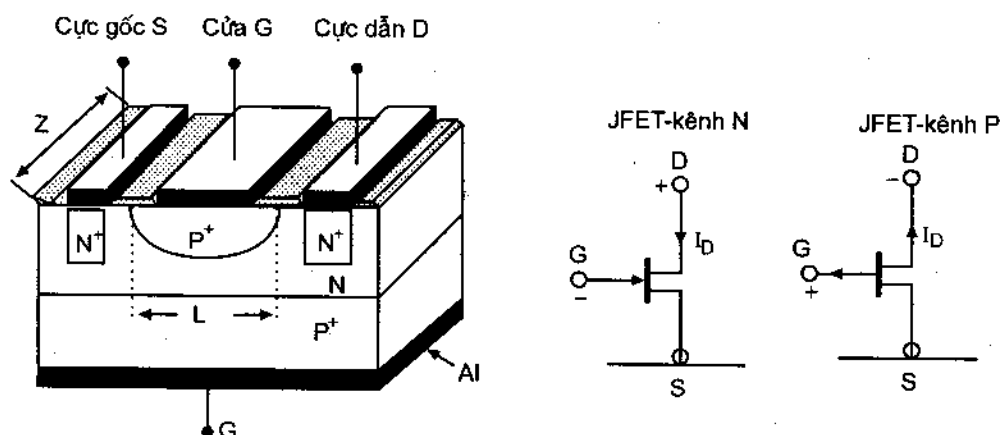
3) Tranzito trường có cửa cô lập (MOSFET) hay còn viết đơn giản hơn là MOST hoặc MOS.

So với tranzito lưỡng cực thì FET có rất nhiều ưu điểm: tạp âm ở tranzito trường chỉ có nguồn tạp âm duy nhất là tạp âm nhiệt trong khi ở tranzito lưỡng cực thì ngoài tạp âm nhiệt còn tạp âm do điện trở bazơ và cửa chính vùng chuyển tiếp gây ra.

6.2. TRANZITO TRƯỜNG JFET

6.2.1. Tranzito trường JFET kênh N

Tranzito trường JFET kênh N được thực hiện trên một đế bán dẫn (Si hoặc AsGa) pha tạp rất ít, do vậy điện trở rất cao hình 6.1. Trên đế này người ta tạo một lớp epitaxi loại N pha tạp ít; trên lớp này người ta thực hiện bằng khuếch tán hoặc bằng cấy ion một lớp pha tạp mạnh loại P^+ và cuối cùng là hai điểm pha tạp mạnh N^{++} được khuếch tán ở hai đầu để đảm bảo tiếp xúc ômmic của cực gốc và cực dẫn.



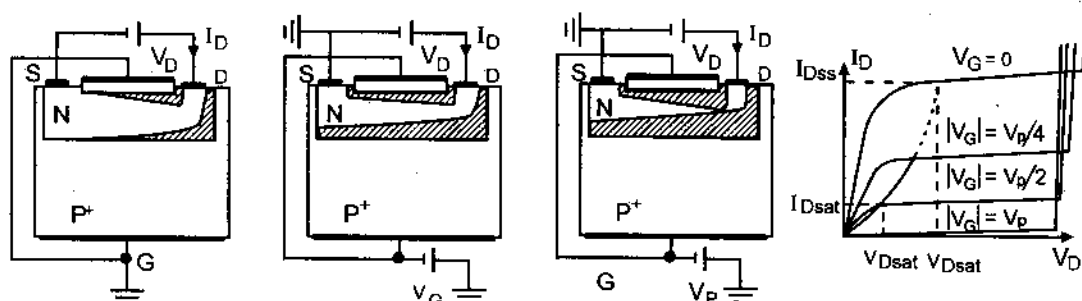
Hình 6.1. Cấu tạo của các loại JFET kênh N: a) JFET-kênh N đối xứng; b) Ký hiệu.

Kết quả là ta có hai chuyển tiếp rất nghèo các hạt tải tự do. Khoảng giữa hai lớp này là bán dẫn loại N gọi là kênh N.

6.2.2. Đặc trưng tĩnh của JFET kênh N

6.2.2.1. Nghiên cứu định tính

Giả sử cửa G và cực gốc S nối với nhau và nối đất, thế của cực dẫn là V_D . Khi V_D còn bé, ta thấy dòng I_D tăng tuyến tính với V_D , vì chuyển tiếp giữa cửa và cực dẫn hầu như không thay đổi so với trước. Vì $V_{DS} = V_{GS} > 0$ nên chuyển tiếp D-G phân cực ngược, khi V_D tăng thì “vùng sa mạc” sẽ lan rộng (hình 6.2a) làm thiết diện ngang của kênh bị thu hẹp, điện trở của kênh vì thế cũng tăng lên, kéo theo sụt thế trong kênh cũng tăng. Khi kênh bị đóng ở gần cực dẫn D (điểm P), thì dòng không tăng luôn luôn giữ giá trị bão hòa I_{DSS} , trong khi sụt thế trong kênh (tích của $I_D \cdot R_{CS}$ với R_{CS} là điện trở của kênh) tiếp tục tăng mạnh. Nếu tiếp tục tăng thế V_D cao hơn thế V_P , ta thấy dòng I_D không đổi và bằng I_{DSS} .



V_D nhỏ, $V_G = 0$: a) $V_D > 0$ $V_G < 0$; b) Cắt kênh; c) Đặc trưng $I(V)$.
Hình 6.2. Thiết diện của kênh thay đổi với thế V_P .

Nếu V_D tăng cao sẽ xuất hiện thế đánh thủng: dòng tăng đột ngột trong khi thế V_{BR} giữ không đổi. Như vậy, ta có các đặc trưng của JFET như trên hình 6.3. với thế cửa $V_G = 0$.

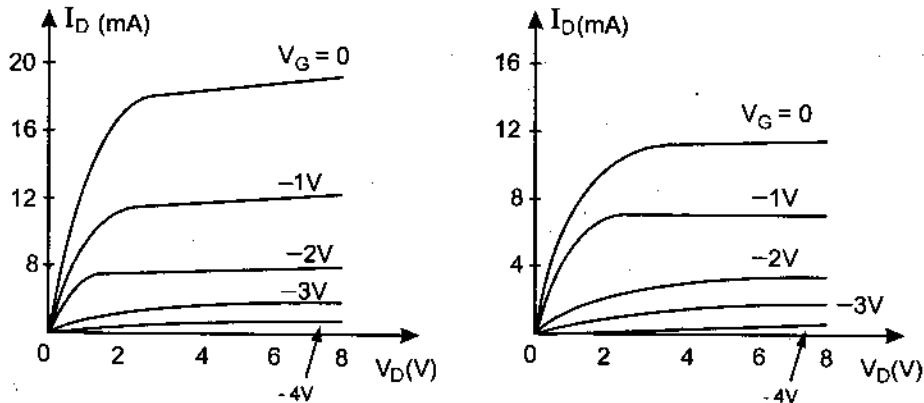
Khi kênh chưa bị cắt, tranzito có tính chất ômmic. Đặc trưng tĩnh có độ dốc:

$$R_0 = \left. \frac{dV_D}{dI_D} \right|_{\partial V_G=0}$$

Với $V_D > V_P$ thì $\left. \frac{dI_D}{dV_D} \right|_{\partial V_G=0} \approx 0$ có nghĩa là điện trở lối ra của JFET có giá trị rất lớn.

Vai trò của thế của V_G :

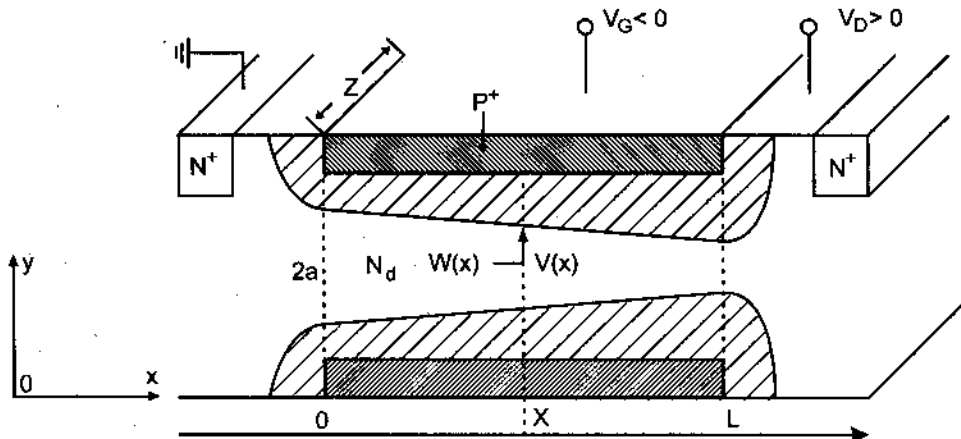
Thế này đảm bảo chuyển tiếp cửa/kênh luôn luôn phân cực ngược. Nếu tăng về giá trị tuyệt đối V_G thì độ rộng của vùng chuyển tiếp tăng, thiết diện dẫn giảm xuống, vì vậy I_D giảm theo. Khi $V_G = -V_P$ thì JFET đóng hoàn toàn, tức là $I_D = 0$. Chế độ này gọi là chế độ khóa (cut - off).



Hình 6.3. Họ đặc trưng của JFET kênh N.
a) lý thuyết; b) thực nghiệm.

6.2.2.2. Nghiên cứu định lượng

Giả sử JFET kênh N đối xứng (hình 6.4). Để đơn giản mô hình, ta giả thiết:



Hình 6.4. Mô hình của vùng ĐTKG trong JFET.

- * Chiều dài của kênh (L) ít nhất lớn gấp hai lần chiều rộng của nó.
- * Hai cửa giống hệt nhau, dài Z và pha tạp mạnh loại P.
- * Chuyển tiếp cửa/kênh phẳng và nhảy bậc.

* Nồng độ tạp chất của kênh N_d và độ linh động của các hạt tải μ_n không đổi

* Điện trường trong vùng điện tích không gian vuông góc với mặt phẳng chuyển tiếp cửa/kênh (theo trục Oy).

Còn trong vùng trung hòa của kênh thì hướng theo trục Ox. Với các gần đúng đó, cho phép giải phương trình Poisson chỉ theo phương Ox. Do vậy nếu thế cửa bằng 0 thì chiều dày của vùng chuyển tiếp cửa/kênh thay đổi theo x dưới dạng:

$$w(x) = \left(\frac{2\epsilon}{q} \frac{1}{N_d} (V_b + V(x)) \right)^{\frac{1}{2}}$$

trong đó $V(x)$ là thế tại điểm x ở trong kênh với $V_G = 0$ và $V_d > 0$;

V_b là hàng rào thế của chuyển tiếp cửa/kênh.

Nếu tác động thế âm vào kênh, thì:

$$w(x) = \left(\frac{2\epsilon}{q} \frac{1}{N_d} (V_b + V(x) - V_G) \right)^{\frac{1}{2}} \quad (6.1)$$

với $V_G < 0$.

Điện trở của đoạn dài dx của kênh là:

$$dR = \frac{1}{\sigma_N} \frac{dx}{2Z(a - w(x))}$$

Sụt thế khi có dòng I_D chạy trong kênh là:

$$dV = I_D dR = \frac{1}{\sigma_N} \frac{dx}{2Z(a - w(x))} I_D$$

Tích phân dọc theo chiều dài của kênh đại lượng dV ($a - w(x)$): để ý đến hệ thức (6.1) ta thấy rằng biểu thức đầu tiên chỉ phụ thuộc V, biểu thức thứ hai chỉ vào x, do vậy:

$$\int_0^{V_D} \left(a - \sqrt{\frac{2\epsilon}{q} \frac{1}{N_d} (V_b + V(x) - V_G)} \right) dV = \int_0^L \frac{I_D}{2qN_d\mu_n Z} dx$$

Thế ở trong kênh thay đổi từ 0 (thế của cực gốc 0) đến V_D (thế của cực dẫn); còn x thay đổi từ $x = 0$ đến $x = L$ (chiều dài của kênh).

Sau khi lấy tích phân và đặt $G_0 = \frac{2qN_d\mu_n a Z}{L}$ là độ dẫn của kênh khi không có vùng chuyển tiếp, ta tìm được:

$$I_D = G_0 \left[V_D - \frac{2}{3} \sqrt{\frac{2\epsilon}{qN_d a^2}} \left((V_D + V_b - V_G)^{\frac{3}{2}} - (V_b - V_G)^{\frac{3}{2}} \right) \right] \quad (6.2)$$

Hệ thức này áp dụng cho thế $V_D \leq V_p$: thế mà tại đó kênh bắt đầu bị cắt; tại giá trị này thì: $w(x) = a$. Do vậy hệ thức 6.1 kéo theo:

$$V_b + V_p = \frac{qN_d a^2}{2\epsilon} = V_{BO} \quad : \text{Thế cắt kênh nội.} \quad (6.3)$$

Khi đó biểu thức của dòng dẫn được viết lại dưới dạng:

$$I_D = G_o \left[V_D - \frac{2}{3V_{PO}^{1/2}} \left((V_D + V_b - V_G)^{\frac{3}{2}} - (V_b - V_G)^{\frac{3}{2}} \right) \right] \text{ (mA)} \quad (6.4)$$

Biểu thức này cho thấy dòng dẫn tăng theo thế dẫn V_D với các giá trị khác nhau của thế cửa V_G cho đến tận giới hạn của miền bão hòa.

Xét một số trường hợp riêng:

* Khi $V_D \ll V_b - V_G$ ($V_G < 0$), trường hợp này ta có thể khai triển:

$$(V_D + V_b - V_G)^{3/2} = (V_b - V_G)^{3/2} + 3/2 (V_b - V_G)^{1/2} V_D + \dots$$

Khi đó biểu thức 6.4 trở thành:

$$I_D = G_o \left[1 - \sqrt{\frac{V_b - V_G}{V_{PO}}} \right] V_D \text{ (mA)} \quad (6.5)$$

Hệ thức này cho phép rút ra một số nhận xét:

* I_D thay đổi một cách tuyến tính đối với V_D (miền tuyến tính)

* Thế cửa V_G càng âm, thì hệ số đứng trước V_D sẽ càng giảm vì thế điện trở giữa S-D sẽ càng tăng. Lĩnh kiện hoạt động như một điện trở được điều khiển bằng thế.

* Khi $V_b - V_G = V_{PO}$ thì điện trở giữa S-D trở nên vô hạn. Hệ thức 6.3 cho thấy kênh bị đóng kín hoàn toàn khi thế cửa $V_G = -V_P$.

Khi kênh bắt đầu bị đóng thì thế S-D bằng $V_D = V_{dsat} - V_G$; vì vậy:

$$V_{dsat} - V_G + V_b = V_P + V_b = V_{PO}$$

hay:

$$V_{dsat} = V_{PO} - V_b + V_G \quad (6.6)$$

thay (6.6) vào (6.4) ta tìm được biểu thức của dòng D-S:

$$I_{Dsat} = \frac{G_o V_{PO}}{3} + G_o (V_b - V_G) \left[\frac{2}{3} \sqrt{\frac{V_b - V_G}{V_{PO}}} - 1 \right] \text{ (mA)} \quad (6.7)$$

Hệ thức này biểu thị dòng bão hòa theo thế cửa V_G . Đó là *đặc trưng truyền*. Khi $V_G = 0$, hệ thức trên cho biểu thức của *dòng bão hòa cực đại*:

$$I_{Dsat} = \frac{G_o V_{PO}}{3} + G_o V_b \left[\frac{2}{3} \sqrt{\frac{V_b}{V_{PO}}} - 1 \right] \text{ (mA)} \quad (6.8)$$

Đây là đặc trưng trong *miền bão hòa*, cũng là miền mà tranzito JFET thường được sử dụng như một *máy phát dòng không đổi* (I_D không phụ thuộc V_D) được điều khiển bằng thế V_G .

6.2.3. Đặc trưng động và sơ đồ tương đương

6.2.3.1. Các thông số động của JFET

Giả sử JFET chịu thế D-S là V_D , thế G-S là V_G và dòng D-S là I_D . Đặc trưng động với chế độ tín hiệu nhỏ được đặc trưng bằng hai đại lượng:

$$dI_D = \underbrace{\left(\frac{\partial I_D}{\partial V_D}\right)_{V_G}}_{\substack{\text{Độ dẫn} \\ g_d}} dV_D + \underbrace{\left(\frac{\partial I_D}{\partial V_G}\right)_{V_D}}_{\substack{\text{Độ truyền dẫn} \\ g_m}} dV_G$$

a) Độ dẫn

Trong miền tuyến tính, độ dẫn thu được bằng cách vi phân biểu thức 6.5, khi thế G-S không đổi:

$$g_{dl} = G_o \left(1 - \sqrt{\frac{V_b - V_G}{V_{PO}}} \right) \quad (\Omega^{-1}) \quad (6.9)$$

Độ dẫn g_{dl} tỉ lệ với độ dẫn của kênh khi không có vùng điện tích không gian G_o và phụ thuộc vào V_G ; Điều này cho phép dùng JFET như một điện trở động được điều khiển bằng thế.

b) Độ truyền dẫn

Trong vùng tuyến tính, độ truyền dẫn thu được bằng cách vi phân dòng điện I_D theo thế cửa V_G khi hiệu thế D-S không đổi:

$$g_m = \frac{G_o}{2} \frac{V_D}{\sqrt{V_{PO}(V_b - V_G)}} \quad (\text{mA/V}) \quad (6.10)$$

Trong chế độ bão hòa, độ truyền dẫn thu được khi thế D-S = V_{dsat} :

$$g_m = G_o \left(1 - \sqrt{\frac{V_b - V_G}{V_{PO}}} \right) \quad (\text{mA/V}) \quad (6.11)$$

Hình 6.5 cho thấy độ lệch khá nhiều giữa các giá trị lý thuyết và thực nghiệm của độ truyền dẫn. Sự chênh lệch này là do sự có mặt của điện trở tiếp xúc của cực gốc R_s . Nếu thế giữa cửa và kênh là V_G , thì thế tác dụng thực sự sẽ là $V_{gap} = V_G + V_s$, với V_s là sụt thế trên điện trở R_s . Khi đó biểu thức của độ truyền dẫn trở thành:

$$g_m = \left(\frac{\partial I_D}{\partial (V_G + V_s)} \right)_{V_D} = \frac{1}{\partial V_G / \partial I_D + \partial V_s / \partial I_D} = \frac{1}{1/g_m + R_s} = \frac{g_m}{1 + g_m R_s}$$

6.2.3.2. Sơ đồ tương đương của JFET

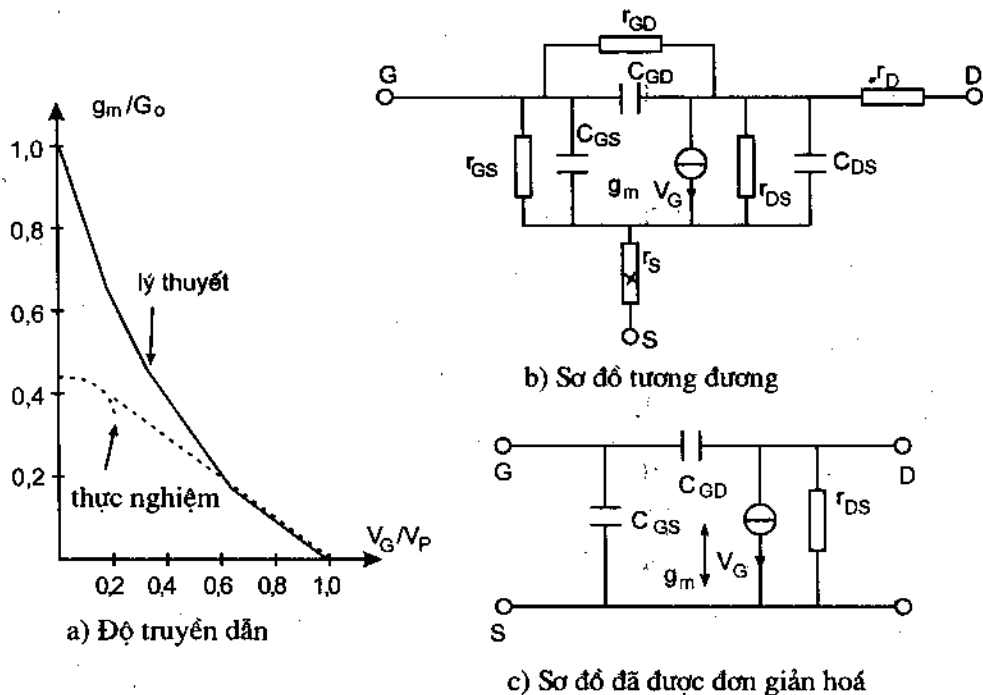
Chuyển tiếp P-N của cửa và kênh được phân cực ngược, nên biểu hiện một điện dung. Nếu $\langle w \rangle$ là độ rộng trung bình của vùng điện tích không gian, thì điện dung tổng cộng của cửa sẽ được cho bởi $C_G = 2ZL\varepsilon/\langle w \rangle$. Khi kênh bị cắt, thì $\langle w \rangle = a/2$, điện dung cửa trở thành $C_G = 4ZL\varepsilon/a$. Mặc dù có điện dung phân bố dọc theo kênh, người ta cũng đưa vào sơ đồ tương đương hai điện dung định xứ:

* C_{GD} : Điện dung giữa cửa và cực dẫn và điện dung giữa cửa và cực gốc.

* C_{DS} : Điện dung giữa cực dẫn và cực gốc.

Các điện trở r_{GD} và r_{GS} đại diện cho điện trở rò của G, trong khi r_{DS} mô tả sự thay đổi chiều dài của kênh theo thế D-S. Giá trị tiêu biểu:

$$\begin{array}{llll} R_s = 50\Omega & r_{DS} = 10^5\Omega & r_{GD} = 10^{10}\Omega & r_{GS} = 10^{10}\Omega \\ C_{GS} = 3\text{pF} & C_{GD} = 1\text{pF} & C_{DS} = 1\text{pF} & \end{array}$$



Hình 6.5. Độ truyền dẫn và sơ đồ tương đương của JFET.

6.2.3.3. Tần số cắt của JFET

Đó là tần số sử dụng cực đại thu được khi nó không còn khuếch đại tín hiệu được nữa. Dùng sơ đồ tương đương ở trên, đoán mạch lối ra và thay g'_m bằng g_m . Điều kiện hệ số khuếch đại bằng đơn vị đạt được khi dòng qua điện dung lối vào $i_e = 2\pi f (C_G) V_{GS} = 2\pi f (C_{GS} + C_{GD}) V_{GS}$ bằng dòng ở lối ra của cực dẫn. Từ đó ta tìm được tần số cắt:

$$f_{CO} = g_m / (2\pi (C_{GS} + C_{GD})) \quad (6.12)$$

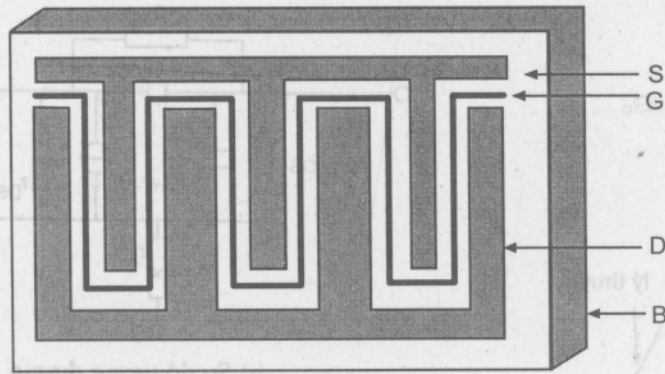
Thay C_G và g_m bằng các biểu thức của chúng theo nồng độ tạp chất và kích thước hình học, thấy rằng tần số cắt tỉ lệ với $(1/L^2)$. Trong JFET, tần số cắt càng cao nếu độ dài của kênh càng ngắn.

6.2.4. Công nghệ chế tạo JFET

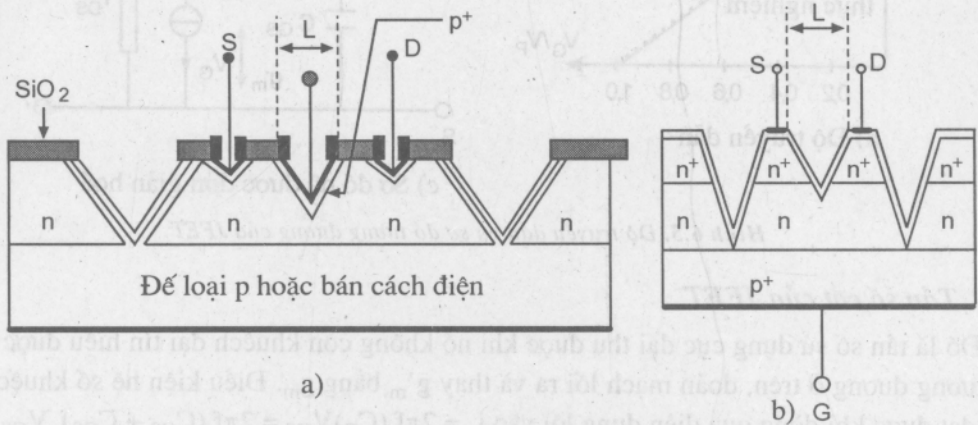
Để chế tạo được JFET có khả năng điều khiển được tín hiệu có công suất nào đó, phải có dòng I_D đủ lớn; ngoài ra muốn JFET làm việc ở tần số cao phải rút ngắn chiều dài của kênh. Do vậy, để thỏa mãn cả hai yêu cầu trên cần mở rộng thiết diện của kênh; còn phải tính đến chuyển tỏa nhiệt, nên đế của linh kiện phải đủ rộng. Các nhà thiết kế tìm dạng cấu trúc vuông vừa cho bề mặt cực đại mà kích thước lại cực tiểu.

Hiện nay cấu trúc kiểu “răng lược” hay được dùng hơn cả. Cấu trúc này được vẽ trên hình 6.6: bề mặt tỏa nhiệt cũng chính là bề mặt răng lược.

Để nâng cao các đặc trưng, đặc biệt tăng độ truyền dẫn và tối ưu tính chất chuyển mạch, người ta làm các JFET dạng khía hình chữ V. Hình 6.7 minh họa hai dạng khả dĩ của cấu trúc thuộc loại này: Một loại khía chữ V ở cửa (V - groove Gate FET); còn loại kia khía chữ V ở kênh (V-groove Channel FET). Kết quả cấu trúc loại này cho độ dài hoạt động của kênh rất nhỏ so với cấu trúc phẳng. Do vậy, độ truyền dẫn (tỉ lệ với $1/L$) sẽ rất lớn. Linh kiện cấu trúc kiểu này còn có điện trở thuận cũng rất thấp.



Hình 6.6. Cấu trúc "răng lược" của JFET.



Hình 6.7. Cấu trúc khía chữ V của JFET.

6.3. TRANZITO TRƯỜNG CÓ CỬA SCHOTTKY MESFET

Để tăng tần số hoạt động của tranzito trường, phải tìm cách làm tăng thời gian bay của các hạt tải trong kênh. Để thực hiện được điều này, phải tác động vào 3 thông số của kênh:

- 1) Giảm chiều dài của kênh; nhưng để tạo một cửa có chiều dài $< 1 \mu\text{m}$ thì kỹ thuật khuếch tán không thể áp dụng. Vì thế phải thay tiếp xúc P-N bằng tiếp xúc kim loại - bán dẫn (điốt Schottky). Kết quả đầu tiên của cấu trúc này là điện trường trong kênh rất lớn so với JFET.
- 2) Điốt Schottky, do không có sự tích trữ điện tích cơ bản trong vùng chuyển tiếp, nên có vận tốc phản ứng rất cao so với tiếp xúc P-N thông thường.
- 3) Làm tăng độ linh động của điện tử bằng cách sử dụng các vật liệu có độ linh động lớn cho điện tử; như GaAs hoặc InP.

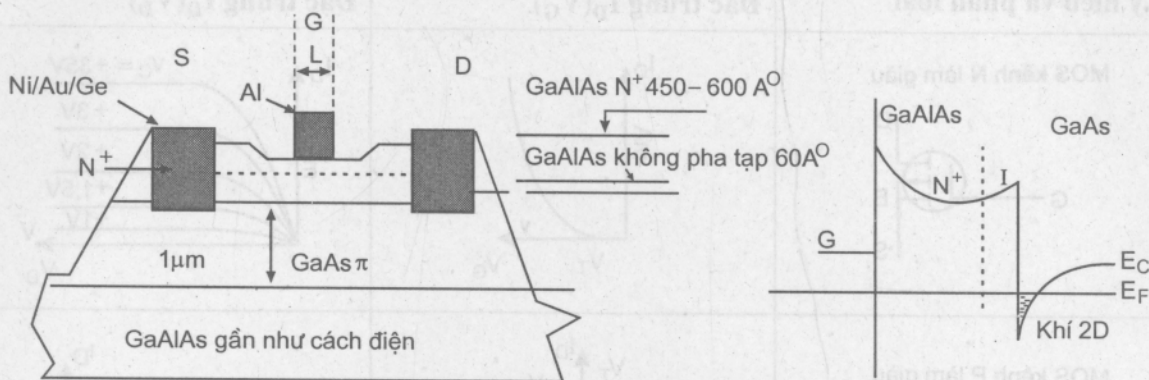
FET có độ linh động của điện tử cao

Ta biết rằng thời gian phản ứng của một JFET liên quan trực tiếp đến thời gian truyền của các hạt tải ở dưới cửa, vì vậy phải tìm cách sử dụng độ linh động rất cao của điện tử ở gần vùng chuyển tiếp dị tinh thể như đã quan sát trước đây. Ngay từ 1980, nhiều linh kiện mới sử dụng khí 2D được điều khiển bằng thế cửa đã ra đời, trong số đó cần phải kể đến:

- * HEMT: Hight Mobility Transistor.
- * MODFET: Modulation Doped Field Effect Transistor.
- * SDHT: Selectively Doped Heterostructure Transistor.
- * TEGFET: Two dimensional Electron Gas Field Effect transistor.

HEMT là chuyển tiếp dị tính thể có nồng độ tạp chất được điều chế GaAlAs(N⁺); trong đó nồng độ của khí 2D được điều khiển bằng hàng rào Schottky; ở đây cửa được thực hiện trên lớp GaAlAs (hình 6.8). Khi hoạt động bình thường, lớp này bị “sa mạc hóa” hoàn toàn, còn lớp GaAs lại thu nhận tất cả các điện tử tự do.

Lớp phụ thêm rất mỏng từ GaAlAs không pha tạp (10^{14} cm^{-3} : lớp phân cách) cho phép làm tăng độ phân cách không gian giữa các hạt tải điện với các ion tạp chất của lớp GaAlAs đã pha tạp ($5 \cdot 10^{17} - 10^{18} \text{ cm}^{-3}$). Độ dày tối ưu (100 đến 400 Å) thay đổi theo chất lượng nuôi đơn tinh thể.



Hình 6.8. Sơ đồ cấu tạo của một HEMT.

Linh kiện loại này có tần số hoạt động rất cao, nhưng công suất lối ra tương đối thấp (do khí điện tử có nồng độ giới hạn) và dòng cửa cũng đáng kể. Tuy nhiên tần số hoạt động siêu cao (30-60GHz) đã chứng tỏ tính tuyệt vời của nó. Do vậy mà ngay từ 1985, khi tranzito HEMT đầu tiên xuất hiện trên thị trường đã chinh phục ngay được cảm tình của các nhà công nghệ.

6.4. TRANZITO TRƯỜNG CÓ CỬA CÔ LẬP (MOS)

6.4.1. Ký hiệu và sự phân loại

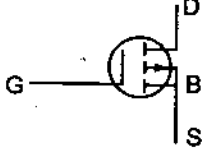
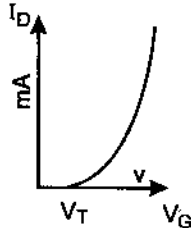
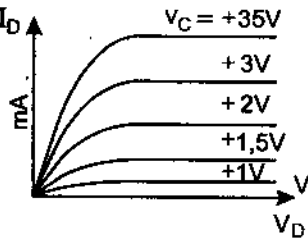
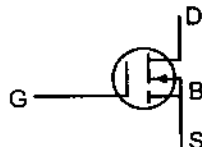
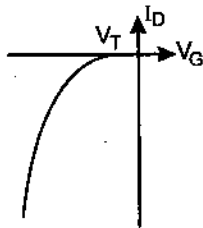
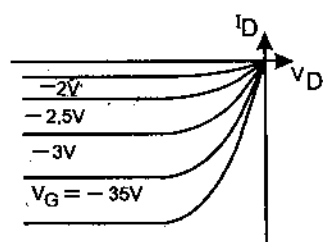
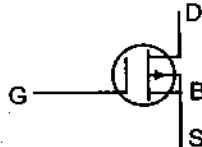
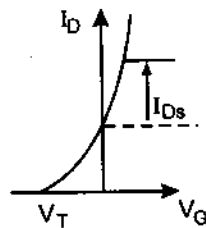
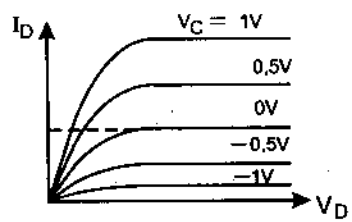
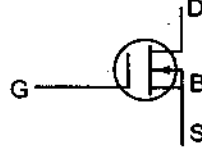
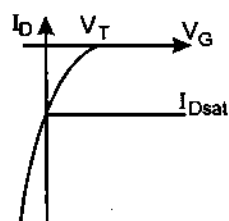
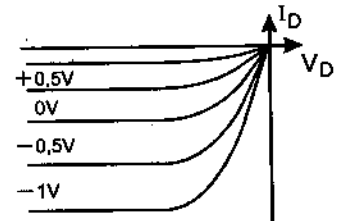
Tranzito MOS hay còn gọi là MOSFET (Metal Oxyde Semiconductor Field Effect Tranzito) là một linh kiện hoạt động với các hạt tải điện cơ bản, số lượng của chúng được điều khiển bằng thế tác dụng vào cực cửa. Nếu các hạt tải điện là điện tử, thì đó là một MOSFET kênh N và dòng điện sẽ chạy từ cực dẫn sang cực gốc; khi đó thế của cực dẫn (D) phải lớn hơn thế của cực gốc (S) ($V_D > 0$). Còn trong trường hợp khi hạt tải điện là lỗ trống, thì ta có một MOSFET kênh P; dòng điện sẽ chạy từ gốc (S) sang cực dẫn (D); do vậy thế của cực gốc phải lớn hơn thế của cực dẫn ($V_D < 0$).

Nguyên tắc hoạt động của MOS khác với nguyên tắc hoạt động của JFET: tranzito JFET hoạt động dựa theo sự thay đổi thiết diện của kênh để thay đổi dòng điện giữa cực gốc và cực dẫn; trong khi MOS lại dựa theo sự thay đổi số lượng các hạt tải có mặt ở trong kênh để điều chỉnh dòng điện. Dựa theo nguyên tắc đó, người ta chia MOS thành các loại như sau:

- * MOS dựa theo sự làm nghèo hạt tải: Khi không có tín hiệu điều khiển trên cửa, chúng

hoạt động như một vật dẫn điện bình thường (normally ON); không có sự phân cực, có các hạt tải điện tự do ở dưới cửa (G). Khi tín hiệu điều khiển tăng lên, thì số hạt tải rời khỏi kênh cũng tăng; do vậy kéo theo dòng điện I_D giảm.

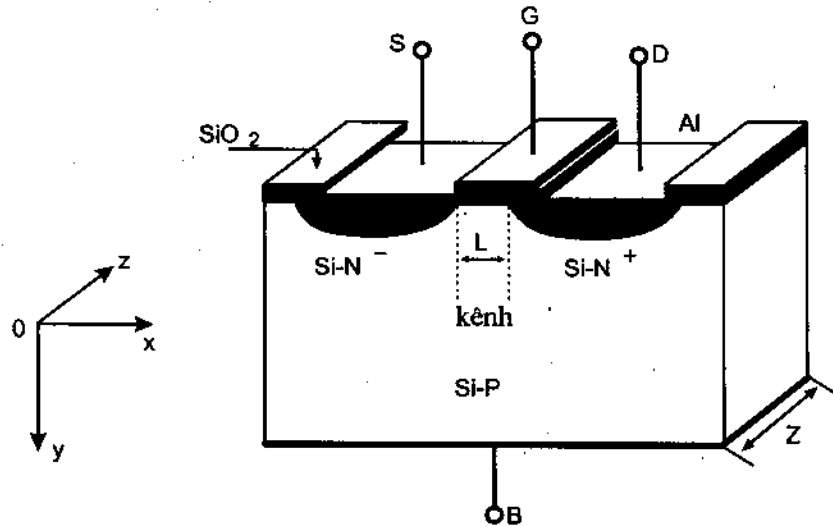
* MOS dựa theo sự làm giàu hạt tải: Bình thường, khi không có tín hiệu điều khiển ở trên cửa, thì tranzito này đóng (normally OFF). Nghĩa là khi thế giữa cửa và cực gốc bằng không thì kênh chứa rất ít hạt tải điện tự do (loại N hoặc P). Khi tăng thế cửa, với sự phân cực hợp lý, thì các hạt tải điện sẽ được hút vào kênh, làm tăng độ dẫn điện cho kênh; kênh trở thành một vật dẫn điện. Hình 6.9 biểu thị 4 loại tranzito MOS cùng với các ký hiệu tương ứng và các đặc trưng truyền dòng dẫn theo thế giữa cửa và cực gốc cũng như các đặc trưng lối ra (dòng dẫn theo thế giữa cực dẫn và cực gốc) với các giá trị khác nhau của hiệu thế giữa cửa và cực gốc.

Ký hiệu và phân loại	Đặc trưng $I_D(V_G)$	Đặc trưng $I_D(V_D)$
MOS kênh N làm giàu 		
MOS kênh P làm giàu 		
MOS kênh N làm nghèo 		
MOS kênh P làm nghèo 		

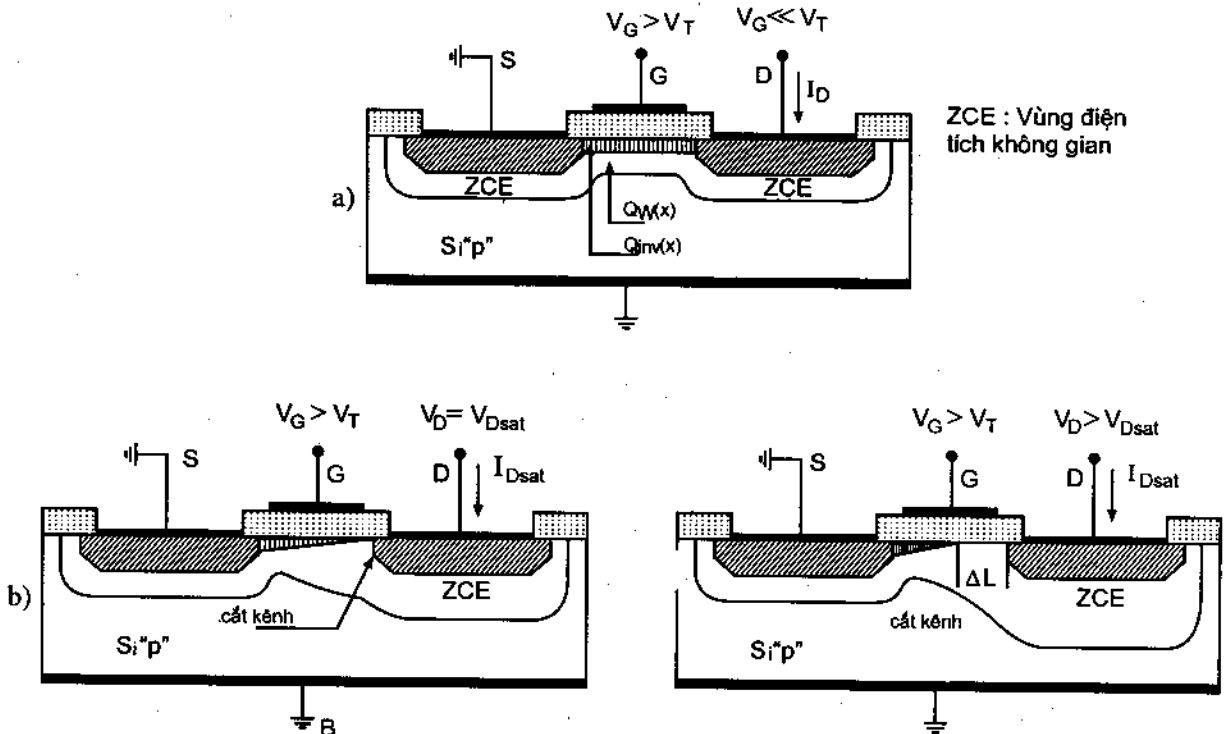
Hình 6.9. Ký hiệu và đặc trưng của các loại MOS.

6.4.2. Cấu tạo và nguyên tắc hoạt động

Tranzito MOS kênh N làm giàu được tạo thành từ một đế silic hoặc GaAs pha tạp ít loại P, trong đó có chứa hai ngăn pha tạp mạnh loại N^+ để làm công tắc cho các cực gốc S và cực dẫn D (hình 6.10). Giữa hai ngăn pha tạp mạnh này người ta phủ một lớp cách điện SiO_2 , trên đó lại phủ một lớp kim loại mỏng để làm cực điều khiển (cửa G). Trên mặt đối diện của đế, người ta cũng phủ một lớp kim loại mỏng để làm chân cho cực đế. Thế điều khiển được tác dụng vào cả cửa G và đế B (đế B thường được nối với cực gốc S). Dưới lớp SiO_2 ở cực cửa G là



Hình 6.10. Cấu tạo của một MOS kênh N làm giàu.



Hình 6.11. Nguyên tắc hoạt động của MOS kênh N.

kênh, dài L , nối liền giữa D với S . Khi G có thế dương so với đế, thì xuất hiện sức hút điện tử vào kênh; do vậy hiệu ứng làm giàu cũng xuất hiện. Còn khi chưa phân cực, trong kênh hầu như không có điện tử, do vậy giữa S và D không có dòng chạy qua. Tranzito tự động đóng.

Nếu $V_G > V_T$ (thế ngưỡng), thì lớp đảo sản sinh một kênh N nối liền cực gốc với cực dẫn (hình 6.11a). Do vậy khi có thế V_D , thì dòng điện xuất hiện giữa S và D ; tranzito trở nên dẫn. Đặc trưng $I_D(V_D)$ tuyến tính, tranzito có thể được coi như một điện trở thông thường.

Nhưng khi V_D tăng nữa, thì lớp đảo lại giảm về phía cực dẫn hơn là phía cực gốc, nên đặc trưng $I_D(V_D)$ trở nên không tuyến tính (hình 6.9). Bắt đầu từ giá trị thế V_{dsat} , gọi là *thế bão hòa*, thì ở gần cực dẫn không còn lớp đảo nữa, cực dẫn và cực gốc bị tách rời nhau. Chế độ đó gọi là *chế độ cắt*. Dòng điện tương ứng với thế đó gọi là *dòng bão hòa* I_{dsat} (hình 6.11b).

Khi thế $V_D > V_{dsat}$, điểm cắt dịch chuyển dần về phía cực gốc (hình 6.11c). Thế trên kênh dẫn vẫn giữ không đổi và bằng V_{dsat} , còn độ chênh lệch thế $(V_D - V_{dsat})$ sụt trên độ dài ΔL của vùng điện tích không gian có điện trở rất lớn. Các hạt tải được đẩy tới cực dẫn nhờ điện trường: $(V_D - V_{dsat})/\Delta L$. Dòng điện giữ không đổi và bằng dòng bão hòa I_{dsat} (hình 6.9).

6.5. NGHIÊN CỨU ĐỊNH LƯỢNG ĐẶC TRƯNG TÍNH CỦA MOS

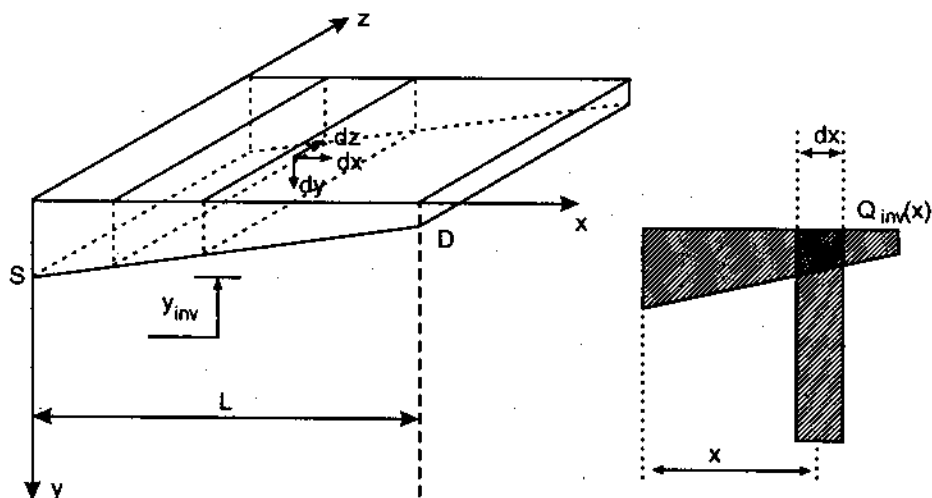
6.5.1. Tính toán đặc trưng tĩnh

Giả sử MOS kênh N phẳng, độ linh động μ^* của hạt tải không đổi trong toàn bộ chiều dài L của kênh. Khi đó độ dẫn điện tại một điểm nào đó trong lớp đảo được cho bởi:

$$\sigma_{inv}(x, y, z) = q\mu^*n_{inv}(x, y, z).$$

Độ dẫn của một yếu tố thể tích $dx dy dz$ (hình 7.12) là:

$$d^3g = \sigma_{inv}(x, y, z) \frac{dy dz}{dx}$$



Hình 6.12. Mô hình tính toán đặc trưng của MOS.

Số hạt tải của lớp đảo không đổi theo hướng OZ:

$n_{inv}(x, y, z) = n_{inv}(x, y)$, nên:

$$d^3g = zq\mu * n_{inv}(x, y) \frac{dy}{dx}$$

tích phân theo độ dày y_{inv} của lớp đảo tại điểm x, ta được:

$$\frac{dg}{dx} = z\mu * n_{inv}(x, y) \frac{\int_0^{y_{inv}} qn_{inv} dy}{dx}$$

$\int qn_{inv} dy = -Q_{inv}(x)$ là điện tích của lớp đảo trên khoảng cách x tính từ cực gốc S, do vậy:

$$\frac{dg}{dx} = -z\mu * Q_{inv}(x) / dx \quad (6.13)$$

Trong nguyên tố này của kênh có dòng I_D chạy qua gây ra sụt thế dV , thỏa mãn hệ thức: $I_D = dg.dV$, vì thế:

$$I_D dx = -z\mu * Q_{inv}(x) dV \quad (6.14)$$

Dòng dẫn thu được bằng cách tích phân biểu thức 6.14 từ $x = 0$ ($V = V_S = 0$) tới $x = L$ ($V = V_D$), sau khi đã tính được biểu thức của $Q_{inv}(x)$. Biểu thức này được cho bởi:

$$Q_{inv}(x) = -C_i(V_G - V(x) - 2\Phi_f) + (2qN_a\epsilon(V(x) + 2\Phi_f))^{1/2} \quad (6.15)$$

trong đó: C_i là điện dung của SiO_2 trên một đơn vị bề mặt. $q\Phi_f = E_{FP} - E_{Fi}$ và $V(x)$ là thế tác dụng tại điểm x.

Thay (6.15) vào (6.14) ta được:

$$I_D dx = z\mu * C_i \left[(V_G - V(x) - 2\Phi_f) + \frac{1}{C_i} (2qN_a\epsilon[V(x) + 2\Phi_f])^{1/2} \right] dV$$

Sau khi lấy tích phân ta được:

$$I_D = \frac{z\mu * C_i}{L} \left(\left(V_G - 2\Phi_f - \frac{V_D}{2} \right) V_D - \frac{2}{3C_i} (2qN_a\epsilon)^{1/2} \left((V_D + 2\Phi_f)^{3/2} - (2\Phi_f)^{3/2} \right) \right) \quad (6.16)$$

Hệ thức này cho thấy, với một thế của V_G cho trước, dòng I_D tăng với sự tăng của thế V_D . Kết luận này được nghiệm đúng cho đến khi kênh bị cắt ($V_D = V_{Dsat}$); và hoàn toàn giống như trường hợp JFET. Nếu chiều dày của lớp ôxit nhỏ so với chiều dày của vùng điện tích không gian, thì điện dung C_i có giá trị lớn, do vậy $1/C_i$ rất nhỏ so với C_i ngoài ra thay $V_T = 2\Phi_f$ là thế ngưỡng:

Đó là thế của cần thiết để thu được một lớp đảo mạnh ở trong kênh. Khi đó, hệ thức 6.16 được đơn giản hóa thành:

$$I_D = \frac{z\mu * C_i}{2L} (2(V_G - V_T) - V_D) V_D \quad (mA) \quad (6.17)$$

6.5.2. Chế độ tuyến tính

Khi hiệu thế giữa cực dẫn và cực gốc còn nhỏ, thì tranzito MOS hoạt động trong chế độ tuyến tính. Nghĩa là khi $V_D \ll V_T$ thì hệ thức 6.17 trở thành:

$$I_D = \frac{z\mu^* C}{L} (V_G - V_T) V_D \quad (\text{mA}) \quad (6.19)$$

Trong các tranzito MOS thực, độ linh động của hạt tải μ^* không phải là hằng số, nhất là đối với các tranzito có kênh ngắn, vì điện trường theo trục Ox trở nên rất lớn, gây nên hiện tượng bão hòa vận tốc của hạt tải. Trong trường hợp này biểu thức của độ linh động μ^* có dạng khá phức tạp.

6.6. ĐẶC TRUNG ĐỘNG CỦA TRANZITO MOS

6.6.1. Độ dẫn điện và độ truyền dẫn

Độ dẫn điện được tính bằng $g_d = \left. \frac{dI_D}{dV_G} \right|_{V_D}$. Trong miền tuyến tính ($V_D \ll V_T$), từ hệ thức

6.19 ta thu được:

$$g_d = \frac{z\mu^* C_i}{L} (V_G - V_T) \quad (\Omega^{-1} \text{m}^{-1}) \quad (6.20)$$

Độ dẫn điện thay đổi một cách tuyến tính theo thế của V_G . Nghịch đảo độ dẫn điện là điện trở của MOS ở trạng thái ON.

Độ truyền dẫn, theo định nghĩa $g_m = \left. \frac{dI_D}{dV_G} \right|_{V_D}$. Trong miền tuyến tính độ truyền dẫn

được xác định bằng:

$$g_m = \frac{z\mu^* C_i}{L} V_D \quad (\Omega^{-1} \text{m}^{-1}) \quad (6.21)$$

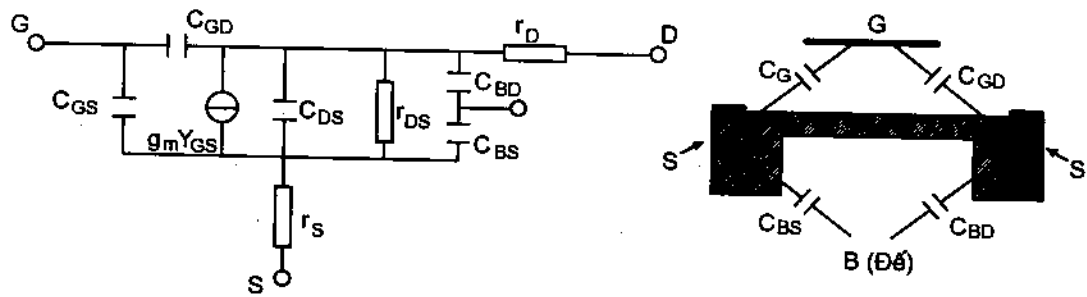
Trong chế độ bão hòa, độ truyền dẫn được tính bằng biểu thức sau:

$$g_m = \frac{z\mu^* C_i}{L} (V_G - V_T) \quad (\Omega^{-1} \text{m}^{-1}) \quad (6.22)$$

Một MOS lý tưởng có dòng I_D hầu như không đổi; điều đó tương đương với điện trở giữa cực gốc và dẫn bằng vô cùng. Về phương diện thực nghiệm, đặc trưng $I_D(V_D)$ có độ dốc dương nào đó, vì vậy trong miền bão hòa, giữa cực gốc và dẫn có điện trở $r_{DS} = \left. \frac{dV_D}{dI_D} \right|_{V_G}$, bằng độ dốc của đặc trưng tĩnh.

6.6.2. Sơ đồ tương đương và giới hạn tần số

Sơ đồ tương đương của MOS gần giống như của JFET: gồm một máy phát dòng $g_m V_G$, điện dung giữa G/S là C_{GS} và G/D là C_{GD} các điện trở của cực gốc R_s và của cực dẫn R_D . Ngoài ra còn có điện dung giữa đế với cực gốc và với cực dẫn C_{DB} và C_{SB} .



Hình 6.13. Sơ đồ tương đương của MOS.

Nói chung điện trở lối vào của MOS lớn gấp 1000 lần điện trở lối vào của JFET, độ truyền dẫn thì gấp đôi hoặc gấp ba lần, còn điện trở r_{DS} cùng độ lớn (cỡ 100K).

Cũng giống như tranzito JFET, tần số cắt của MOS tìm được:

$$f_c = \frac{g_m}{2\pi C_G} = \frac{\mu^* V_D}{2\pi L^2} \quad (s^{-1}) \quad (6.23)$$

Để tăng tần số cắt của MOS phải giảm chiều dài L của kênh.

6.7. CÁC LOẠI TRANZITO MOS ĐẶC BIỆT

6.7.1. Các bộ nhớ vĩnh cửu - Cấu trúc MIOS

Bộ nhớ vĩnh cửu được thực hiện nhờ tranzito MOS có cửa được biến điệu để có thể tích trữ được điện tích. Để thực hiện chức năng này, cửa được cấu tạo bởi hai lớp phân biệt:

- * Một lớp ôxit silic (SiO_2), dày cỡ vài chục Å°.
- * Một lớp nitri silic (Si_3N_4), dày từ 500 đến 600 Å°.

Như vậy người ta được một cấu trúc: Metal - Insulator - oxyde - semiconductor (MIOS) cho trên hình 6.14. Với cấu trúc này, linh kiện có thể đưa vào hoặc lấy ra những điện tích ở giao diện Nitride - Oxyde và sự có mặt hoặc (vắng mặt) của chúng sẽ mở hoặc (đóng) kênh. Điều này cho phép thực hiện chức năng nhớ:

- * Ghi, bằng cách phun điện tích vào giao diện Nitride - Oxyde.
- * Xóa, bằng cách dời điện tích khỏi vùng phân cách.
- * Đọc, bằng cách trắc nghiệm độ dẫn điện của kênh.

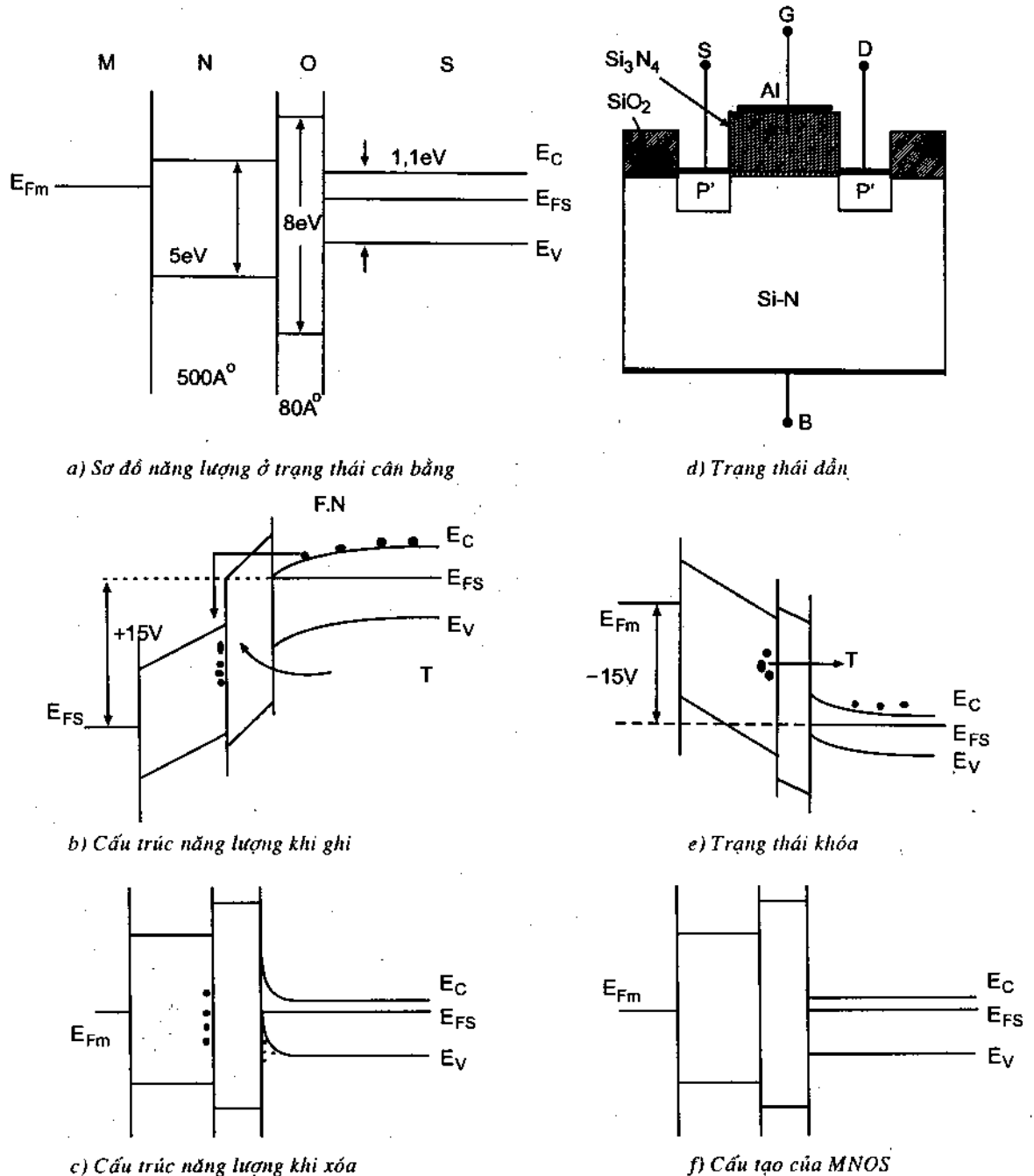
Thời gian lưu giữ điện tích trong linh kiện này có thể đến 100 năm. Sau đây sẽ khảo sát một cách định tính hoạt động của cấu trúc này trong chế độ vùng phẳng với thế V_G ở các giá trị khác nhau (hình 6.14a).

* Khi thế V_G dương và có giá trị tương đối lớn (cỡ + 15V), thì điện tử của bán dẫn sẽ chuyển động từ vùng dẫn sang giao diện $SiO_2 - Si_3N_4$ xuyên qua một lớp ôxit rất mỏng (hiệu ứng Fowler Nordheim), hoặc từ vùng hóa trị bằng hiệu ứng tunnel (hình 6.14b).

* Khi thế V_G trở về 0, thì điện tử ở giao diện $SiO_2 - Si_3N_4$ không thể quay trở lại bán dẫn, vì các mức năng lượng của nó đối diện với vùng cấm. Do một số lớn điện tử bị bẫy, nên bán dẫn bị đảo mức, vì thế kênh đã được mở (hình 6.14d).

Khi thế cửa V_G chuyển sang giá trị rất âm (cỡ $-15V$), thì các điện tử đã bị giữ ở giao diện $SiO_2 - Si_3N_4$ có thể quay trở về bán dẫn; do vậy giao diện trở nên trung hòa điện, vì thế kênh sẽ đóng (hình 6.14e).

Như vậy cấu trúc MIOS có thể tạo nên một EPROM (Electrical Erasable Programmable Read Only Memory), nhưng vận tốc ghi thấp (cỡ vài μS). Nếu tăng mật độ trạng thái ở giao diện, có thể giảm đáng kể thời gian ghi và xóa.

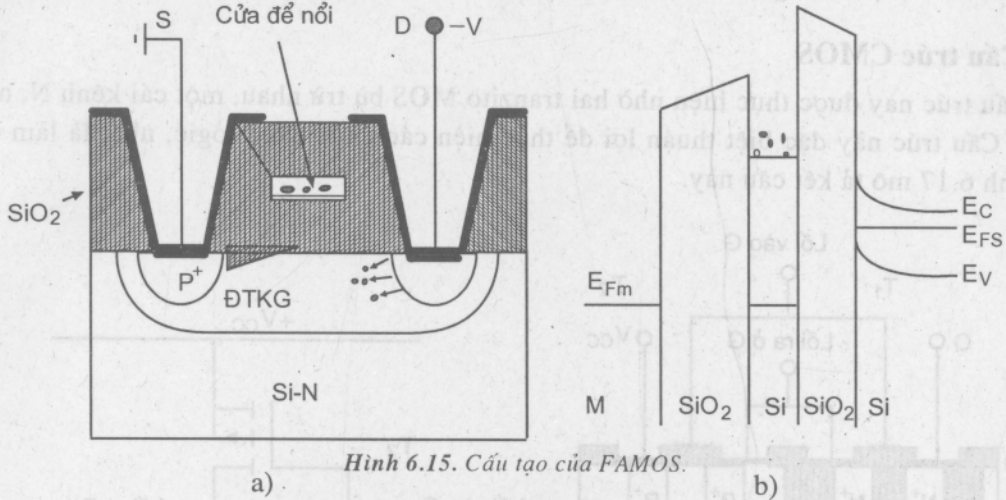


Hình 6.14. Cấu trúc và giản đồ năng lượng của một MIOS.

6.7.2. Các bộ nhớ vĩnh cửu - Cấu trúc FAMOS

Cấu trúc FAMOS (Floating - gate Avalanche - injection MOS transistor) là một dạng cấu trúc khác để tích trữ các điện tích (hình 6.15a). Trong trường hợp này, các hạt tải được tích trữ trong một cửa nổi được tạo thành bằng silic đa tinh thể nằm trong một miền ôxit dày cỡ $1000 \text{ \AA}$.

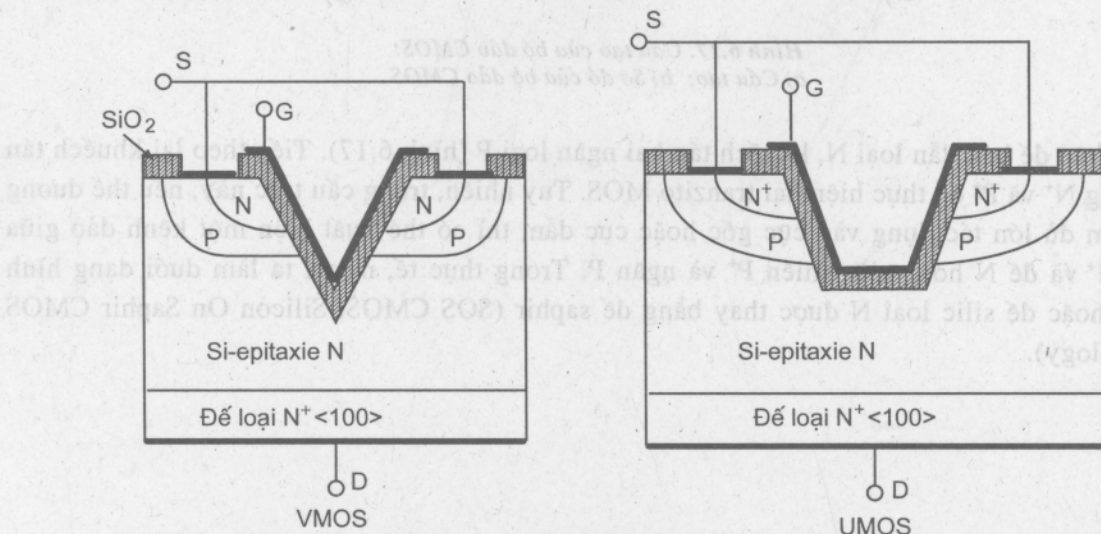
Để tích điện cho FAMOS, chuyển tiếp cực dẫn/đế được đặt trong chế độ thác lũ nhờ thế ngược có giá trị lớn. Do vậy, trong số các điện tử đi qua vùng điện tích không gian thì một số đã được phun vào cửa nổi qua lớp điôxit silic (SiO_2). Chúng bị hút bởi hiệu ứng chia thế do điện dung liên kết giữa cửa nổi với cực gốc và cực dẫn (hình 6.15b). Các điện tích âm tích tụ trong cửa nổi sinh ra lớp đảo P ở trong đế, do vậy tranzito sẽ dẫn.



Hình 6.15. Cấu tạo của FAMOS.

Các điện tử ở trong cửa nổi được giữ trong một giếng thế sâu, nên thời gian chúng được lưu giữ ở đây cực kỳ dài. Sự phóng điện của cửa nổi này chỉ có thể được thực hiện nhờ ánh sáng cực tím đủ mạnh để đưa điện tử từ chất cách điện vào vùng dẫn. Nhờ vậy mà cấu trúc này tạo nên một bộ nhớ EPROM có thể lập chương trình và xóa bằng ánh sáng.

6.7.3. Tranzito MOS công suất - Cấu trúc VMOS và UMOS



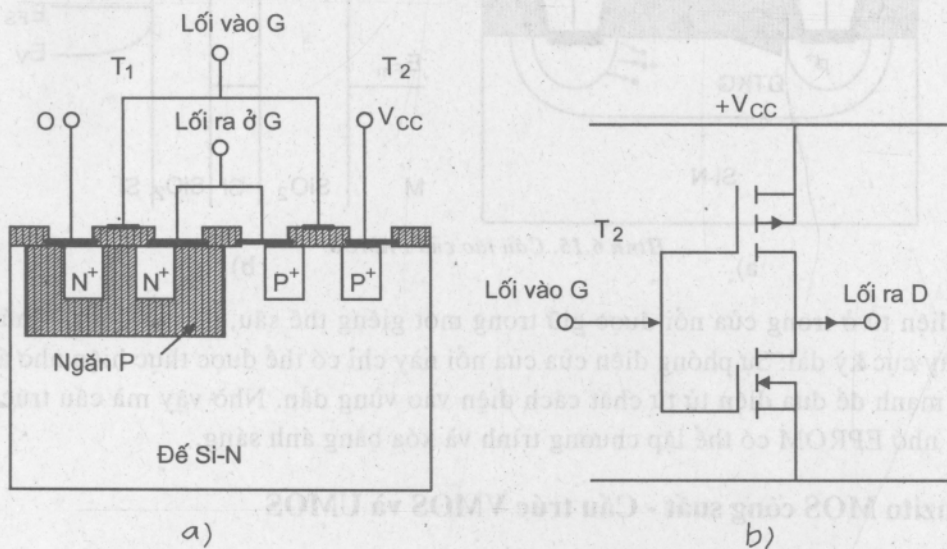
Hình 6.16. Cấu tạo của VMOS và UMOS công suất.

Hình 6.16 vẽ sơ đồ cấu tạo một tranzito VMOS (Vertical MOS) và một dạng biến tướng của nó: UMOS (U-shaped grooved MOS). Chúng được thực hiện trên một đế silic có mặt định hướng $\langle 100 \rangle$, nhờ ăn mòn hóa học theo hướng trục tinh thể vuông góc với mặt phẳng này (nghe nghiêng một góc $54^\circ 7'$). Như vậy cửa có dạng chữ V, có hai kênh song song tồn tại nối hai cực gốc với một cực dẫn chung. Vì cực dẫn D được làm bằng đế bán dẫn epitaxi có kích thước lớn, nên nó có khả năng điều khiển dòng điện và công suất mạnh.

Cấu trúc này cho phép tiết kiệm đáng kể vị trí không gian trong các vi mạch tổ hợp và cũng cho phép ghép song song nhiều tranzito loại này trên cùng một "chip", do vậy nó có thể tạo được các vi mạch công suất.

6.7.4. Cấu trúc CMOS

Cấu trúc này được thực hiện nhờ hai tranzito MOS bù trừ nhau, một cái kênh N, một cái kênh P. Cấu trúc này đặc biệt thuận lợi để thực hiện các chức năng logic, nhất là làm các bộ đảo. Hình 6.17 mô tả kết cấu này.



Hình 6.17. Cấu tạo của bộ đảo CMOS:
a) Cấu tạo; b) Sơ đồ của bộ đảo CMOS.

Trên đế bán dẫn loại N, khuếch tán hai ngăn loại P (hình 6.17). Tiếp theo lại khuếch tán hai vùng N^+ và P^+ để thực hiện hai tranzito MOS. Tuy nhiên, trong cấu trúc này, nếu thể dương hoặc âm đủ lớn tác dụng vào cực gốc hoặc cực dẫn, thì có thể xuất hiện một kênh đảo giữa miền N^+ và đế N hoặc giữa miền P^+ và ngăn P. Trong thực tế, người ta làm dưới dạng hình xuyên hoặc đế silic loại N được thay bằng đế saphir (SOS CMOS, Silicon On Saphir CMOS Technology).

Chương 7

CÁC LINH KIỆN QUANG-ĐIỆN TỬ

7.1. CÁC ĐẠI LƯỢNG QUANG-ĐIỆN TỬ BÁN DẪN

7.1.1. Những khái niệm chung

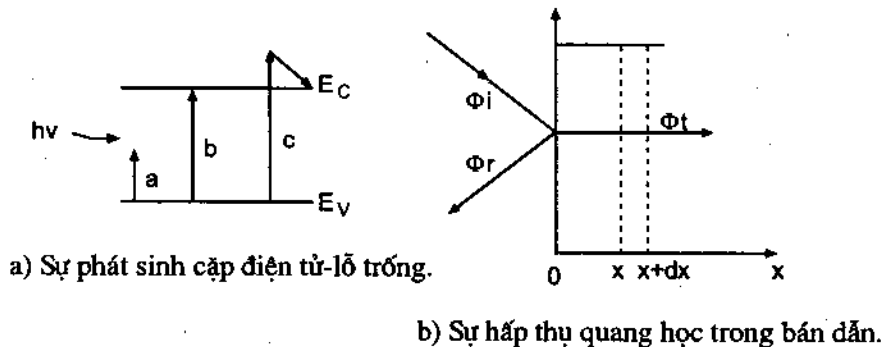
Một linh kiện bán dẫn có khả năng hấp thụ hoặc phát xạ sóng ánh sáng được gọi là linh kiện quang-điện tử. Các linh kiện loại này được chia thành hai loại:

* Nếu chuyển đổi ánh sáng thu được thành các đại lượng điện, thì linh kiện đó được gọi là *cái phát hiện quang học (photodetector)*.

* Nếu phát ra tia sóng khi cung cấp năng lượng điện cho nó, thì linh kiện đó được gọi là *cái phát xạ quang học (photoemittor)*.

Trong một linh kiện quang-điện tử luôn luôn có sự trao đổi năng lượng giữa tia sóng (ánh sáng) và vật chất (vật liệu bán dẫn). Tia sóng được đặc trưng bằng *bước sóng*, còn bán dẫn được đặc trưng bằng *độ rộng vùng cấm* E_g .

Khi vật liệu bán dẫn được chiếu sáng, các photon có thể bị hấp thụ hoặc không, tùy thuộc vào bước sóng của tia sáng chiếu xạ và vật liệu bán dẫn hình 7.1.



Hình 7.1. Sự bức xạ và hấp thụ photon.

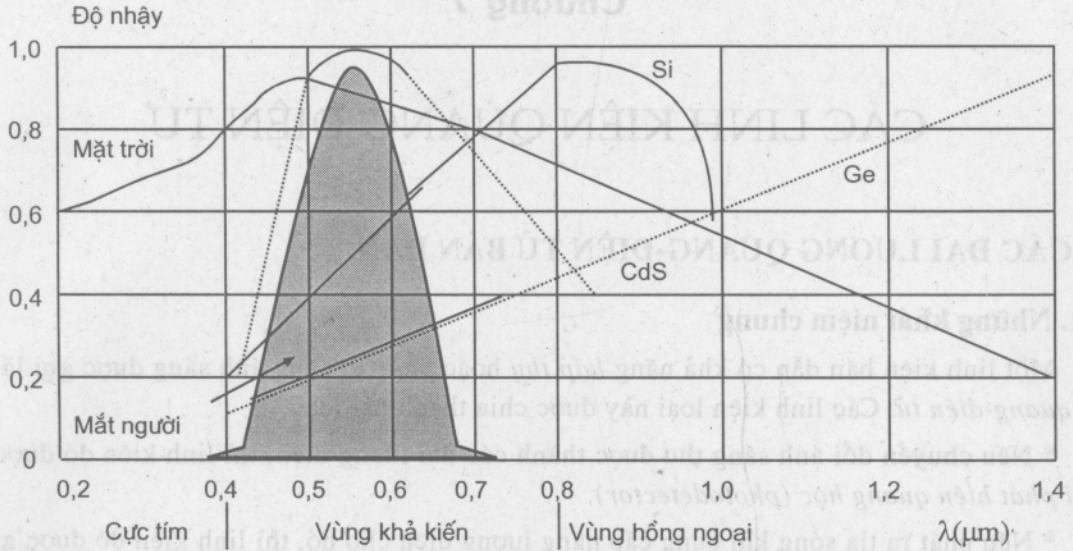
a) Nếu $E_{ph} = hv < E_g = E_c - E_v$ thì photon không bị hấp thụ vì không có trạng thái dành cho chúng.

b) Nếu $E_{ph} = E_g$, thì photon bị hấp thụ và sinh ra cặp điện tử - lỗ trống.

c) Nếu $E_{ph} > E_g$, thì các cặp điện tử-lỗ trống được tạo ra, còn phần năng lượng dư sẽ chuyển thành nhiệt năng làm nóng vật liệu bán dẫn.

Một vật liệu bán dẫn chỉ có thể hấp thụ hoặc phát xạ một số tia sáng xác định, được gọi

là đặc trưng phổ của nó. Đó là dải bước sóng (màu của ánh sáng) mà vật liệu bán dẫn có phản ứng. Hình 7.2 cho thấy đặc trưng phổ của một số vật liệu tiêu biểu.



Hình 7.2. Đặc trưng phổ của một số vật liệu.

7.1.2. Sự hấp thụ quang học

Chiếu một tia sáng đơn sắc sao cho $h\nu > E_g$ và thông lượng của tia tới $\Phi_i(E)$ (số photon có năng lượng E đạt đến bề mặt bán dẫn trong một đơn vị thời gian); gọi $R(E)$ là hệ số phản xạ, thì thông lượng của photon đi vào trong tinh thể bán dẫn sẽ là:

$$\Phi_t(E) = \Phi_i(E) (1 - R(E)).$$

Người ta định nghĩa hệ số hấp thụ α của vật liệu bán dẫn bằng sự thay đổi tương đối của thông lượng photon trên một đơn vị dài:

$$\alpha = -\frac{1}{\Phi} \frac{d\Phi}{dx} \quad (\text{cm}^{-1}) \quad (7.1)$$

α dương khi $d\Phi$ âm: có nghĩa là có sự hấp thụ tia sáng. Tích phân (7.1), chú ý điều kiện giới hạn tại bề mặt chiếu sáng $\Phi(E,0) = \Phi_t(E)$ (hình 7.1b), ta tìm được:

$$\Phi(E,x) = \Phi_t(E) \cdot \exp(-\alpha x)$$

thay biểu thức của $\Phi_t(E)$, sẽ tìm được thông lượng của photon có năng lượng E ở độ sâu x trong bán dẫn:

$$\Phi(E,x) = \Phi_i(E) [(1 - R(E)) \cdot \exp(-\alpha(E)x)] \quad (7.2)$$

Hệ số phản xạ $R(E)$ phụ thuộc bản chất của bán dẫn và điều kiện bề mặt, giá trị của nó phụ thuộc chủ yếu vào góc tới của tia tới. Sự phản xạ là cực tiểu khi tia tới vuông góc với bề mặt mẫu, trong trường hợp này được xác định bằng biểu thức sau:

$$R(E) = \frac{(n - 1)^2 + (\lambda\alpha/4\pi)^2}{(n + 1)^2 + (\lambda\alpha/4\pi)^2}$$

Ở đây $n = n_2/n_1$, n_1 là chiết suất của không khí,

n_2 là chiết suất của bán dẫn

α là hệ số hấp thụ,

λ là bước sóng của tia sáng tới.

Đối với tất cả các loại bán dẫn, $\lambda\alpha/4\pi$ rất nhỏ, còn n có giá trị nằm trong khoảng giữa 3 và 4, do vậy hệ số phản xạ hầu như không phụ thuộc năng lượng tia sáng. Khi đó hệ số phản xạ được tính bằng:

$$R = \left(\frac{n-1}{n+1} \right)^2 = \left(\frac{\sqrt{\epsilon_r}-1}{\sqrt{\epsilon_r}+1} \right)^2 \quad (7.3)$$

ϵ_r là hằng số điện môi tương đối của bán dẫn. Hệ số phản xạ cỡ từ 0,25 đến 0,35. Nếu phủ lớp chống phản xạ (có chiết suất $\sqrt{n_1 n_2}$), có thể giảm đáng kể hệ số phản xạ.

Nếu hệ số hấp thụ bằng không thì tia sáng chạy qua bán dẫn không bị suy giảm (trường hợp bán dẫn tinh khiết với những photon có năng lượng $E < E_g$). Còn nếu $\alpha(E) > 0$, thì vật liệu hấp thụ tia sáng, do vậy tia sáng giảm theo hàm mũ với khoảng cách đã đi qua. Những photon bị hấp thụ tạo ra những cặp điện tử-lỗ trống. Tỷ số phát sinh các cặp điện tử-lỗ trống đúng bằng tỷ số các photon đã bị hấp thụ:

$$G(E, x) = -d\Phi(E, x)/dx$$

Tính đến (7.2) ta được:

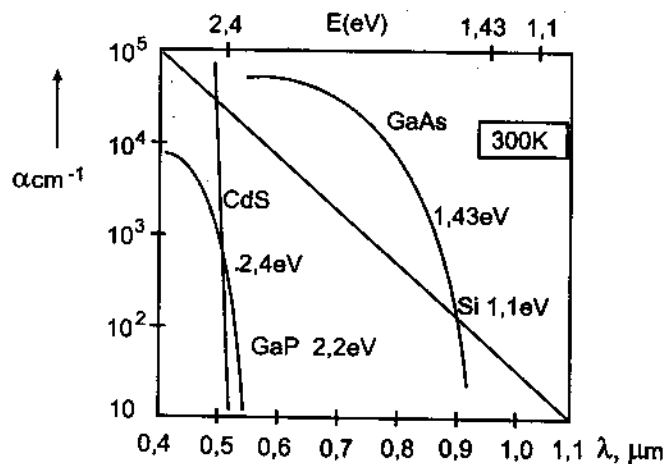
$$G(E, x) = \Phi_i(E) \cdot [1-R] \cdot \alpha(E) \cdot \exp(-\alpha(E)x)$$

Rõ ràng hệ số phát sinh hạt tải $G(E, x)$ phụ thuộc hệ số hấp thụ $\alpha(E)$.

* Nếu $\alpha(E)$ nhỏ, thì tia sáng bị hấp thụ ít, chúng xuyên sâu vào trong vật liệu và tạo ra ít hạt tải trên một đơn vị thể tích, nhưng trong một thể tích lớn.

* Nếu $\alpha(E)$ lớn, thì tia sáng bị hấp thụ mạnh, các hạt tải được tạo ra trong một thể tích hẹp ở gần bề mặt.

Hình 7.3 vẽ sự thay đổi hệ số hấp thụ của một số vật liệu theo bước sóng của tia tới.



Hình 7.3. Hệ số hấp thụ tia sáng của một số vật liệu.

7.1.3. Tỷ lệ bức xạ photon. Hiệu ứng Laser

Khi tương tác điện tử-photon sẽ xuất hiện điện tử và lỗ trống dẫn. Điện tử ở vùng hóa trị, dưới tác dụng của photon có thể nhảy lên vùng dẫn. Đó là *cơ chế hấp thụ* sóng photon xảy ra trong các bộ thu nhận và phát hiện tia sáng.

Điện tử trong vùng dẫn, có thể tự động nhảy về bất các trạng thái trống trong vùng hóa trị, kèm theo phát xạ photon. Quá trình này gọi là *phát xạ tự động*. Nếu một photon có mặt trong bán dẫn gây ra sự chuyển dời của điện tử từ vùng dẫn vào vùng hóa trị với sự phát xạ kích thích các photon thứ cấp có cùng năng lượng. Quá trình này gọi là *phát xạ kích thích*. Đó chính là cơ chế hoạt động của laser bán dẫn.

Các hạt tải do tương tác photon-điện tử này gây ra làm thay đổi sự phân bố các hạt tải trong vùng dẫn và vùng hóa trị của vật liệu bán dẫn. Do vậy mức Fermi cũng bị thay đổi so với khi chưa được chiếu sáng. Đó là mức *chuẩn Fermi* cho hai loại hạt tải: E_{fc} và E_{fv} . Sự phân bố của các hạt tải này trong vùng dẫn và vùng hóa trị tuân theo phân bố Fermi-Dirac:

$$f_c(E) = \left[1 + \exp \frac{E - E_{fc}}{KT} \right]^{-1}$$

và

$$f_v(E) = \left[1 - \exp \frac{E - E_{fv}}{KT} \right]^{-1}$$

Ở trạng thái cân bằng nhiệt động, ta thấy ngay: $E_{fc} = E_{fv} = E_F$. Các mức chuẩn Fermi này tham dự vào việc tính toán tỷ lệ phát xạ $R(E)$ của photon có năng lượng E bởi vật liệu bán dẫn:

$$R(E) = R_{sp}(E) + N(E) \cdot R_{stim}(E) - N(E) \cdot R_{abs}(E). \quad (7.4)$$

Trong đó $N(E)$ là mật độ photon có năng lượng E , ở trạng thái cân bằng nhiệt động, được định nghĩa bằng:

$$N_o(E) = \frac{1}{\exp \frac{E}{KT} - 1}$$

Số hạng đầu tiên trong (7.4) $R_{sp}(E)$ tương ứng với tỷ số phát xạ tự động. Số hạng thứ hai là bức xạ kích thích; còn số hạng thứ ba đặc trưng cho sự hấp thụ tia sáng.

Hai số hạng sau phụ thuộc vào mật độ tia sáng (tức là mật độ photon) có mặt trong vật liệu; đại diện cho sự chuyển dời hiệu dụng được kích thích bởi tia sáng (photon). Đó là sự phát xạ và hấp thụ, đặc trưng bằng hệ số:

$$R_{st}(E) = R_{stim}(E) - R_{abs}(E).$$

$R_{st}(E)$ gọi là tỷ số bức xạ kích thích. Nếu $R_{st}(E) > 0$ thì quá trình bức xạ, ngược lại là quá trình hấp thụ.

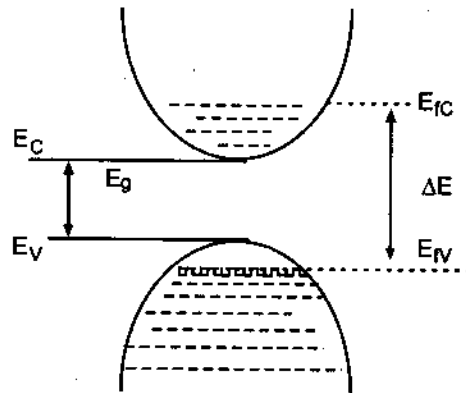
Tỷ số bức xạ kích thích và tỷ số phát xạ tự động liên hệ với nhau bằng hệ thức:

$$R_{st}(E) = R_{sp}(E) \left[1 - \exp \frac{E - \Delta E}{KT} \right]$$

với

$$\Delta E = E_{fc} - E_{fv}$$

Điều kiện để có bức xạ kích thích khi và chỉ khi $R_{st}(E) > 0$; nghĩa là $\Delta E > E$. Đây cũng chính là điều kiện để có *hiệu ứng laser*, do năng lượng của tia sáng phát xạ chỉ có thể lớn hơn độ rộng vùng cấm E_g , vì thế điều kiện trên tương đương với $\Delta E > E_g$. Như vậy các chuẩn mức Fermi trong vùng dẫn và vùng hóa trị đã tạo ra sự đảo lộn nồng độ hạt tải giữa đỉnh vùng hóa trị và đáy vùng dẫn như trong hình 7.4.



Hình 7.4. Sự đảo nồng độ trong hiệu ứng Laser.

7.2. CÁC LINH KIỆN PHÁT HIỆN TIA SÓNG

Đây là các linh kiện có khả năng phát hiện một tín hiệu quang học bằng các quá trình điện. Đó là tế bào quang dẫn, photon diốt, pin mặt trời và nhiều loại khác. Phổ của các tín hiệu này trải từ miền hồng ngoại xa cho đến tia cực tím.

7.2.1. Tế bào quang dẫn

Dưới sự chiếu sáng, trên bề mặt bán dẫn có thể tạo ra các cặp điện tử-lỗ trống. Các hạt tải dư vừa được tạo ra này khuếch tán vào trong và bị tái hợp. Các hạt tải này làm thay đổi độ dẫn điện của bán dẫn. Do vậy, nếu đặt một hiệu thế ở hai đầu thanh bán dẫn thì dòng điện sẽ tăng.

Giả sử khi chưa chiếu sáng, độ dẫn điện của bán dẫn là:

$$\sigma_0 = qn\mu_n + qp\mu_p$$

Khi có chiếu sáng, nó trở thành: $\sigma = \sigma_0 + \Delta\sigma$ do sự thay đổi số hạt tải ($\Delta n = \Delta p$)

$$\Delta\sigma = q\mu_n (1 + \mu_p/\mu_n)\Delta n = q\mu_n \Delta n$$

nếu $\mu_n \gg \mu_p$.

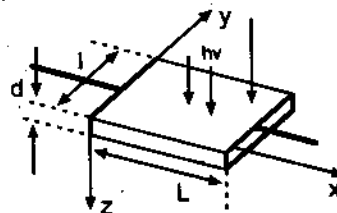
Sự thay đổi độ dẫn ΔG khi đó có thể viết:

$$\Delta G = \int \Delta\sigma(x,y,z) \frac{dydz}{dx}$$

Nếu sự chiếu xạ đồng đều trên toàn bộ mặt phẳng xy (xem hình vẽ) thì:

$\Delta\sigma(x,y,z) = \Delta\sigma(z)$; khi đó:

$$\Delta G = \frac{1}{L} \int_0^d \Delta\sigma(z) dz$$



Cần lưu ý là: Để cặp điện tử-lỗ trống được tạo ra thì năng lượng của photon tới phải lớn hơn độ rộng vùng cấm, nghĩa là phải thỏa mãn điều kiện:

$$\frac{h\nu}{E_C - E_V} = \frac{hc}{\lambda(E_C - E_V)} \geq 1$$

Với c là vận tốc ánh sáng. Từ đây, cũng tìm được bước sóng tới hạn λ_c :

$$\lambda_c = \frac{hc}{E_C - E_V}; \lambda_c (\mu m) = \frac{1,24}{E_g (eV)}$$

Hiệu năng của một tế bào quang dẫn được xác định bởi 3 thông số:

- * Hệ số khuếch đại.
- * Thời gian trả lời.
- * Ngưỡng phát hiện phổ ánh sáng.

Trong chế độ dừng thì tỉ số sinh g_e (phụ thuộc sự kích thích từ bên ngoài) của các hạt tải phải bằng tỉ số tái hợp. Nếu t_n là thời gian sống của hạt tải, thì tỉ số tái hợp là $1/t_n$. Nếu P_o là công suất của tia sáng tới, thì số photon có năng lượng $h\nu$ đập lên diện tích $L.l$ trong một giây sẽ là: $P_o/h\nu$.

Mặt khác, nếu n là mật độ hạt tải (điện tử) trong bán dẫn có độ dày d lớn hơn khoảng cách thâm xuyên của tia sáng, thì trên một đơn vị thể tích của vật liệu ta có:

$$g_e = \frac{\eta}{t_n} = \frac{\eta \frac{P_o}{h\nu}}{dLl}$$

Dòng quang dẫn là kết quả của sự tồn tại điện trường E sinh ra trong cái quang dẫn bằng:

$$I_{ph} = \sigma.E.l.d = qn.\mu_n.E.l.d = qn.v_n.l.d$$

thay $l.d = (\eta P_o/h\nu).t_n/L$ ta sẽ thu được:

$$I_{ph} = q \left(\eta \frac{P_o}{h\nu} \right) \frac{v_n t_n}{L}$$

Nhưng $L/v_n = t_T$ là thời gian điện tử truyền giữa hai điện cực và $I_r = q\eta P_o/h\nu$ là dòng quang dẫn hiệu đỉnh. Vì vậy hệ số khuếch đại:

$$G = I_{ph}/I_r = t_r/t_T$$

Từ đó suy ra rằng: điện tử có thời gian sống càng dài và cái quang dẫn có kích thước càng hẹp thì hệ số khuếch đại càng cao (thay đổi từ 1 đến 10^6).

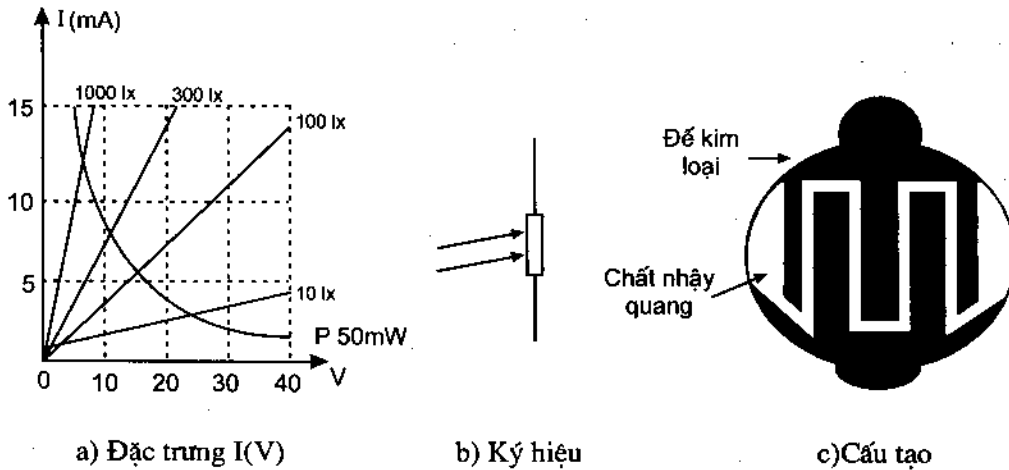
Đặc trưng $I(V)$ cùng với ký hiệu cấu tạo của một quang dẫn được vẽ trên hình 7.5. Điện trở tối từ 1 đến 100 MΩ, điện trở chiếu sáng từ 300Ω đến 3kΩ. Vì quang điện trở không có chuyển tiếp P-N, nên không cần phải tính đến chiều của thế phân cực. Tuy nhiên cần lưu ý đến quán tính của linh kiện: Điện trở tối được thiết lập ngay sau khi tắt nguồn sáng một phút trong khi điện trở chiếu sáng được thiết lập nhanh hơn. Tần số cắt của quang dẫn tương đối thấp (cỡ 20 Hz đến 1kHz), vì để tái hợp, các hạt tải cần một thời gian tương đối lớn.

7.2.2. Công nghệ chế tạo

Cấu tạo hình học của tế bào quang dẫn có dạng như trên hình 7.5c. Hình dạng này cho phép ΔG có giá trị tối ưu, do l lớn và L ngắn. Vật liệu bán dẫn được lắng đọng trên một đế cách

điện (cỡ mười μm). Các cực kim loại được hóa hơi qua một mặt nạ bảo vệ lớp nhạy sáng. Vật liệu bán dẫn sử dụng phụ thuộc vào vùng phổ cần phát hiện và thời gian trả lời mong muốn.

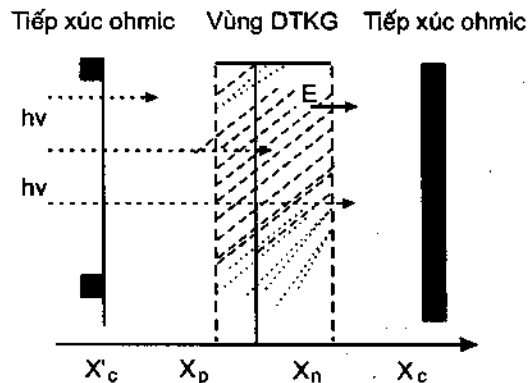
Các lớp đa tinh thể CdS và CdSe nhạy với ánh sáng nhìn thấy, được dùng nhiều vì hệ số khuếch đại cao, hằng số thời gian cao (đến 10s), giá thành hạ. Trong miền hồng ngoại ($1\text{-}4\mu$), người ta dùng PbS. Còn hợp chất $\text{Hg}_x\text{Cd}_{1-x}\text{Te}$ cho phép thực hiện các tế bào quang dẫn có cực đại nhạy cảm giữa 5 và $15 \cdot 10^{-6} \text{ m}$.



Hình 7.5. Các đặc trưng của một quang dẫn.

7.2.2. Điốt quang điện (photodiode)

Sự tạo ra các hạt tải điện không cơ bản trong các miền trung hòa N và P, sự phát sinh các cặp điện tử-lỗ trống trong vùng chuyển tiếp P-N do chiếu tia sáng làm tăng giá trị dòng ngược của điốt quang điện. Các hiện tượng này được minh họa trên hình 7.6.



Hình 7.6. Sự phát sinh hạt tải trong photô - điốt.

* Trong các miền trung hòa, điện tử của miền P và lỗ trống của miền N được sinh ra trên những khoảng cách cỡ độ dài khuếch tán, nên chúng có thể đạt tới vùng chuyển tiếp nhờ sự khuếch tán. Điện trường của vùng điện tích không gian sẽ đẩy chúng sang những vùng mà ở đấy chúng là các hạt tải cơ bản. Các hạt tải này phụ thêm vào dòng quang dẫn nhờ sự khuếch tán.

* Trong vùng điện tích không gian (ĐTKG), điện trường phân ly các cặp điện tử-lỗ trống, điện tử bị đẩy sang vùng N, còn lỗ trống sang vùng P. Chúng tạo nên *dòng phát sinh quang điện*.

Cả hai dòng nói trên phụ thêm vào để tạo nên dòng quang điện I_{ph} cộng với dòng ngược của chuyển tiếp P-N. Trong các điều kiện đó, nếu $R_s \approx 0$ thì biểu thức của dòng qua vùng chuyển tiếp trở thành:

$$I_d = I_s \left[\exp \frac{qV}{KT} - 1 \right] - I_{ph} \quad (\text{mA}) \quad (7.5)$$

Trong một diốt quang điện, dòng ngược khi chưa chiếu sáng gọi là dòng tối. Đặc trưng $I(V)$ của chuyển tiếp P-N được chiếu sáng lệch xuống dưới so với dòng tối.

Tính dòng quang điện

Dòng quang điện là tổng của ba dòng bổ sung:

- * Dòng khuếch tán của quang điện tử từ miền p.
- * Dòng phát sinh quang điện trong vùng ĐTKG dày w .
- * Dòng khuếch tán của quang lỗ trống của miền N.

Nếu sự tái hợp trong vùng ĐTKG có thể loại trừ và độ dày của miền N rất lớn so với L_p và l/α , còn độ dày của miền P lại rất nhỏ so với l/α , thì ta thu được:

$$J_{ph} = -q\Phi_t \left[1 - \frac{1}{1 + \alpha L_p} \exp(-\alpha w) \right] \quad (\text{A/cm}^2) \quad (7.6)$$

dấu trừ vì dòng đi từ miền N sang miền P (đó là dòng ngược).

Để thu được dòng quang điện lớn, cần phải có $\alpha w \gg 1$, trong trường hợp này thì $J_{ph} = -q\Phi_t$, có nghĩa là dòng quang điện tỉ lệ tuyến tính với thông lượng của tia sáng tới. Một đại lượng quan trọng của quang diốt là *độ nhạy quang* $S_{ph} = \Delta I_{ph} / \Delta E$ (200nA/lux cho quang diốt Ge và 10 nA/lux cho quang diốt Silic). Các quang diốt gecmani có độ nhạy quang lớn, song dòng tối của nó cũng không nhỏ (10μA), do vậy để phát hiện các tia sáng yếu người ta hay dùng quang diốt silic hơn (có dòng tối 10pA).

Thời gian trả lời của một phôtô diốt phụ thuộc vào sự khuếch tán của các hạt tải không cơ bản trong các vùng trung hòa (hằng số thời gian từ 1 đến 10 ns) và vào thời gian truyền của các hạt tải qua vùng ĐTKG (với hằng số thời gian từ 10 đến 100 ps). Do vậy, để nhận được các phôtô diốt nhanh, thì tia sáng phải được hấp thụ chủ yếu trong vùng ĐTKG. Điều này được thực hiện bằng cách làm x_p rất mỏng và độ dày w lớn hơn l/α một ít.

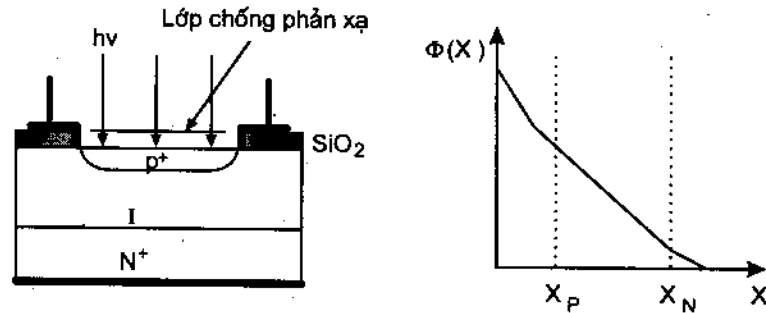
Hiệu suất bắt của một phôtô diốt là tỉ số của số các điện tích quang điện đi qua vùng chuyển tiếp với số photon tới ($\eta_c = J_{ph} / qF_i$). Hiệu suất này phụ thuộc bước sóng của tia sáng và các thông số cấu trúc của linh kiện.

7.2.3. Các loại phôtô diốt đặc biệt

7.2.3.1. Phôtô diốt PIN

Đây là loại thường gặp nhất. Để tăng độ rộng vùng ĐTKG cho phần lớn các cặp quang điện tử - lỗ trống được tạo ra ở đây, người ta dùng cấu trúc PIN (xem chương 3).

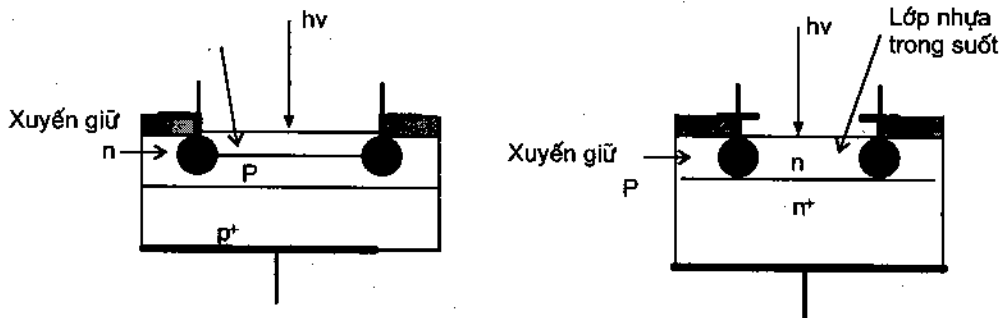
Nếu thế phân cực ngược tác dụng vào diốt đủ lớn, thì điện trường trong vùng I rất mạnh, do vậy các hạt tải quang điện đạt vận tốc giới hạn rất nhanh. Những phôtô diốt loại này thường có tốc độ phản ứng nhanh và độ nhạy cao.



Hình 7.7. Cấu tạo của phôtô diốt PIN.

7.2.3.2. Phôtô diốt thác lũ

Các linh kiện loại này được dùng rộng rãi trong các hệ thống thông tin viễn thông bằng sợi quang.



Hình 7.8. Cấu tạo của phôtô diốt thác lũ.

Nếu tạo các quang điện tử trong vùng ĐTKG khi thế phân cực ở lân cận vùng thế đánh thủng thác lũ V_{BR} , thì hiện tượng thác lũ sẽ sớm xảy ra; do vậy dòng quang điện sẽ tăng lên nhanh chóng; có nghĩa là hệ số khuếch đại của linh kiện loại này rất cao (có thể đạt tới hàng trăm lần). Tuy nhiên cần chú ý là hệ số khuếch đại phụ thuộc mạnh vào thế phân cực ngược và vào nhiệt độ.

7.2.3.3. Phôtô - diốt Schottky

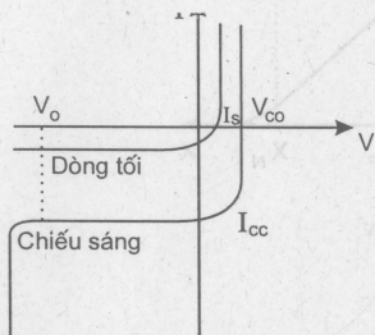
Linh kiện này được cấu tạo từ một đế silic loại N, trên đó được lắng đọng một lớp mỏng (thường là vàng). Các cặp điện tử - lỗ trống được tạo ra trong vùng chuyển tiếp Schottky tạo ra dòng quang điện. Lớp kim loại có thể bán trong suốt, đặc biệt trong suốt với các tia gần cực tím.

7.2.4. Pin mặt trời

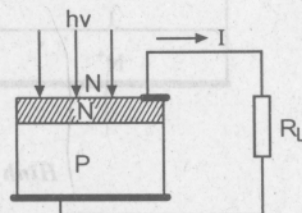
Đó là các phôtô diốt hoạt động không cần nguồn phân cực bên ngoài nhưng lại cho dòng điện chạy qua tải R_L .

Đối với một diốt thông thường, thì tích số $V \cdot I$ của thế và dòng qua diốt luôn luôn là một số dương; điều đó có nghĩa là nó hấp thụ năng lượng (hình 7.9a). Nhưng nếu diốt đó được chiếu sáng thì đặc trưng $I(V)$ không còn đi qua gốc tọa độ nữa (hình 7.9a). Khi đó có thể có tích số $V \cdot I < 0$, có nghĩa là diốt cấp năng lượng cho tải.

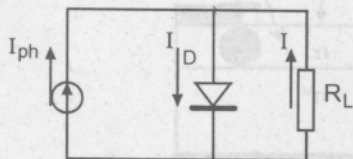
Pin mặt trời gồm một chuyển tiếp P-N nằm rất gần bề mặt chiếu sáng được cấu tạo từ một vùng N^+ (bán dẫn loại N pha tạp rất cao để giảm điện trở nối tiếp) và một miền P pha tạp ít hơn. Lớp kim loại tiếp xúc phía trên có dạng đặc biệt để làm tăng sự hấp thụ tia sáng (hình 7.9d).



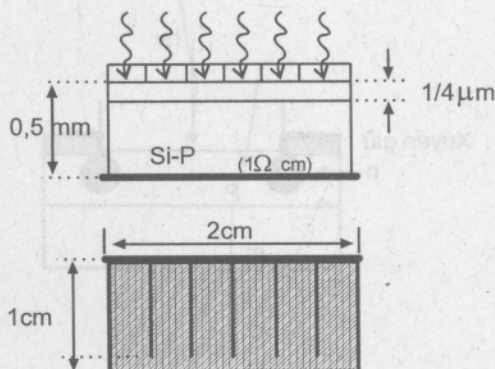
a) Đặc trưng $I(V)$



b) Cách nối pin mặt trời với tải.



c) Sơ đồ tương đương



d) Cấu tạo nhìn từ trên xuống

Hình 7.9. Đặc trưng và cấu tạo của pin mặt trời.

Nếu loại trừ điện trở nối tiếp, thì dòng điện chạy qua tải (hình 7.9c) sẽ tìm được:

$$I = I_{ph} - I_s [\exp(qV/KT) - 1] \quad (\text{mA}) \quad (7.7)$$

Số hạng đầu tiên trong (7.7) là dòng quang điện của diốt được phân cực thuận bởi thế do dòng chạy qua điện trở tải R_L sinh ra.

Khi đoản mạch ($R_L = 0$), thì thế $V = 0$, ta tìm được: $I_{cc} = I_{ph}$.

Còn khi hở mạch ($I = 0$), thì thế điện động của pin sẽ là:

$$V_{co} = \frac{KT}{q} \log \left(\frac{I_{ph}}{I_s} + 1 \right) \approx \frac{KT}{q} \log \frac{I_{ph}}{I_s}.$$

Công suất mà pin có thể cung cấp cho tải luôn luôn bé hơn tích số $V_{co} \cdot I_{cc}$. Muốn tăng công suất này, phải tăng dòng quang điện động và phải giảm dòng bão hòa I_s của vùng chuyển tiếp P-N của pin.

Bây giờ ta xét xem khi nào thì công suất tỏa ra trên tải đạt giá trị cực đại ?

Công suất tỏa ra trên tải là:

$$P = V \cdot \left[I_{ph} - I_S \left(\exp \frac{qV}{KT} - 1 \right) \right].$$

Công suất này đạt giá trị cực đại khi: $\frac{dP}{dV} = 0$, nghĩa là:

$$I_{ph} - I_S \left(\exp \frac{qV}{KT} - 1 \right) - \frac{qV}{KT} I_S \exp \frac{qV}{KT} = 0.$$

Từ đó tìm được giá trị thế cực đại xác định theo phương trình:

$$\left(1 + \frac{qV_m}{KT} \right) \exp \frac{qV_m}{KT} = 1 + \frac{I_{ph}}{I_S}.$$

Phối hợp với (7.7) sẽ xác định được dòng cực đại:

$$I_m = I_S \frac{qV_m}{KT} \exp \left(\frac{qV_m}{KT} \right).$$

Công suất cực đại $P_m = V_m \cdot I_m$ biểu diễn bằng diện tích của hình chữ nhật được gạch chéo trên hình 7.10, cỡ bằng 80% công suất $V_{co} \cdot I_{cc}$. Biết được thế và dòng cực đại, có thể tìm được điện trở tải tối ưu :

$$R_{opt} = \frac{V_m}{I_m} = \frac{KT}{q} \exp \left(- \frac{qV_m}{Kt} \right).$$

Giá trị điện trở tải tối ưu cỡ 1 ôm cho photô diốt có bề mặt nhạy quang khoảng 30cm^2 . Nếu điện trở nối tiếp của pin không thể loại trừ trước giá trị điện trở tối ưu, thì biểu thức của dòng điện qua tải (7.7) được viết lại:

$$I = I_{ph} - I_S \left[\exp \left(\frac{q(V - R_S I)}{KT} \right) - 1 \right].$$

Hiệu suất của pin giảm một cách đáng kể, nếu điện trở nối tiếp lớn hơn 0,4 ôm. Giá trị tối ưu là dưới 0,1 ôm.

Hiệu suất của pin mặt trời

Đó là tỉ số giữa công suất điện cực đại tỏa ra trên tải và công suất ánh sáng do các tia mặt trời mang tới:

$$\eta = \frac{V_m \cdot I_m}{P_{mt}}.$$

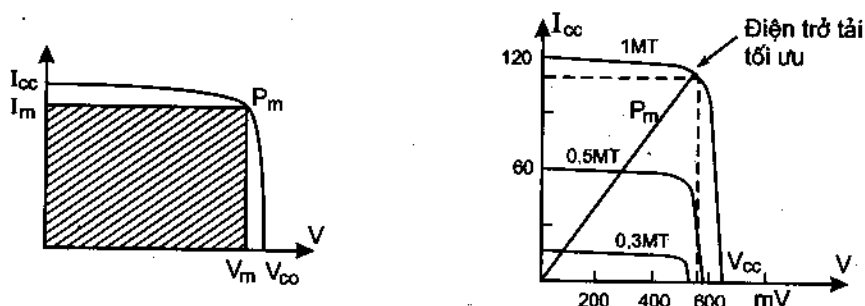
Công suất của các tia sáng mặt trời tới bề mặt pin là tích phân trên một miền phổ của thông lượng các photon tới, nhân với năng lượng của một photon:

$$P_{mt} = S \cdot \int_{0,2\mu m}^{2,6\mu m} \Phi(\lambda) h\nu d\lambda \quad (W).$$

trong đó S là diện tích bề mặt tế bào pin mặt trời.

Công suất này phụ thuộc độ cao và vị trí thiên đỉnh của mặt trời. Giá trị của nó vào

khoảng 100mW/cm^2 ở độ cao của mặt biển khi Mặt trời ở thiên đỉnh. Còn công suất điện cực đại được mô tả trên hình 7.10 sau đây:



Hình 7.10. Công suất cực đại của pin mặt trời

Cấu tạo của một trạm pin mặt trời

Một trạm pin mặt trời gồm những phần như sau:

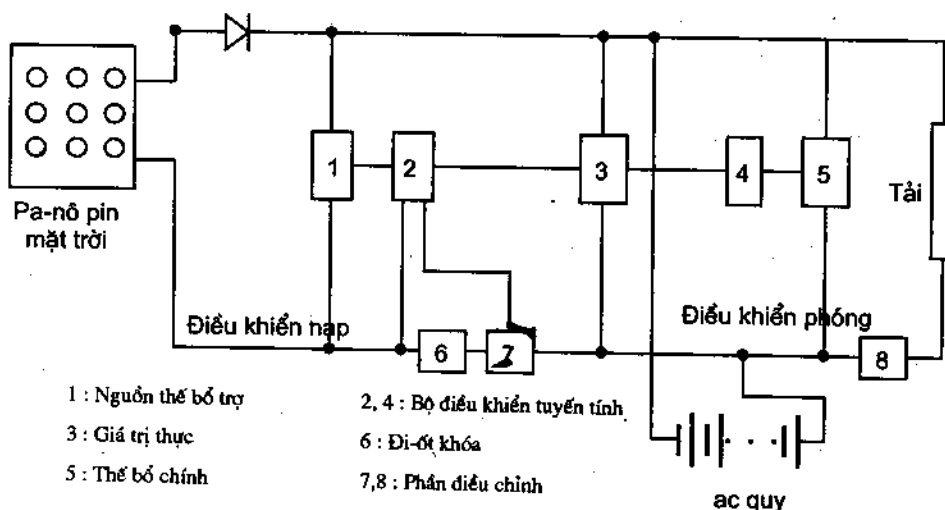
Môđun pin quang điện (photovoltaïque): môđun này đã được dự tính để nuôi một ắc quy 12V với công suất cực đại khoảng 10, 20, 40 W hoặc hơn. Nếu yêu cầu thế 24V hoặc 36V thì phải ghép nối tiếp 2 hoặc 3 môđun với nhau. Nếu muốn có công suất cao hơn thì phải ghép song song nhiều môđun. Với một trạm lớn, tấm panô chứa pin quang điện có kích thước khá lớn vì nó chứa nhiều môđun này. Tấm panô chứa các pin mặt trời này phải được đóng chặt xuống đất để có thể chịu được sức gió tới 180 km/giờ và với sự thay đổi nhiệt độ từ -40°C đến $+85^{\circ}\text{C}$. Ngoài ra nó còn được bảo vệ chống ăn mòn. Chúng được hướng về phía mặt trời ở vùng xích đạo tốt nhất là được đặt ở những nơi cao để hấp thụ được nhiều tia sáng Mặt trời nhất và cũng có thời gian được chiếu sáng lớn nhất, với góc không nhỏ hơn 30° so với phương nằm ngang. Trên mỗi môđun được trang bị một hộp dây nối chứa các dây nối chịu được nhiệt độ và thường được nối với diốt chống đi ngược dòng. Các nối phải có thiết diện đủ lớn và phụ thuộc vào chiều dài của nó để giảm bớt mất mát do điện trở ohmique. Cũng cần tính đến các môđun khác nhau không có cùng một đặc trưng như nhau và đôi khi cái này thì bị tối trong khi những cái khác thì lại không. Trong trường hợp này phải điều chỉnh lại sự cân bằng của các môđun nhờ một diốt bảo vệ mắc song song. Như vậy người ta có thể tránh được hiện tượng “các điểm nóng” trên các tế bào pin quang điện.

Bộ ắc quy. Việc tích trữ năng lượng là việc không thể thiếu được khi trạm hoạt động về đêm. Để thực hiện việc tích trữ này, người ta dùng các bộ ắc quy, về nguyên tắc có thể dùng các ắc quy chì hoặc ắc quy cadmi-nickel. Sự lựa chọn phụ thuộc vào: loại ứng dụng, các đặc tính điện (tự nạp điện cho tải, hiệu suất, độ duy trì) vào các điều kiện sử dụng (thời tiết chu kỳ phóng nạp điện, các tiếp xúc cơ học), v.v....

Bộ phận điều khiển nạp và phóng điện

Chức năng điều khiển tải là :

- Hạn chế tải cho ắc quy để tránh quá tải và giảm bớt sự tiêu thụ chất điện phân
- Bảo vệ nhờ việc cắt sự sử dụng để chống sự phóng điện lâu ảnh hưởng đến tuổi thọ của ắc quy.
- Nạp điện nhanh cho ắc quy để đưa nó vào hoạt động phục vụ, sau một chu kỳ thiếu hụt.
- Điều khiển thế lối ra đến nơi tiêu thụ. Hình 7.11 là thí dụ của một bộ điều chỉnh như vậy.



Hình 7.11. Sơ đồ điều khiển nạp và phóng điện của một trạm pin mặt trời.

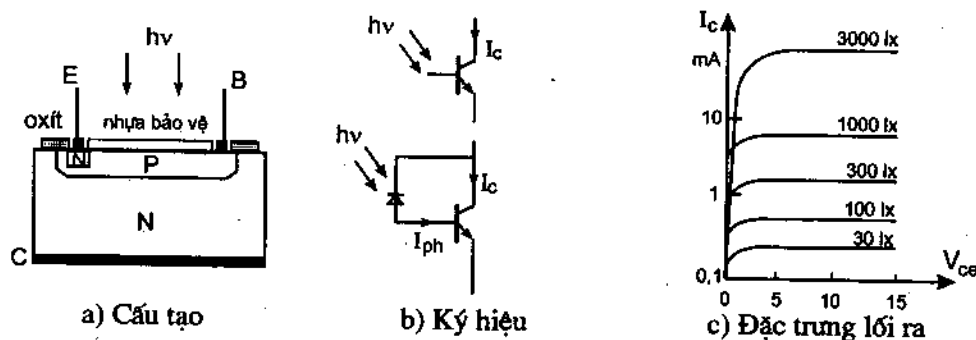
7.2.5. Phôtô tranzitô

Phôtô tranzitô là một tranzitô lưỡng cực có bazơ nhạy với các tia sáng. Nếu bazơ để nổi (nghĩa là không nối với bất kỳ chân nào), thì khi chưa chiếu sáng, trong tranzitô có dòng rò I_{CEO} chạy qua. Khi bazơ được chiếu sáng, dòng quang điện I_{ph} xuất hiện trong phôtô điốt tạo bởi chuyển tiếp colectơ bazơ và điều khiển hoạt động của tranzitô. Do vậy dòng colectơ đo được:

$$I_c = \beta I_{ph} + I_{CBO}$$

Dòng điện chiếu sáng của phôtô tranzitô chính là dòng quang điện của phôtô điốt colectơ bazơ nhân với hệ số khuếch đại của tranzitô. Chính vì vậy mà phôtô tranzitô có hệ số khuếch đại cao hơn phôtô điốt hàng trăm lần (từ 100 đến 400 lần), nhưng có nhược điểm là dòng tối lớn; ngoài ra, do độ dày của bazơ lớn, nên hằng số thời gian của các quang hạt tải cũng lớn; điều đó kéo theo tần số cắt của phôtô tranzitô nhỏ hơn nhiều so với của phôtô điốt.

Cấu tạo và tính chất của phôtô tranzitô được mô tả trên hình 7.12. Trong đó có họ đặc trưng lối ra thay đổi theo thông lượng chiếu sáng. Độ nhạy quang được quan sát là vào cỡ $\mu A/lux$, khi thông lượng chiếu sáng ở ngoài vùng 3000 lux, thì độ nhạy quang không còn thay đổi một cách tuyến tính nữa.



Hình 7.12. Cấu tạo và đặc trưng lối ra của phôtô tranzitô.

Để tăng tần số cắt, người ta nối bazơ với emitter; nhưng cách này lại làm giảm độ nhạy khoảng 60% khi điện trở $R_{BE} = 100 \text{ k}\Omega$.

Người ta còn thực hiện một vi mạch gồm hai tranzito để làm một linh kiện gọi là *phôtô Darlington* có độ nhạy quang khá cao ($300 \mu\text{A/lx}$). Tuy nhiên, do hiệu ứng phản hồi làm tăng điện dung bazơ collector nên làm giảm tần số cắt. Thời gian phản ứng điển hình cho phôtô điốt là $0,01 \mu\text{s}$; $5 \mu\text{s}$ cho phôtô tranzito và $50 \mu\text{s}$ cho phôtô Darlington.

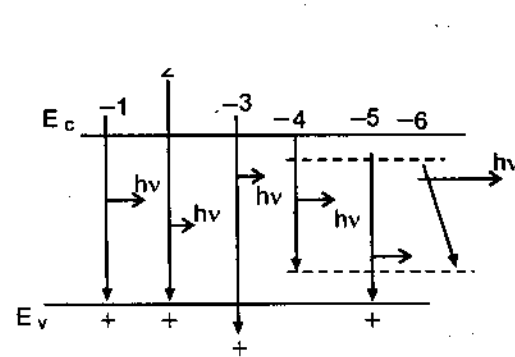
7.3. CÁC LOẠI LINH KIỆN PHÁT QUANG

7.3.1. Sự phát xạ ánh sáng trong bán dẫn

Sự chuyển dời của điện tử giữa vùng dẫn và vùng hóa trị với sự bảo toàn véc tơ sóng K , sẽ kèm theo bức xạ một photon. Đó là chuyển dời bức xạ; trong chuyển dời này, năng lượng của photon phát xạ bằng hiệu các mức năng lượng trước và sau khi chuyển dời:

$$h\nu = E_i - E_f$$

Hình 7.13 mô tả tất cả các quá trình chuyển dời khả dĩ có thể xảy ra trong một vật liệu bán dẫn:



R_1 : Quá trình tái hợp vùng với vùng giữa:

(1) Điện tử của vùng dẫn với lỗ trống của vùng hóa trị.

(2) Điện tử nóng và lỗ trống.

(3) Điện tử và một lỗ trống nóng.

R_2 : Quá trình tái hợp vùng với tâm tái hợp giữa:

(4) Điện tử của vùng dẫn với lỗ trống của tâm ac-cep-to.

(5) Điện tử của tâm đô-no với lỗ trống của vùng hóa trị.

R_3 : Quá trình tái hợp tâm với tâm giữa:

(6) Điện tử của tâm đô-no với lỗ trống của tâm ac-cep-to.

Hình 7.13. Các quá trình tái hợp bức xạ khả dĩ.

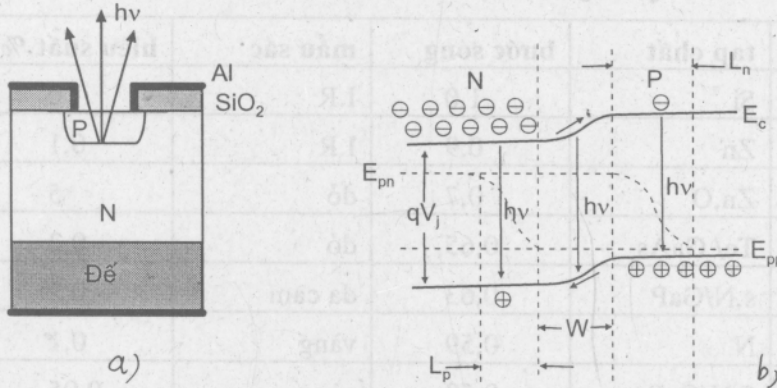
Bước sóng của ánh sáng phát xạ (μm) do bằng $1,24/E_g$ (eV) cho quá trình R_1 và bé hơn đối với các quá trình R_2 và R_3 . Những vật liệu bán dẫn hiện có cho phép phát các tia sáng có vùng phổ phủ toàn bộ vùng khả kiến.

7.3.2. Điốt huỳnh quang

Điốt huỳnh quang là một chuyển tiếp P-N phân cực thuận. Do vậy các điện tử cơ bản từ phía N được phun sang miền P qua vùng chuyển tiếp và tái hợp với lỗ trống; ngược lại, lỗ trống lại phun từ P sang N tái hợp với điện tử. Trong quá trình tái hợp, năng lượng được giải phóng dưới dạng tia bức xạ. Chính vì vậy điốt loại này được gọi là điốt phát quang LED (Light Emitting Diode). Hình 7.14 là sơ đồ cấu tạo và nguyên tắc hoạt động của LED.

Sự tái hợp được thực hiện trong cả ba vùng, nhưng do mức độ pha tạp và độ dày của ba vùng này khác nhau nên mức độ tái hợp cũng khác nhau. Vì điốt hoạt động theo phân cực thuận, nên miền chuyển tiếp P-N rất hẹp và có điện trường yếu, nên các hạt được gia tốc ra khỏi vùng này; do vậy các hạt tải bị tái hợp rất ít. Sự tái hợp chủ yếu xảy ra trong vùng P và N có chiều dày cỡ L_n và L_p , do vậy hiện tượng phát sáng chủ yếu xảy ra ở đây. Tuy nhiên, điện tử

nhỏ hơn lỗ trống ($\mu_n \gg \mu_p$), nên tỉ lệ dòng phun của nó vào vùng P lớn hơn của lỗ trống sang vùng N, từ đó suy ra rằng tỉ suất tái hợp điện tử - lỗ trống trong miền P lớn hơn trong miền N, có nghĩa là miền P sáng hơn miền N. Do đó bề mặt phát sáng phải lấy phần P của chuyển tiếp P-N. Ngoài ra, để tăng cường độ phát sáng, người ta pha tạp mạnh các vật liệu cấu tạo nên lớp chuyển tiếp; kéo theo độ rộng vùng cấm giảm về phía P nhiều hơn phía N, như vậy sẽ thúc đẩy sự phun điện tử.



Hình 7.14. Cấu tạo và sự tái hợp trong LED.
a) cấu tạo; b) sự phát xạ photon

Trong dòng phun này có 4 thành phần phân biệt:

* Dòng phun điện tử: $J_n = qn_i^2 \frac{D_n}{L_n N_a} \left(\exp\left(\frac{qV}{KT}\right) - 1 \right)$

* Dòng phun lỗ trống: $J_p = qn_i^2 \frac{D_p}{L_p N_d} \left(\exp\left(\frac{qV}{KT}\right) - 1 \right)$

* Dòng tái hợp trong vùng chuyển tiếp rộng w (có giá trị lớn khi có các tâm tái hợp trong vùng này):

$$J_R = qn_i \frac{w}{2\theta} \exp\left(\frac{qV}{KT}\right)$$

* Dòng tunnel xảy ra khi nồng độ tạp chất lớn và thể phân cực thuận nhỏ. Hiệu suất phun γ là tỉ số giữa dòng sinh ra tái hợp bức xạ trên toàn bộ dòng phun. Nếu chuyển tiếp được phân cực mạnh, thì dòng điện tử sẽ rất lớn, còn dòng tunnel có thể loại trừ. Khi đó, hiệu suất phun được tính bằng:

$$\gamma = \frac{1}{1 + \frac{J_p}{J_n}} = \frac{1}{1 + \frac{D_p L_n N_a}{D_n L_p N_d}}$$

Các đặc trưng quan trọng nhất của một diốt phát quang là:

* Phổ phát xạ

* Hiệu suất.

* Hiệu quả biến điệu và tần số cắt.

Bước sóng của tia sáng phát ra (màu của ánh sáng phát xạ): phụ thuộc vào độ rộng vùng cấm của bán dẫn loại P và nguyên tố tạp chất; vì các nguyên tố tạp chất tạo ra các mức tạp chất

ở trong vùng cấm, nên có thể có các chuyển dời bức xạ giữa các mức này như đã xét đến trong phần 3.1.

Trong vùng phổ khả kiến, các điốt phát quang được thực hiện từ hợp kim của 3 nguyên tố nhận được từ các bán dẫn III-V. Chẳng hạn như hợp chất $\text{GaAs}_x\text{P}_{1-x}$ pha tạp khác nhau cho các màu sắc như chỉ ra trong bảng sau đây:

vật liệu	tạp chất	bước sóng	màu sắc	hiệu suất %	t_R (ns)
GaAs	Si	1,0	I.R	10	10
GaAs	Zn	0,9	I.R	0,1	10
GaP	Zn,O	0,7	đỏ	5	100
$\text{GaAs}_{0,6}\text{P}_{0,4}$	Te/ GaAs	0,65	đỏ	0,2	10
$\text{GaAs}_{0,35}\text{P}_{0,65}$	s,N/GaP	0,63	da cam	0,2	10
GaP	N	0,59	vàng	0,1	100
$\text{GaAs}_{0,15}\text{P}_{0,85}$	S,N/GaP	0,59	vàng	0,05	
GaP	N	0,57	xanh lá	0,1	100

Hiệu suất tổng thể của một điốt phát quang: Là tỉ số của công suất ánh sáng phát ra với công suất điện đã hấp thụ. Nếu tất cả các photon phát xạ có cùng năng lượng $h\nu$, thì công suất phát sáng do N_{pho} photon gây ra trong 1 giây sẽ là $P_{op} = N_{pho}.h\nu$. Công suất điện đã tiêu thụ là: $P = V.I_d$ (V là thế tác dụng vào điốt, I_d là dòng thuận của điốt). Trên một đơn vị bề mặt, dòng I_d là lượng điện tích chạy qua vùng chuyển tiếp trong một giây; vì thế bằng: $P_j = N_j q V_j$. Từ đó tìm được hiệu suất phát sáng ra bên ngoài của điốt phát quang.

$$\eta = \frac{P_{op}}{VI_d} = \frac{N_{pho}h\nu}{N_j q V_j} = \frac{h\nu}{q V_j} \eta_o \eta_i$$

trong đó $\eta_o = N_{phe}/N_{phc}$ là tỉ số của số photon phát xạ với số photon đã được tạo ra; nó chính là *hiệu suất quang học* hay hiệu suất lượng tử ngoại. Còn $\eta_i = N_{phc}/N_j$ là tỉ số giữa số photon đã được tạo ra với số hạt tải chạy qua vùng chuyển tiếp; được gọi là *hiệu suất lượng tử nội*.

Nếu năng lượng của các photon phát gần bằng chiều cao vùng cấm và nếu tính đến điện trở nối tiếp của điốt r_s , thì biểu thức của hiệu suất phát sáng tổng thể của điốt phát quang sẽ là:

$$\eta = \frac{E_g}{q V_j + r_d I} \eta_o \eta_i$$

Các điốt quang điện hiện nay có hiệu suất phát sáng cỡ từ 2 đến 10%.

Thời gian trả lời và tần số cắt

Mục tiêu chính của các điốt quang điện là để điều chế các tia sóng bằng sự thay đổi dòng thuận của điốt. Do vậy để tăng tần số điều chế, cần phải tăng tần số cắt của điốt, thế nhưng tần số này lại bị hạn chế bởi điện dung của vùng chuyển tiếp P-N của điốt. Trong các điốt phát quang chỉ hoạt động theo phân cực thuận, nên chỉ có điện dung khuếch tán C_d là can thiệp vào việc hạn chế tần số. Do vậy, để tăng tần số cắt thì phải tìm cách giảm thời gian sống của các

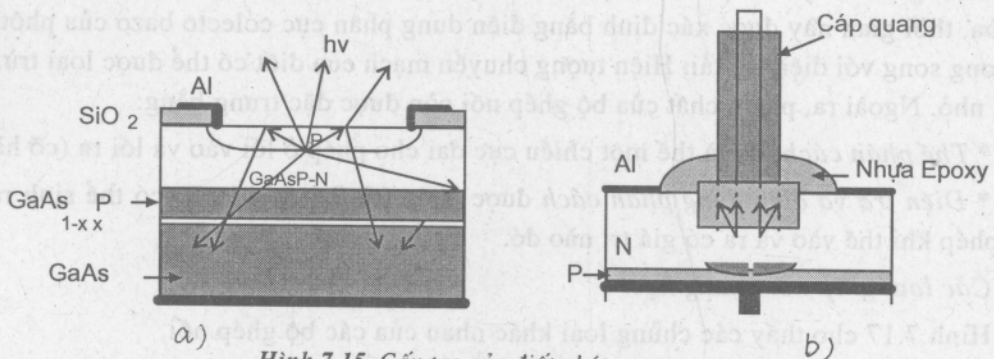
điện tử phát xạ trong miền P. Điều này được thực hiện nếu miền P được pha tạp mạnh P⁺. Với cách này, có thể thu được những diốt phát quang có tần số cắt từ vài MHz đến 100MHz.

Công nghệ chế tạo LED

Tùy thuộc sự sử dụng LED mà chọn công nghệ chế tạo. Hiện nay LED được sử dụng trong:

- * Nguồn phát xạ tia có mẫu xác định.
- * Viễn thông cáp quang: Bước sóng từ 1,3 đến 1,55μm tương ứng với dải trong suốt và sự tán xạ rất nhỏ của sợi quang.
- * Truyền tín hiệu biến đổi giữa hai mạch cách biệt nhau về phương diện điện. Để thực hiện mục đích này, người ta sản xuất các linh kiện ghép nối quang học. Các linh kiện này, trước hết dùng để truyền tín hiệu logic với vận tốc lớn; ngoài ra còn để đọc các thẻ đục lỗ.

Hai ví dụ dưới đây cho thấy cấu trúc cơ bản của các LED.

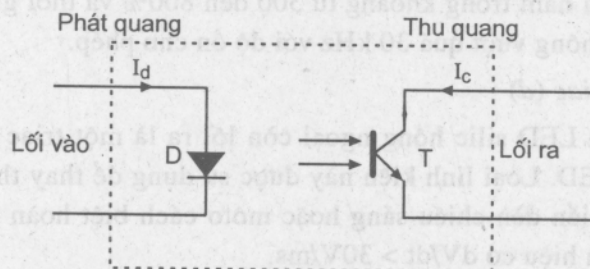


Hình 7.15. Cấu tạo của diốt phát quang :
a) Cấu tạo của diốt phát quang ; b) Diốt phát quang ghép nối với sợi quang.

7.3.3. Linh kiện ghép nối quang học

Các linh kiện ghép nối quang học (photocouplers) là các linh kiện liên kết hai mạch truyền tín hiệu dùng ánh sáng như một phương tiện truyền dẫn. Như vậy hai mạch điện này có lập với nhau về phương diện điện.

Trong linh kiện ghép nối này luôn luôn có cái phát quang và một cái thu quang. Tia phát bởi linh kiện phát được linh kiện thu bắt không có sự giao thoa của ánh sáng ký sinh. Cả hai linh kiện này được đặt đối diện nhau trong một hộp mờ: Linh kiện phát tia sáng là một LED hồng ngoại còn linh kiện thu quang thường là một phôtô tranzito.



Hình 7.16. Cấu tạo của bộ ghép nối quang học dùng phôtô tranzito.

Khi có dòng I_d chạy qua LED D, thì nó sẽ phát tia sáng có thông lượng tỉ lệ một cách tuyến tính với dòng này. Tia sáng lại điều khiển dòng I_c của phôtô tranzito; sao cho dòng này tỉ lệ tuyến tính với thông lượng chiếu sáng. Về tổng thể, linh kiện này hoạt động khi có dòng lối vào I_d thì sẽ sinh ra một dòng I_c ở lối ra tỉ lệ với nó và về phương diện điện thì độc lập hoàn toàn với nhau.

Bộ ghép nối quang học này có thể làm dưới dạng linh kiện rời hoặc vi mạch và có nhiều chủng loại khác nhau. Tuy nhiên, chúng đều có chung những đặc tính chung là làm sao tăng tỉ lệ truyền dòng (CTR: Current Transfer Ratio). Đó là tỉ số giữa dòng lối ra trên dòng lối vào I_c/I_d (tính theo %). Tỉ số này phụ thuộc vào công suất phát của phôtô điốt, vào chất lượng ghép nối, vào độ nhạy quang và vào hệ số khuếch đại dòng của tranzito. Nếu điốt phát sáng trong một thời gian dài, thì hệ số liên kết có thể bị giảm do công suất ánh sáng phát xạ bị suy giảm.

Thời gian chuyển mạch của bộ liên kết quang học cỡ micro giây. Nếu phôtô tranzito bị bão hòa, thời gian này được xác định bằng điện dung phân cực colecto bazơ của phôtô tranzito mắc song song với điện trở tải. Hiện tượng chuyển mạch của điốt có thể được loại trừ, nếu điện trở tải nhỏ. Ngoài ra, phẩm chất của bộ ghép nối còn được đặc trưng bằng:

* *Thế phân cách*: đó là thế một chiều cực đại cho phép ở lối vào và lối ra (cỡ hàng kV).

* *Điện trở và điện dung phân cách* được phép (từ 0,1 đến 1 pF) có thể sinh ra dòng rò được phép khi thế vào và ra có giá trị nào đó.

Các loại ghép nối quang học.

Hình 7.17 cho thấy các chủng loại khác nhau của các bộ ghép nối.

- *Bộ ghép nối quang học điốt - điốt (a)*: Dùng LED từ Ga Al As và một điốt nhạy quang PIN. Loại này có thời gian chuyển mạch hàng chục ns, sự truyền dẫn có độ tuyến tính cao trên 4 đến 6 decade, nhưng tỉ số chuyển đổi lại thấp chỉ từ 1 đến 10%. Chúng hoạt động rất nhanh, truyền dẫn trên một dải rộng với tạp âm nhỏ.

- *Bộ ghép nối quang học điốt tranzito (b)*: Loại này chiếm từ 80 đến 85% số lượng sản xuất, chủng loại cũng rất nhiều. Trong loại này LED từ silíc phát xạ hồng ngoại và có hiệu suất rất cao. Tranzito planar có hệ số khuếch đại cao, vì vậy linh kiện loại này có tỉ số chuyển đổi nằm giữa 50% và 300% với tạp âm hoàn toàn chấp nhận được. Ngược lại, độ nhanh nằm xung quanh 10 μ s, vì vậy dải truyền bị thu hẹp nhiều.

- *Bộ ghép nối quang học điốt phôtô darlington (c)*

Lối vào là LED, lối ra là phôtô tranzito mắc theo kiểu darlington để tăng hệ số khuếch đại dòng. Tỉ số chuyển đổi nằm trong khoảng từ 300 đến 800% và thời gian chuyển mạch vào khoảng 50 μ s; Dải thông không vượt quá 30 kHz với độ ồn cho phép.

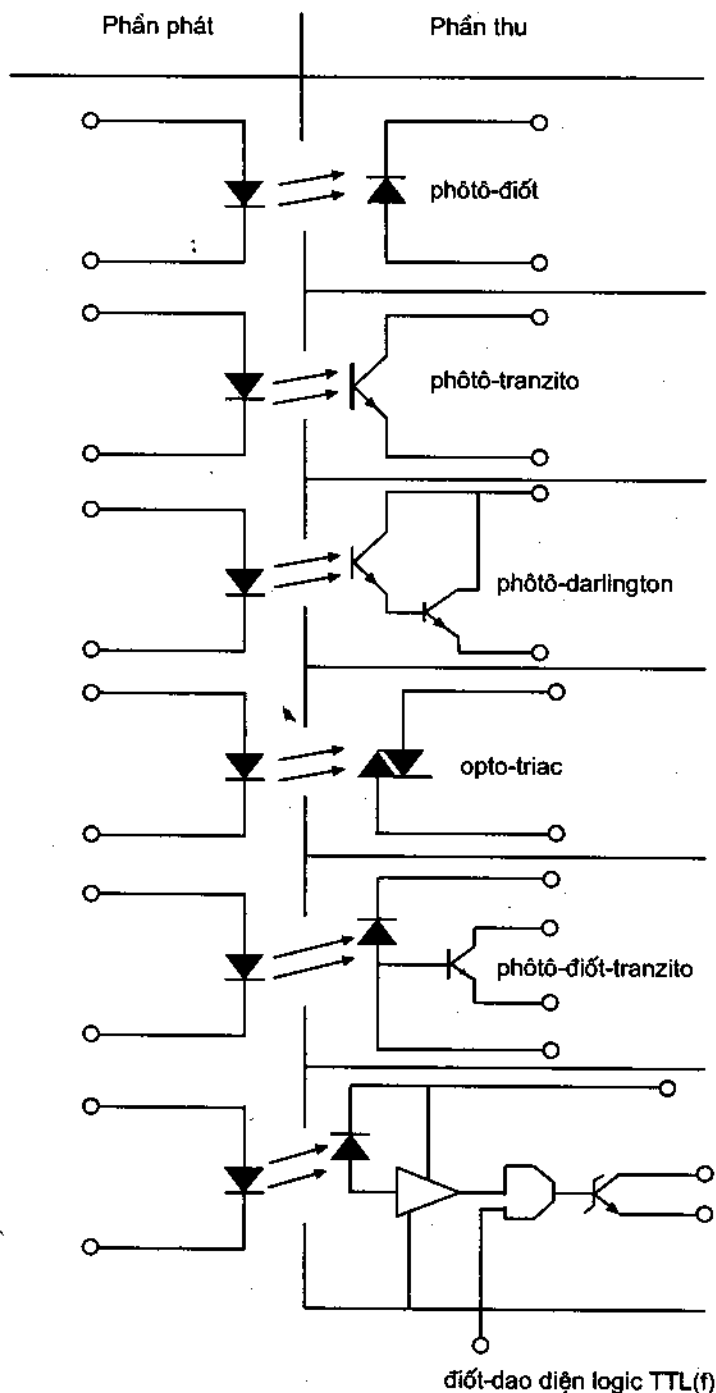
Bộ ghép nối điốt - triac (d)

Lối vào luôn là một LED silíc hồng ngoại còn lối ra là một triac khởi phát nhờ thông lượng photon phát ra từ LED. Loại linh kiện này được sử dụng để thay thế cho một rơ le tĩnh; chẳng hạn như để điều khiển đèn chiếu sáng hoặc một cách biệt hoàn toàn với nguồn điện. Linh kiện khởi phát khi tín hiệu có $dV/dt > 30V/ms$.

Bộ ghép nối điốt - điốt tranzito (e)

Loại này giành cho các ứng dụng cao tần đến tận dải MHz.

LED có cấu tạo từ GaAlAs nên hoạt động rất nhanh và hiệu suất cao. Lõi ra là một photodiode PIN và tiếp theo là một tranzito cao tần. Tỉ suất chuyển đổi hơn 30%.



Hình 7.17. Các chủng loại ghép nối quang học.

Bộ ghép nối diốt - dao điện diốt logic tương thích LSITTL/TTL (f)

Linh kiện này được thực hiện theo công nghệ nhanh có thời gian truyền rất nhanh khoảng 40/45 ns với tỉ lệ chuyển đổi ít nhất là 600%. Linh kiện này được sản xuất để sử dụng trong các mạch số có tốc độ hoạt động nhanh.

7.4. ĐIỐT LASER

7.4.1. Điều kiện cho bức xạ Laser

Như trên đã biết, để một vật liệu bán dẫn có thể phát tia sáng kết hợp (tia sáng laser) thì cần phải cho điện tử chuyển dời từ một trạng thái bị chiếm trong vùng dẫn xuống một trạng thái trống trong vùng hóa trị. Sự chuyển dời này kèm theo sự bức xạ một photon. Sự bức xạ này có thể được thực hiện bởi:

- * Chính điện tử; đó chính là bức xạ tự động.
- * Do một photon có cùng năng lượng gây ra; đó là bức xạ kích thích.

Trong cả hai trường hợp photon phát xạ không những có cùng năng lượng mà còn có cùng véc tơ sóng và cùng pha như photon kích thích. Như vậy tia sáng phát ra là tia sáng kết hợp có độ tán xạ không gian rất nhỏ.

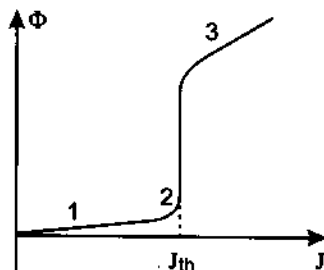
Nhưng để điện tử ở trong các trạng thái bị chiếm của vùng dẫn thì cần phải cung cấp năng lượng cho nó; tức là phải:

- * Thực hiện sự đảo mức.
- * Làm cho vật liệu có sự tái hợp bức xạ trực tiếp các hạt tải dư.
- * Thực hiện một vùng hoạt động mà tại đó sự tái hợp bức xạ có tính chất quang học của một hốc cộng hưởng laser (kích thước khoảng $100 \times 10 \times 0,2 \mu\text{m}$).
- * Phun vào hốc cộng hưởng một lượng lớn các hạt tải dư; tức là tăng mật độ dòng trong vùng này (từ 10^3 đến 10^4 A/cm^2); tức là phải tạo ra dòng điện hàng chục miliampe chạy qua điốt.

7.4.2. Ngưỡng kích thích

Sự phát xạ tia sáng phụ thuộc sự kích thích vùng chuyển tiếp, có nghĩa là phụ thuộc vào dòng kích thích cường độ sáng tổng cộng (gồm bức xạ kích thích và bức xạ tự động). Hình 7.18 cho thấy sự thay đổi thông lượng sáng theo mật độ dòng kích thích.

Khi dòng kích thích còn nhỏ, sự đảo mức chưa được thực hiện; do vậy chỉ bức xạ tự động xuất hiện.



Hình 7.18. Ngưỡng kích thích:

- 1- Bức xạ tự động;
- 2- Bức xạ kích thích;
- 3- Dao động duy trì.

Khi mật độ dòng đạt giá trị ngưỡng J_{th} , thì bức xạ laser khởi phát. Thời gian sống của các hạt tải trở nên rất nhỏ, toàn bộ dòng điện bị dồn vào miền mà ở đó bức xạ kích thích được sản sinh. Miền đó gọi là miền hoạt động. Với một miền hoạt động có chiều dày d đồng nhất chất đầy hốc cộng hưởng quang học, người ta tìm thấy:

$$J_{th} \cong K \frac{qd}{\theta_{ph}\theta_{nR}}$$

θ_{ph} : thời gian sống của các photon trong hốc cộng hưởng quang học;

θ_{nR} : thời gian sống của điện tử trong chế độ bức xạ tự động;

K : hệ số tỉ lệ.

Như vậy, dòng ngưỡng tỉ lệ nghịch với thời gian sống của các hạt tải và của photon trong hốc cộng hưởng laser.

Nếu dòng kích thích lớn hơn dòng ngưỡng, thì cường độ của tia sáng phát xạ tỉ lệ với số dư của dòng so với giá trị ngưỡng (đoạn 3 trên đường cong kích thích).

Trên thực tế, chế độ đơn một thu được khi dòng kích thích ở lân cận vùng ngưỡng. Khi dòng kích thích lớn hơn nhiều so với dòng ngưỡng, thì diốt chuyển nhanh sang chế độ đa một, lúc này vùng hoạt động không còn đồng nhất nữa.

Thời gian trả lời và tần số cắt

Vì tia sáng phát xạ tỉ lệ với dòng phun trong vùng chuyển tiếp một dải giá trị tương đối lớn, nên diốt laser rất được ưa dùng để điều chế các tín hiệu tương tự. Tần số cắt được xác định bởi thời gian sống của các hạt tải không cơ bản phun vào vùng hoạt động của vùng chuyển tiếp. Trong một diốt laser, sự bức xạ kích thích làm giảm đáng kể thời gian sống của các hạt tải này, do vậy tần số cắt của sự điều chế có thể sẽ rất cao, cao hơn nhiều tần số cắt của diốt LED (có thể đạt đến vài GHz).

Khi ta tác dụng một xung dòng có biên độ đủ lớn để gây ra sự mỗi bức xạ kích thích, thì có một thời hạn cỡ 10^{-9} giây để chùm sáng laser xuất hiện. Thời hạn đó cũng liên hệ mật thiết với thời gian sống phát xạ của các hạt tải không cơ bản τ_r và mật độ dòng J trong diốt bằng hệ thức:

$$t_d = \tau_r \log \left(\frac{J}{J + J_{th}} \right).$$

trong đó : J_{th} là mật độ dòng ngưỡng.

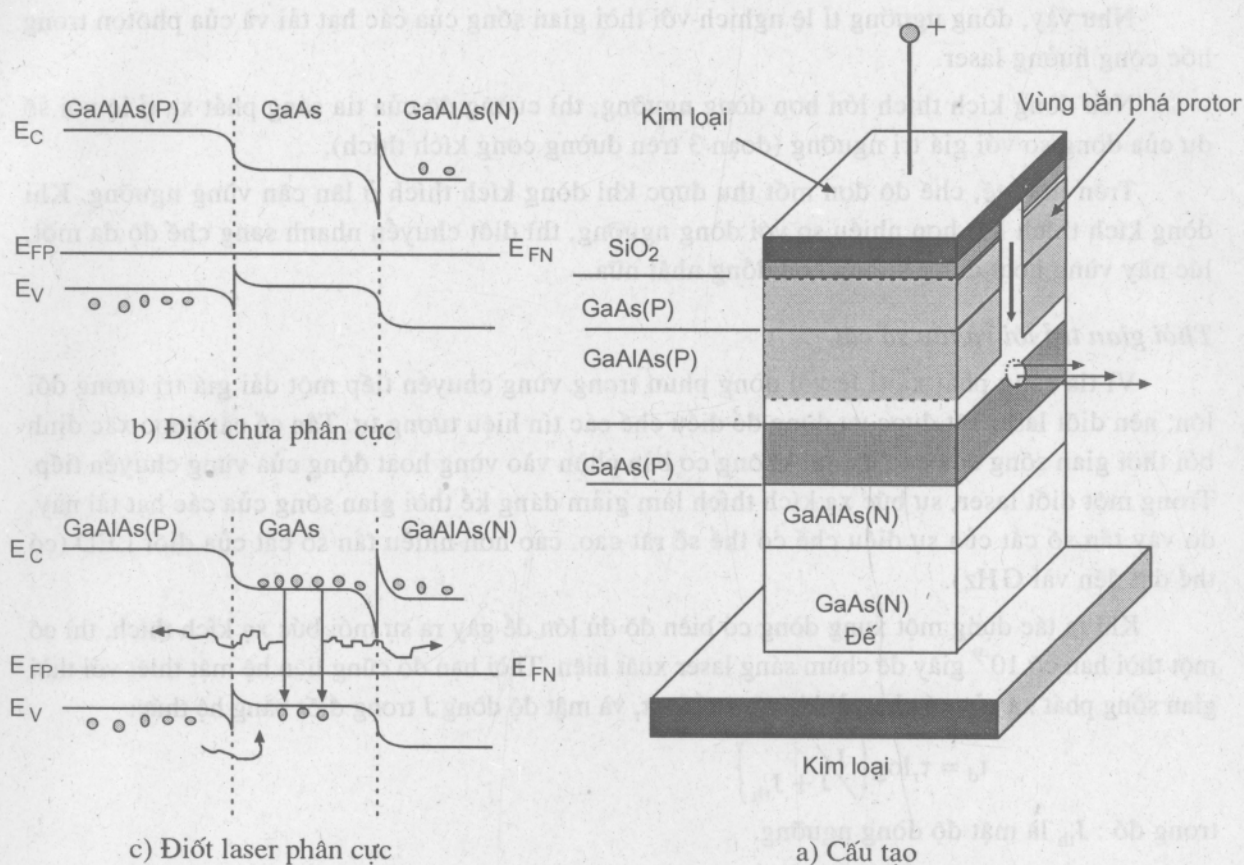
Công nghệ chế tạo diốt laser DH

Cấu trúc cơ bản của một diốt laser cho trên hình 7.19a. Để giảm cường độ dòng ngưỡng, người ta tập trung dòng trong một thiết diện rất hẹp, còn photon được tập trung trong một thể tích rất nhỏ. Để thực hiện mục tiêu này, có rất nhiều cấu trúc đã được thực thi; ở đây ta chỉ mô tả công nghệ chế tạo diốt laser có chuyển tiếp dị tính thể kép (DH).

Trên một đế bán dẫn loại N pha tạp mạnh (để giảm điện trở nối tiếp), người ta chồng các lớp bán dẫn khác nhau, mỗi lớp có vai trò riêng. Hai lớp giam các tia sáng quang học là $Ga_xAl_{1-x}As$ loại N và P làm một khung chắn giữ cho vùng hoạt động: lớp bán dẫn GaAs loại P có độ dày khoảng từ 0,1 đến 0,3 μm .

Điện tử bị giam trong vùng hoạt động nhờ sự khác nhau của chiều cao độ rộng vùng cấm giữa hai bán dẫn $Ga_xAl_{1-x}As$ ($x = 0,7$; $E_g \approx 1,9 eV$) và GaAs (1,4 eV). Hai lớp $Ga_xAl_{1-x}As$ tạo nên các hàng rào thế ngăn cản lỗ trống và điện tử khuếch tán ra ngoài vùng GaAs. Vì vậy sự tái hợp phát xạ xảy ra hoàn toàn trong lớp GaAs loại P này.

Photon xuất hiện do quá trình tái hợp gây ra cũng bị giam trong lớp hoạt động, vì chiết quang của lớp $Ga_xAl_{1-x}As$ nhỏ hơn của GaAs. Sự khác nhau về chiết quang liên hệ với x bằng hệ thức $\Delta n = 0,62x$. Từ đó suy ra rằng photon bị giam trong một môi trường chiết quang mạnh hơn, như trong sợi quang học.



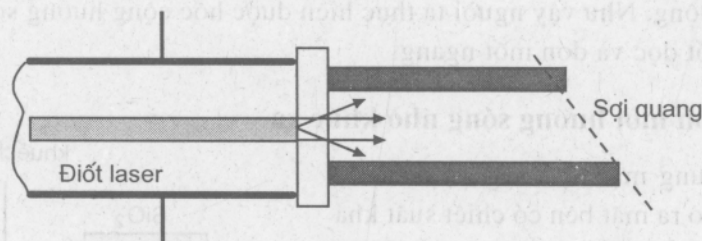
Hình 7.19. Cấu trúc và giản đồ năng lượng của diốt laser DH.

Người ta còn giảm dòng ngưỡng nhờ việc tăng điện trở của một phần thiết diện dẫn của vùng chuyển tiếp. Điều này được thực hiện bằng cách bắn phá proton một phần mạng tinh thể, nhờ vậy làm giảm độ linh động tức là làm giảm độ dẫn điện của vùng hoạt động, trong khi đó thì vùng được bảo vệ khỏi bị bắn phá vẫn giữ nguyên độ dẫn điện tốt.

Hệ thống vừa mô tả ở trên có thể phát tia sáng laser với bước sóng 0,9 μm .

Các diốt laser dùng trong thông tin sợi quang có bước sóng nằm trong khoảng từ 1,1 đến 1,6 μm thường được cấu tạo từ hợp chất 4 nguyên tố: $\text{Ga}_x\text{In}_{1-x}\text{P}_y\text{As}_{1-y}$ / InP bằng cách thay đổi các thông số x và y có thể thực hiện sự phù hợp về mạng một cách hoàn hảo trên một đế InP, nhờ vậy có thể thực hiện chuyển tiếp dị tinh thể hoàn toàn không có những ràng buộc cơ chế phát sinh sự tái hợp không phát xạ.

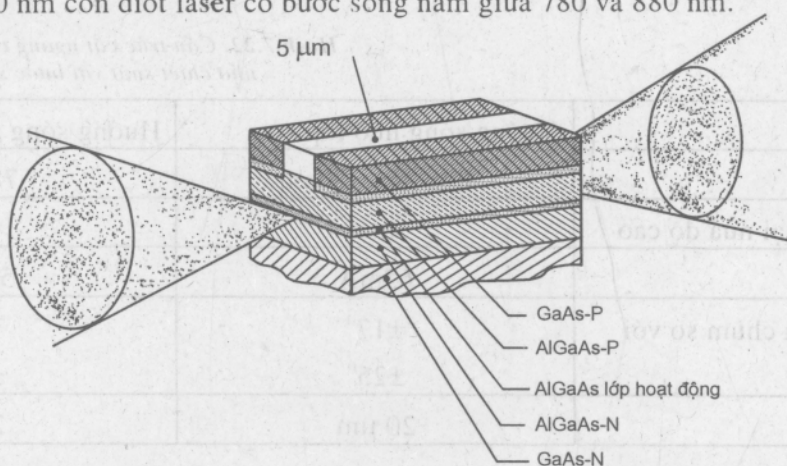
Một máy phát liên lạc viễn thông bằng laser với sợi quang, thì ánh sáng phát ra phải có bước sóng được tập trung trên một cửa sổ trong suốt và có độ tán sắc nhỏ, mặt khác phải có độ liên kết tốt giữa máy phát với sợi quang (thường là có đường kính từ vài micro mét đến vài trăm μm). Nguyên tắc ghép nối diốt laser với sợi quang cho trên hình dưới đây:



Hình 7.20. Ghép nối điốt laser với sợi quang.

7.5. MÁY PHÁT LASER CHO CỬA SỐ THỨ NHẤT (TỪ 0,8 μm ĐẾN 0,9 μm)

Trong dải sóng này, các sợi quang làm bằng SiO_2 có độ suy giảm từ 2 đến 4dB/km. Các linh kiện phát sáng bằng GaAlAs có hiệu suất lượng tử khá cao: LED có bước sóng nằm trong khoảng 620 và 880 nm còn điốt laser có bước sóng nằm giữa 780 và 880 nm.



Hình 7.21. Cấu tạo của laser đa mức trong các bước sóng từ 820 đến 880nm.

7.5.1. Laser đa mức hướng sóng nhờ lớp vỏ

Laser này được cấu tạo từ một đế GaAs có độ sai hỏng mạng rất thấp ($< 10/\text{cm}^2$). Trên đế này, người ta tạo các lớp epitaxie từ GaAlAs mà nồng độ của Al xác định các dải năng lượng và các chỉ số phản xạ. Hình 7.21 mô tả cấu tạo của một laser đa mức hướng sóng nhờ lớp vỏ. Sự tập trung của mật độ dòng điện trong dải 5 μm cho phép xác định hốc cộng hưởng laser được thực hiện bằng cách bắn phá proton các lớp phía bên trên cho đến tận đầu mút của lớp hoạt động. Như vậy, các mặt đã được xử lý để trở thành bán cách điện và chỉ để trừ một dải rộng 5 μm suốt dọc theo toàn bộ chiều dài của tinh thể.

Sự chế tạo các mặt tinh thể cho phép sự phản xạ của các photon ở giữa lớp hoạt động. Tỷ lệ phản xạ khoảng 30% dùng để kích thích các hạt tải và như vậy sẽ sản sinh ra sự tái hợp bức xạ đồng bộ.

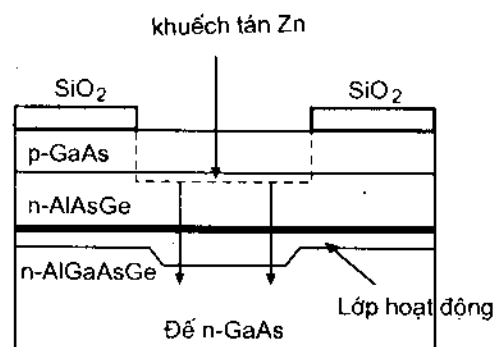
Tuy nhiên, sự khuếch đại ánh sáng do bức xạ kích thích này chỉ được thực hiện khi giá trị của mật độ dòng điện vượt quá một giá trị ngưỡng nào đó. Dưới giá trị ngưỡng này, tinh thể hoạt động như một LED thông thường.

Chỉ số phản xạ của lớp 1 và 3 nhỏ hơn chỉ số phản xạ của lớp 2, nên ánh sáng bị giam

trong lớp hoạt động. Như vậy người ta thực hiện được hốc cộng hưởng song song và sẽ thu được một laser đa một dọc và đơn một ngang.

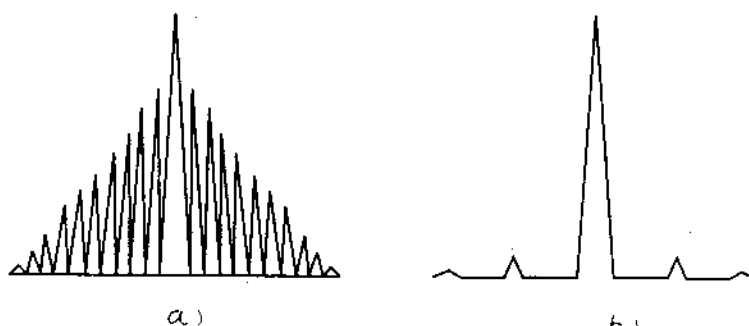
7.5.2. Laser đơn một hướng sóng nhờ khúc xạ

Để tập trung mật độ dòng được nhiều hơn, người ta tạo ra mặt bên có chiết suất khá cao. Nhờ có cấu trúc này cho phép giam giữ ánh sáng cả theo hướng dọc lẫn hướng ngang. Hình 7.22 mô tả cấu trúc của một laser đơn một dọc và ngang hướng sóng nhờ chiết suất, còn hình 7.23 là phổ phát xạ của các laser đa một và đơn một. Các đặc trưng của hai loại laser này cho trong bảng sau đây:



Hình 7.22. Cấu trúc cắt ngang của laser hướng sóng nhờ chiết suất với bước sóng 780 nm.

	Hướng sóng nhờ lớp vỏ	Hướng sóng nhờ chiết suất
Bước sóng	820 đến 880nm	780nm
Độ rộng phổ tại nửa độ cao	4nm	1nm
Dòng ngưỡng	65mA	50mA
Đặc trưng của chùm so với laser tinh thể	$\pm 17''$ $\pm 25''$	$\pm 6''$ $\pm 17''$
Độ loạn thị	20 μm	2 μm



Hình 7.23. Phổ phát xạ của các laser 0,8 μm .
a) Đa một; b) Đơn một

7.6. MÁY PHÁT LASER CHO CÁC CỬA SỐ THỨ 2 VÀ 3 VỚI BƯỚC SÓNG 1,3 VÀ 1,5 μm

Các sợi quang SiO_2 có độ tinh khiết lớn, suy hao do mất mát trong gam bước sóng 1,3 μm nhỏ hơn rất nhiều trong miền cửa sổ xung quanh 0,8 μm . Vì vậy, các máy phát laser cho các miền cửa sổ thứ 2 và thứ 3 rất thích hợp với các loại sợi quang này. Một ưu việt khác nữa của miền sóng này là sự tán sắc do sự phụ thuộc bước sóng của chiết suất (tán sắc do vật liệu)

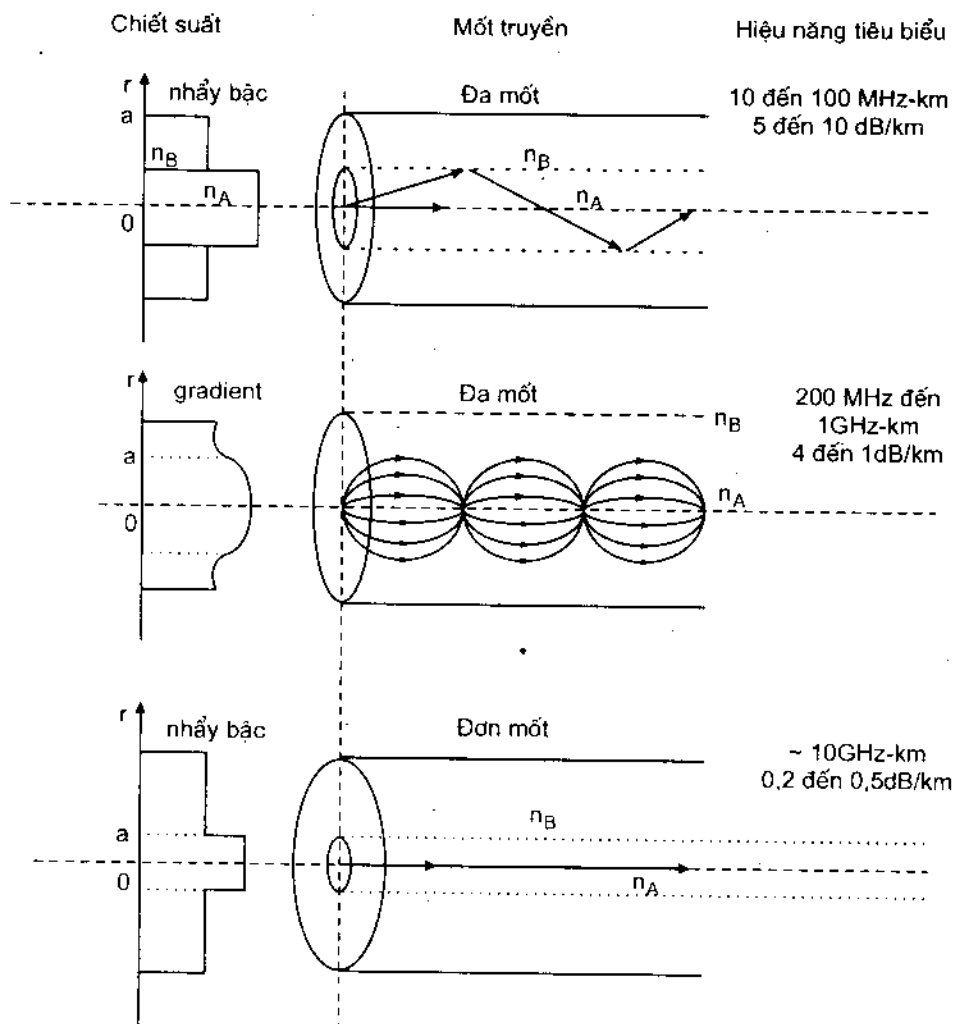
cũng rất nhỏ. Người ta thấy rằng, trong các sợi quang có tâm là SiO_2 sự tán sắc của vật liệu là bằng không khi ánh sáng truyền ở bước sóng $1,27 \mu\text{m}$. Chính vì vậy mà phần lớn các công trình nghiên cứu các linh kiện có bước sóng lớn trước tiên là để cập đến bước sóng $1,27 \mu\text{m}$ này, đặc biệt là trong lĩnh vực viễn thông khoảng cách lớn là lưu lượng cao.

Gần đây, nhờ chế tạo các sợi quang có độ sạch cực cao và chất lượng lớn, nên mất mát do độ suy giảm vì bước sóng lớn cũng được giảm bớt rất nhiều. Nhờ sự loại bỏ các gốc tự do OH trong quá trình sản xuất, các sợi quang dùng cho bước sóng $1,27 \mu\text{m}$ có độ mất mát chỉ khoảng $0,6 \text{ dB/km}$ và $0,2 \text{ dB/km}$ đối với bước sóng $1,55 \mu\text{m}$.

7.7. SỢI QUANG VÀ NGUYÊN TẮC TRUYỀN ÁNH SÁNG TRONG SỢI QUANG

7.7.1. Nguyên tắc truyền sáng trong một sợi quang

Sợi quang là một phương tiện truyền dẫn. Nó được cấu tạo bởi môi trường thứ nhất kích thước rất nhỏ và có chỉ số khúc xạ n_A được gọi là tâm quang. Bao xung quanh tâm quang là một lớp vỏ hay còn gọi là "áo" của sợi quang có chỉ số khúc xạ n_B .



Hình 7.24. Ba loại sợi quang nền biến.

Trong sợi quang, các tia sáng được truyền theo các góc hoặc theo các mốt khác nhau. Có hai loại sợi quang chính là sợi quang đa mốt và sợi quang đơn mốt.

Trong các sợi quang đơn mốt, thì đường kính của tâm và độ mở số đủ nhỏ để chỉ cho phép truyền một mốt.

Trong sợi quang đa mốt, người ta phân biệt hai loại: loại có chiết suất thay đổi đột ngột và loại có chiết suất thay đổi theo kiểu gradient.

Các sợi quang có chiết suất thay đổi nhảy bậc có tâm được tạo thành từ các vật liệu đồng nhất về phương diện quang học, nhưng ở mặt phân cách giữa tâm và vỏ thì chiết suất thay đổi nhảy bậc từ n_A đến n_B .

Các sợi quang với chiết suất gradient có tâm được tạo thành các vật liệu không đồng nhất và có chiết suất giảm dần cách đều đặn từ trục của sợi quang đến mặt phân cách sao cho tại đây chiết suất vẫn còn lớn hơn chiết suất của lớp vỏ.

Hình 7.24 cho thấy ba loại sợi quang chủ yếu.

Mất mát truyền dẫn trong sợi quang phụ thuộc vào bước sóng của ánh sáng. Sự mất mát này có ba miền đặc trưng có mất mát rất bé và được biểu diễn trên hình 7.25. Mỗi miền đó được gọi là một "cửa sổ". Như vậy ta có ba cửa sổ khác nhau về phương diện truyền ánh sáng trong sợi quang: Cửa sổ thứ nhất như chúng ta đã nói có bước sóng xung quanh $0,86 \mu\text{m}$; cửa sổ thứ hai ở $1,3 \mu\text{m}$; còn cửa sổ thứ ba ở tại $1,55 \mu\text{m}$. Các "pic" trên hình vẽ là do sự hấp thụ của tạp chất có trong sợi quang.

7.7.2. Góc mở số và công suất phun

Các tia sáng ở giữa sợi quang đa mốt được truyền đi nhờ sự phản xạ ở mặt phân cách giữa tâm với vỏ. Chỉ các tia sáng có góc tới có thể so sánh được với góc tới hạn θ_{CR} là được phản xạ toàn phần (hình 7.26). Góc tới hạn được xác định từ hệ thức sau đây:

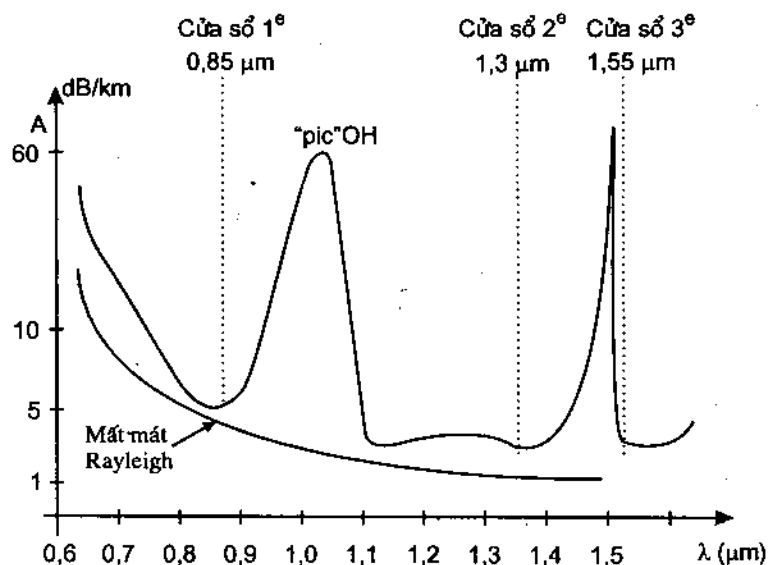
$$\theta_{CR} = \arcsin \sqrt{\frac{2n_A^2 - n_B^2}{2n_A^2}}$$

Hệ thức giữa góc tới của các tia tới xuyên vào tâm của sợi quang và góc tới hạn θ_{CR} là:

$$\sin \theta = n_A \sin \theta_{CR}$$

góc đặc thu nhận ánh sáng $= 2\theta_{max}$.

Độ mở số ON của một sợi quang là sin của góc mở cực đại θ_{max} mà đối với góc này thì tất cả các tia sáng sẽ được phản xạ ở mặt phân cách giữa tâm và vỏ:



Hình 7.25. Sự thay đổi của sự suy giảm theo bước sóng trong sợi quang.

Với định nghĩa như vậy ta có thể tính được độ mở số:

$$ON = \sin \theta_{\max}$$

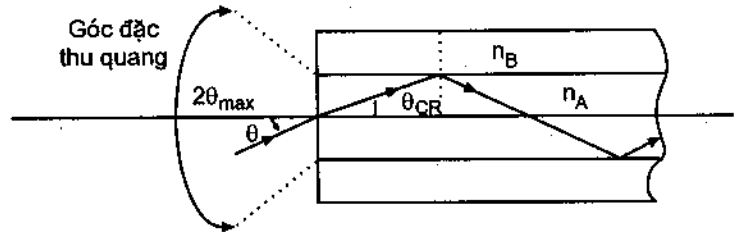
$$ON = n \theta \sin \theta_{CR}$$

$$ON = \sqrt{n_A + n_B} \sqrt{n_A - n_B}$$

Công suất phun trong sợi quang, bắt đầu từ nguồn phát phụ thuộc vào bề mặt phát xạ của nó:

* Nếu mặt phát xạ nhỏ hơn hoặc bằng mặt cắt ngang của tâm và tiếp xúc tốt với nó, thì công suất liên kết Φ_C trong sợi quang với chiết suất nhảy bậc sẽ được tính như sau:

$$\Phi_C = \left(\frac{\pi^2}{4} \right) D_c^2 R_o ON^2$$



Hình 7.26. Định nghĩa góc tới hạn θ_{CR} .

trong đó: D_c là đường kính của mặt phát xạ;

R_o là năng lượng chiếu sáng trong trục. Nếu đường kính của tâm D_c nhỏ hơn D_e thì ta có:

$$\Phi_C = \left(\frac{\pi^2}{4} \right) D_c^2 R_o ON^2$$

7.7.3. Các đặc trưng của sợi quang

Sợi quang đa mốt với chiết suất nhảy bậc

- Đường kính của tâm: 100 đến 200 μm .
- Lớp vỏ: đến 600 μm .
- Kích thước chuẩn: $100 \times 140 \mu\text{m}$.
- Số mốt liên tiếp được truyền trong sợi quang rất lớn. Sự tán sắc này hạn chế băng truyền trong khoảng giữa 10 và 100 MHz.km với độ mất mát từ 5 đến 10 dB/km.
- Độ mở số: 0,16 đến 0,20.

Sợi quang đa mốt với chiết suất thay đổi gradient

- Đường kính của tâm: 50 μm ; vỏ: 125 μm .
- Các tia sáng chiếu xiên được truyền đi nhanh hơn là các tia sáng ở gần tâm khi đường truyền càng dài. Như vậy độ tán sắc có thể được giảm bớt giữa các mốt. Giải thông có thể đạt đến khoảng từ 200MHz đến 1 GHz với độ mất mát từ 1 đến 4 dB/km.
- Độ mở số: 0,25.

Sợi quang đơn mốt

- Đường kính của tâm từ 5 đến 8 μm ; lớp vỏ: 125 μm .
- Độ mở số được thu nhỏ (0,03) vì chỉ có một mốt là được truyền trong sợi quang. Vì vậy sợi quang này không có độ tán sắc về mốt. Dải thông lớn nhất, có thể lớn hơn 10 GHz.km với độ mất mát từ 0,2 đến 0,5 dB/km.

Các cửa sổ đã được sử dụng

Các sợi quang đa mốt chủ yếu được sử dụng để truyền ánh sáng trong cửa sổ thứ nhất; còn các sợi quang đơn mốt được dùng để truyền các loại sóng ánh sáng trong các cửa sổ thứ hai và thứ ba.

Phần 2

CÁC LOẠI VI MẠCH (IC)

Chương 8

CÁC KHÁI NIỆM VÀ SỰ PHÁT TRIỂN

8.1. CÁC NGUYÊN TẮC CƠ BẢN ĐỂ XÂY DỰNG MỘT VI MẠCH

Một vi mạch không chỉ là sự tổ hợp trực tiếp các linh kiện rời rạc mà phải tuân theo một số các nguyên tắc sau đây:

- * Chứa đựng toàn bộ sơ đồ như một mạch điện hoàn chỉnh để sao cho cần ít nhất các linh kiện rời rạc bên ngoài. Vi mạch sẽ không còn ý nghĩa nếu các linh kiện mắc thêm bên ngoài có thể tích lớn hơn thể tích của vi mạch. Nhờ sự tiến bộ của công nghệ tích hợp mà đến nay không còn các loại vi mạch phải dùng đến các linh kiện rời để thực hiện các chức năng điện tử của nó nữa, mà có thể thực hiện một hay nhiều chức năng.

- * Chọn loại linh kiện để sao cho nó chiếm ít diện tích nhất ở trong mỗi "chip". Điều này được thực hiện bằng cách giảm tối thiểu các linh kiện thụ động như điện trở và tụ điện vì các linh kiện loại này chiếm diện tích bề mặt rất lớn so với các linh kiện tích cực. Do vậy, để tăng mức độ tích hợp cần thay thế các linh kiện thụ động bằng các linh kiện tích cực.

- * Sử dụng các tầng khuếch đại vi phân để giảm tiêu tán nhiệt độ ở trong mạch. Hơn nữa, các bộ khuếch đại vi phân rất dễ được thực hiện về phương diện công nghệ và thể tích của chúng cũng được rút bớt đáng kể.

- * Sử dụng tối đa các tải tích cực trên các colectơ, có nghĩa là các nguồn dòng có trở kháng cao.

- * Tính đến các hạn chế của các yếu tố tích cực: Nên sử dụng các tranzito n-p-n vì hiệu năng của nó tốt hơn của loại p-n-p.

Chú ý đến các đặc trưng của các điện trở khuếch tán: giới hạn về giá trị, độ sai số, thể tích được và độ ổn định của chúng. Các điện trở có độ chính xác cao không thể chế tạo bằng vi mạch được mà phải mắc ở bên ngoài vi mạch; trong trường hợp này phải để chân ra cho nó.

- * Tính đến các điện ký sinh phân cực ngược trong mạch: các ngăn giữa chất cách điện - đế, giữa colectơ - đế, điện trở - ngăn cách cũng như các tụ điện MOS với các dây nối bằng nhôm trên SiO_2 (80pF/mm^2).

- * Hạn chế bớt các chân ra để không cần thiết phải dùng các vỏ có kích thước lớn. Tuy nhiên với độ phức tạp các hệ thống vi mạch có thể có các vi mạch có 300 chân ra.

- * Chú ý đến công suất cực đại được phép tiêu tán của vi mạch để dùng hoặc không dùng các vỏ có cánh tỏa nhiệt.

* Chọn công nghệ thích hợp cho tất cả các linh kiện của mạch. Thực vậy, sẽ có nhiều khó khăn nếu thực hiện nhiều công nghệ khác nhau trên cùng một vi mạch. Tuy nhiên, công nghệ Bi-CMOS cũng là công nghệ hoàn chỉnh ứng dụng các ưu điểm của mỗi loại.

Ưu điểm của các loại vi mạch

So với các linh kiện rời, vi mạch có rất nhiều ưu điểm. Đó là:

- * Giá thành rất rẻ do sản xuất hàng loạt.
- * Sự tiến bộ của công nghệ vi mạch cho phép rút gọn số lượng các vi mạch cho cùng một chức năng.
- * Độ tin cậy tốt: Tỷ lệ hư hỏng dưới $0,15/10^6$ giờ/mạch.
- * Tiêu thụ năng lượng càng ngày càng được giảm bớt.
- * Thỏa mãn độ ổn định ở nhiệt độ cao.

Tuy nhiên vi mạch cũng có nhược điểm là:

- * Trang thiết bị cho nghiên cứu và sản xuất các vi mạch mới rất cao.
- * Công suất tiêu tán của mỗi mạch bị hạn chế.
- * Cuộn cảm kháng không thể sản xuất trong vi mạch được.
- * Người sử dụng không thể biến đổi vi mạch được.

Mặc dù có những nhược điểm, nhưng các loại vi mạch được sản xuất ngày càng nhiều, nhất là trong lĩnh vực vi xử lý bởi vì trong lĩnh vực này tín hiệu có công suất nhỏ và chỉ yêu cầu chức năng xử lý cao và phức tạp.

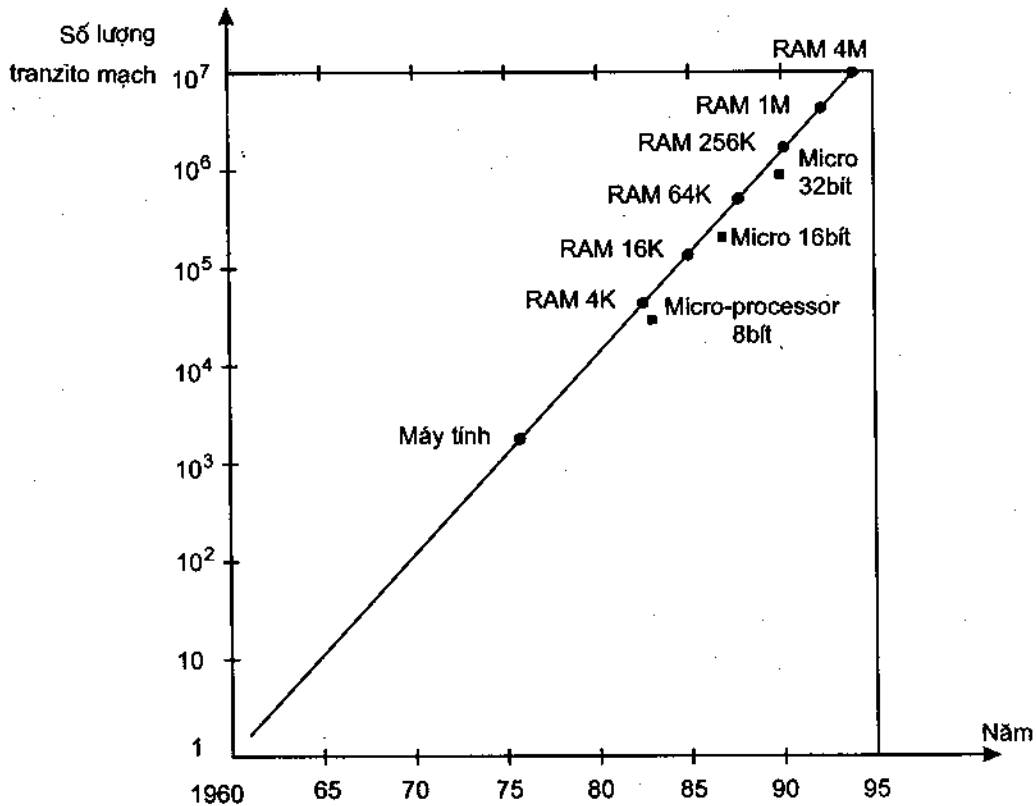
8.2. SỰ TĂNG TRƯỞNG CỦA MỨC ĐỘ PHỨC TẠP TRONG CÁC VI MẠCH

Từ đèn điện tử tới ULSI

Những chiếc vi mạch đầu tiên được sản xuất ngay từ năm 1959 theo công nghệ lưỡng cực - "bipolaire" và đến năm 1962 bắt đầu theo công nghệ MOS. Cho đến nay, mật độ tích hợp không ngừng được nâng cao. Hình 8.1 cho thấy sự tăng trưởng nhanh chóng mật độ tích hợp này trên từng loại vi mạch. Người ta thấy rằng, vào thời kỳ đầu, cứ mỗi năm mật độ này tăng lên gấp đôi, sau đó tốc độ này có giảm đi đôi chút nhưng cứ sau hai năm nó lại tăng gấp đôi. Đến năm 1990 thì đã đạt tới 10^7 linh kiện trong một vi mạch. Cũng trong thời gian này, giá thành trên một đơn vị thông tin của tranzito trong các vi mạch ULSI giảm từ 1 đến 10^{-4} . Đồng thời đường kính của thanh đơn tinh thể silic cũng tăng từ 25,4 mm tới 250mm và diện tích bề mặt của nó cũng tăng từ 490 đến 10000mm².

Kỹ thuật quang khắc cũng ngày một tinh vi hơn. Chẳng hạn 1985 kỹ thuật quang khắc chỉ đạt 2 μm thì đến năm 1988 nó đạt tới 1 μm . Người ta dự đoán đến năm 2000 có thể đạt tới 0,4 μm trên đơn tinh thể silic. Với công nghệ MOS cho phép tạo được những vi mạch có mật độ cao. Bảng sau đây cho thấy mức độ phức tạp trong từng loại vi mạch.

Loại vi mạch	Số lượng chức năng	Số lượng tranzito	Diện tích bề mặt của mỗi vi mạch
SSI	2 đến 20	100	3 mm ²
MSI	20 đến 100	500	8 mm ²
LSI	100 đến 50 000	100 000	20 mm ²
VLSI	50 000 đến 100 000	250 000	40 mm ²
ULSI	100 000 đến 4 000 000	1 000 000 đến 4 000 000	70 mm ² đến 150 mm ²



Hình 8.1. Sự tăng trưởng của mật độ tích hợp.

8.3. SỰ PHÁT TRIỂN CỦA CÔNG NGHỆ

8.3.1. Công nghệ silicium

Để thu được các kích thước linh kiện từ 1 μm đến 0,4 μm , cần thực hiện lithographie bằng các chùm điện tử và bằng các tia X có thể tạo nên các kích thước hình học đến 20 nm. Kỹ thuật lithographie bằng các chùm tia ion có thể thu được các kích thước hình học còn tinh vi hơn. Các phương pháp này gắn liền với kỹ thuật quang khắc ion và plasma cho phép thu được những kích thước hình học với độ chính xác mong muốn. Tuy nhiên, kích thước hình học của một tranzito phải thỏa mãn một số các quy tắc vật lý, bởi vì việc giảm bớt một kích thước này sẽ kéo theo việc giảm bớt các kích thước khác. Chẳng hạn trong một tranzito MOS việc giảm chiều dài của cửa sẽ kéo theo việc giảm bớt chiều dày của lớp oxit ở cửa.

• Giới hạn về nhiệt động

Ở nhiệt độ hoạt động của vi mạch, các điện tử chịu một dao động nhiệt với năng lượng khoảng 30meV . Do vậy thế tác động vào cửa phải lớn hơn $10 \times 30\text{mV} = 0,3\text{V}$. Nếu tính đến điện trường tới hạn phun điện tử vào trong lớp oxit ($\sim 3 \cdot 10^5 \text{ V/m}$), thì độ dày tối thiểu của lớp oxit phải là 2 nm . Độ dày này tương đương với độ dày của cửa ($0,1 \mu\text{m}$).

• Giới hạn về phương diện điện

Trong một tranzito có cửa ngắn, điện trường tại đó rất cao, có thể đạt đến điện trường tới hạn. Điện trường này có thể phá hủy lớp oxit ở cửa, do vậy nó không còn khả năng để tải dòng. Để tránh hiện tượng đó, cửa phải có độ dài tối thiểu là $0,16 \mu\text{m}$ để có thể chịu được thế phân cực $0,5\text{V}$.

• Giới hạn về lượng tử

Chiều dày của lớp oxit nhỏ hơn một giới hạn nào đó, thì nó sẽ không còn là một chất cách điện mà trái lại nó sẽ cho dòng điện đi qua nhờ hiệu ứng lượng tử (đường hầm). Chiều dày này vào khoảng 5nm . Do vậy để tránh hiệu ứng này, cửa phải có chiều dày $0,25 \mu\text{m}$.

• Thời gian truyền

Thời gian truyền quyết định độ nhanh của một vi mạch. Kích thước của nó càng ngắn thì thời gian truyền sẽ càng ngắn. Tuy nhiên, điện trở và điện dung ký sinh sẽ tăng thời gian truyền cho các kích thước hình học dưới $1\mu\text{m}$.

• Dây nối và chất lượng của vi mạch

Các công nghệ VLSI và ULSI cần rất nhiều dây nối, vì vậy trong mỗi vi mạch đôi khi sử dụng một, hai hoặc ba cấp dây nối. Các vật liệu có điện trở suất nhỏ cũng đã được thay thế cho các dây nối bằng nhôm.

Chiều dài các dây nối làm tăng thời gian truyền. Người ta xác nhận rằng diện tích bề mặt của các dây nối lớn hơn rất nhiều diện tích bề mặt của các linh kiện tích cực.

Việc tăng mức độ tích hợp dẫn đến vấn đề tích nhiệt trong các vi mạch. Hiện nay, giới hạn nhiệt độ 1W/cm^2 thì chưa cần đến các hộp tỏa nhiệt. Người ta dự định dùng các vỏ tỏa nhiệt bằng freon có thể làm lạnh đến nhiệt độ -40°C .

Nhờ kỹ thuật làm lạnh, có thể tăng vận tốc chuyển động định hướng của các điện tử thêm được 30% . Tuy nhiên, hệ số tin cậy (công suất $\times$ thời gian truyền) giữ nguyên không thay đổi. Với công nghệ SOS (silic trên corindon) cho phép tạo được các tranzito nhanh hơn rất nhiều so với phương pháp cổ điển.

8.3.2. Công nghệ acsenic gali (GaAs)

Công nghệ acsenic gali được sử dụng để sản xuất các linh kiện siêu cao tần và các linh kiện quang điện tử, bởi vì trong vật liệu này điện tử có vận tốc chuyển động định hướng và độ linh động rất cao. Bảng dưới đây cho ta thấy sự so sánh sự khác nhau trong hai loại vật liệu silic và acsinics gali.

	Si	GaAs
Độ linh động ($\text{cm}^2/\text{V.s}$)	1350	6500
Vận tốc (cm/s)	$0,8 \cdot 10^7$	$1,7 \cdot 10^7$

Hai tranzito có cùng kích thước thì tranzito GaAs hoạt động nhanh gấp 4 lần MOS silíc. Hơn nữa, đế của tranzito GaAs là chất cách điện rất dễ thực hiện và có điện dung ký sinh rất nhỏ.

Một tranzito trường GaAs có thể hoạt động tới tần số 40GHz trong khi MOS silíc chỉ hoạt động đến 8GHz. Sự phát triển của công nghệ GaAs rất đặc biệt. Kể từ khi xuất hiện 1976, mức độ tổ hợp tăng gấp ba lần trong một năm. Điều đó cho phép tiên đoán mức độ tích hợp trong các vi mạch GaAs sẽ chiếm vị trí độc tôn, nhưng giá thành của nó vẫn còn cao so với các vi mạch silíc cùng loại. Với lưu lượng số lớn hơn 1Gbít/s công nghệ GaAs là công nghệ duy nhất đảm đương trọng trách này.

Các vi mạch có cấu trúc nhiều lớp bán dẫn loại AlGaAs có độ linh động của điện tử tăng rất mạnh so với các cấu trúc thông thường. Độ linh động tăng gấp 2 lần ở nhiệt độ phòng và có thể tăng gấp 15 lần ở nhiệt độ nitơ lỏng (-195°C). Các tranzito loại này được gọi là TEGFET (two-dimentional electron gas FET) và HEMT (high electron mobility tranzito).

Các vi mạch loại này có công suất tiêu thụ 100 lần ít hơn của các vi mạch silíc. Với kích thước hình học khoảng $1\text{ }\mu\text{m}$, thời gian truyền có thể đạt tới 10ps và công suất tiêu tán chỉ khoảng $100\mu\text{W}$.

8.3.3. Công nghệ sử dụng các chuyển tiếp Josephson

Các chuyển tiếp Josephson (JJ) không sử dụng vật liệu bán dẫn mà dùng hai vật liệu siêu dẫn phân cách nhau bằng một lớp oxit mỏng khoảng từ 2 đến 5 nm. Do vậy các linh kiện loại này chỉ hoạt động ở vùng nhiệt độ heli lỏng 4K (-269°C). Chính vì vậy giá thành của chúng còn khá cao.

Trong vùng nhiệt độ đó, các mạch (JJ) này hoạt động cực nhanh nhưng tiêu thụ năng lượng lại rất ít. Chẳng hạn một mạch có kích thước hình học khoảng $2,5\mu\text{m}$, người ta thu được thời gian truyền chỉ 13ps qua một cổng OR và 16ps cho một cổng AND.

Công nghệ này đã được nghiên cứu ở hãng IBM, nhưng chưa đưa ra các linh kiện trong sản xuất hàng loạt. Có thể trong thế kỷ 21 linh kiện này sẽ xuất hiện dưới dạng sản phẩm hàng loạt.

Chương 9

CÁC LOẠI VI MẠCH LƯỜNG CỰC

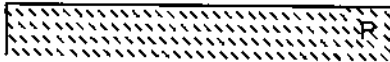
9.1. TẠO TRANZITO N-P-N CƠ SỞ

Vi mạch là một tập hợp không thể nhìn thấy các linh kiện tích cực và thụ động được tạo thành một cách đồng thời trong cùng một quá trình sản xuất trên một đế silic. Đế silic này là đơn tinh thể [1.1.1] pha tạp loại p có điện trở khoảng $10\Omega\text{cm}$ với các độ dày khác nhau, tùy thuộc đường kính của thỏi silic. Ví dụ độ dày $625\mu\text{m}$ nếu đường kính là 150mm .

Sơ đồ của một mạch được bao trong các ngăn cách điện, các ngăn này chứa các tranzito lưỡng cực không có colectơ chung và một trong số các điện trở. Mỗi ngăn được bao bằng một lớp bán dẫn loại P chung với đế và được nối với điện thế âm nhất của mạch, vì thế ngăn này với đế luôn được phân cực ngược, nên nó là một ốc đảo cô lập so với đế, do đó không một dòng điện nào có thể chạy từ đế vào bên trong các ngăn được, chính vì vậy các ngăn cũng cô lập với nhau. Trong mỗi một ngăn, người ta tạo một tranzito một điốt hoặc các điện trở. Quy trình sản xuất một tranzito n-p-n được mô tả trên hình 9.1. Thứ tự các quá trình được thực hiện trong lò nung với nhiệt độ giảm dần để quá trình sau không làm hư hại quá trình trước đó. Như vậy quá trình đầu tiên là quá trình khuếch tán sâu trong toàn bộ thể tích của miếng bán dẫn được thực hiện ở nhiệt độ 1260°C và quá trình cuối cùng là quá trình tạo emitơ thì không vượt quá 1000°C . Để tạo được một tranzito n-p-n phải trải qua 7 lần quang khắc. Thứ tự thực hiện các quá trình đó là như sau:

- Oxit hóa bề mặt miếng bán dẫn silic ở trong lò nhiệt độ 1200°C với khí ôxi để tạo lớp SiO_2 dày khoảng $0,5\mu\text{m}$.
- Bước quang khắc đầu tiên nhằm tạo một lớp vùi sâu gần với đế.
- Khuếch tán arsenic hoặc antimoine để tạo lớp vùi sâu giáp đế pha tạp N^+ dưới độ sâu $5\mu\text{m}$ ở nhiệt độ 1260°C ;
- Ăn mòn lớp oxit SiO_2 trên bề mặt;
- Tạo một lớp epitaxi pha tạp loại N có độ dày từ 3 đến $5\mu\text{m}$ với điện trở khoảng từ 0,5 tới $1\Omega\text{cm}$ trên mặt đế;
- Oxit hóa bề mặt tạo một lớp SiO_2 mới, dày khoảng $0,5\mu\text{m}$;
- Quá trình quang khắc lần thứ hai nhằm tạo các vách ngăn cách điện;
- Khuếch tán bức tường cách điện bằng nguyên tử bo loại P, sâu đến tận đế, ở nhiệt độ 1160°C ;

- Khôi phục lại lớp oxit SiO_2 trên bề mặt;
- Quá trình quang khắc lần thứ ba nhằm tạo chỗ để khuếch tán bazơ;
- Khuếch tán bo - tạp chất loại P - để tạo bazơ của tranzito và khôi phục lại lớp oxit bề mặt ở nhiệt độ 1050°C
- Quá trình quang khắc thứ tư nhằm tạo chỗ để khuếch tán emitter;
- Khuếch tán photpho N^+ tạo emitter của tranzito và khôi phục lại lớp oxit bề mặt ở nhiệt độ 1000°C ;



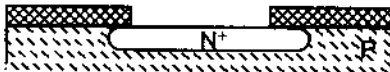
Để đơn giản thể silic loại P điện trở suất cao ($\sim 10\Omega.\text{cm}$)



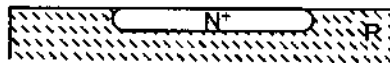
SiO_2 (oxi hóa bề mặt silic P)



Mặt nạ thứ nhất. Tạo cửa sổ để khuếch tán lớp vùng sâu N^+ .



Khuếch tán lớp vùng sâu N^+ .

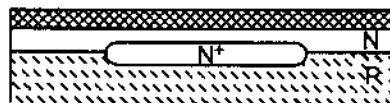


Ăn mòn lớp oxit SiO_2

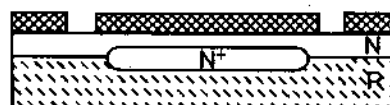


Tạo lớp epitaxi loại Si – N

Lớp vùng sâu tiếp tục được khuếch tán trong quá trình này.

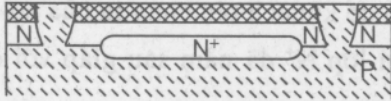


Oxit hóa bề mặt.

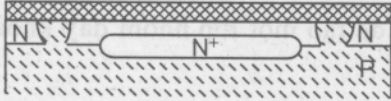


Mặt nạ thứ hai.

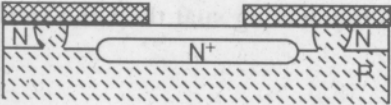
Tạo cửa sổ để khuếch tán ngăn cách điện.



Khuếch tán bức tường cách điện loại P.

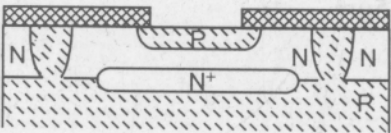


Oxit hóa bề mặt

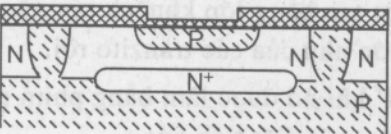


Mặt nạ lần thứ ba.

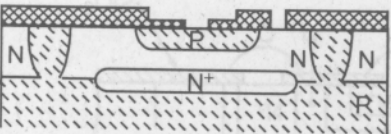
Tạo cửa sổ để khuếch tán bazơ



Khuếch tán P để tạo miền bazơ

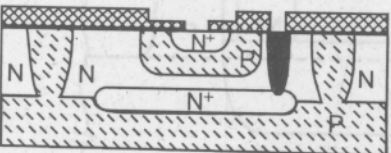


Oxit hóa bề mặt.

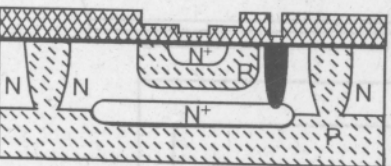


Mặt nạ thứ 4 và thứ 5.

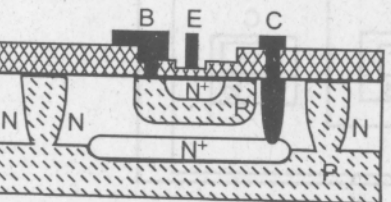
Tạo cửa sổ để khuếch tán emitter và làm chân nối cho colectơ



Khuếch tán emitter N^+ làm chân nối cho colectơ (lớp vùng sâu N^+)



Oxit hóa bề mặt



Mặt nạ lần 6.

Làm chân nối cho E, B và C.

Hình 9.1. Quy trình sản xuất một tranzito n-p-n

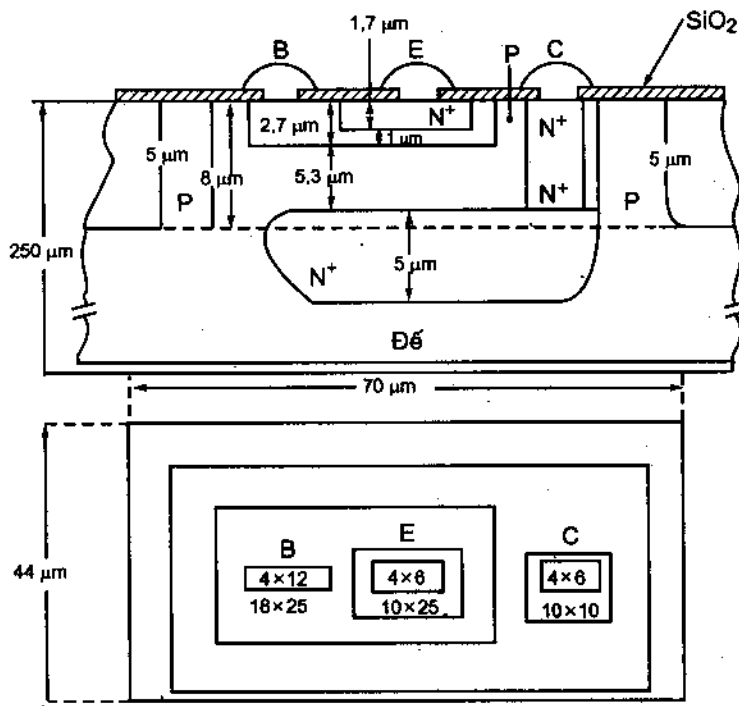
- Quá trình quang khắc thứ năm nhằm tạo chỗ để khuếch tán chân ra của colectơ.
- Khuếch tán một lớp sâu phốtpho N^+ nối với lớp N^+ đã nằm sâu giáp với đế làm chân nối của colectơ của tranzito;
- Quá trình quang khắc thứ sáu nhằm tạo chỗ để khuếch tán các chân nối;
- Phủ kim loại trong chân không ($2 \cdot 10^{-6}$ tor) để tạo một lớp nhôm dày khoảng từ 1 đến $2 \mu m$ trên toàn bộ bề mặt của bản silic;
- Quá trình quang khắc thứ bảy nhằm chỉ để lại lớp nhôm tại những nơi cần thiết những chỗ khác thì bị ăn mòn bởi axit orthophosphorique; như vậy ta thu được các dây nối và các lối ra.

Kích thước điển hình của một tranzito trong vi mạch công suất thấp cho trên hình 9.2.

- * emitơ: khuếch tán $1,7 \mu m$,
- * bazơ: khuếch tán sâu $2,7 \mu m$, dây $1 \mu m$,
- * colectơ: chiều dày của lớp nằm sâu gần đế: $5 \mu m$,
- * bề rộng của vách ngăn cách điện: $5 \mu m$,
- * bề mặt tổng cộng: $300 \mu m^2$.

Không kể các tranzito VLSI, một tranzito có dòng $1 mA$ có các đặc trưng gần giống với các tranzito rời cùng loại. Đặc biệt, do colectơ được tạo bằng lớp khuếch tán nằm sâu gần đế N^+ nên điện trở nối tiếp và thế bão hòa có cùng độ lớn như của các tranzito rời.

Chân nối của miền N phải được khuếch tán N^+ khi nó được làm bằng phim nhôm. Bởi vì nhôm là tạp chất loại P , do đó vùng N^+ này sẽ tạo nên một diốt tiếp xúc.

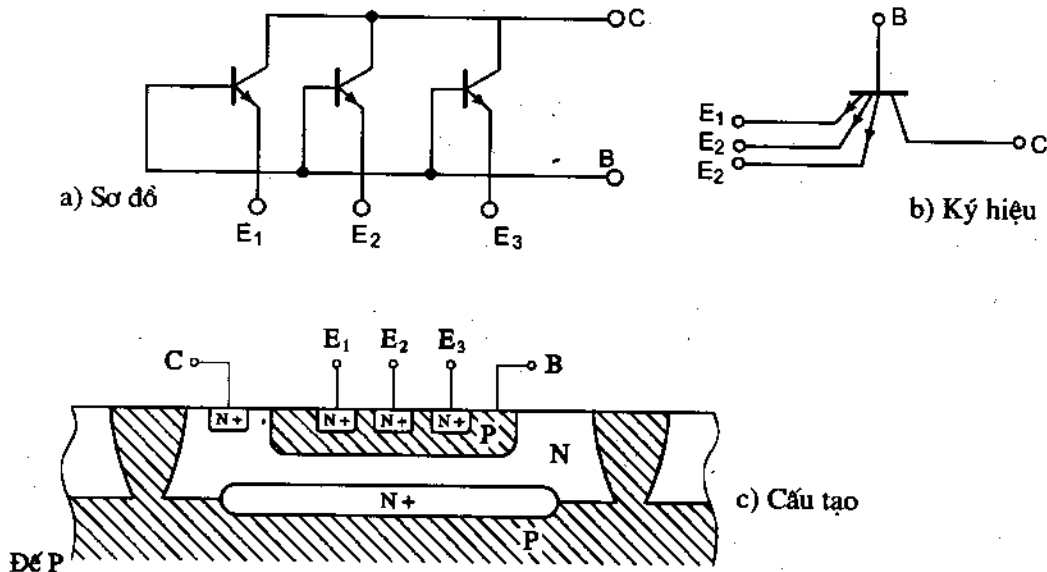


Hình 9.2. Kích thước của một tranzito trong vi mạch.

9.1.1. Tranzito nhiều emitor

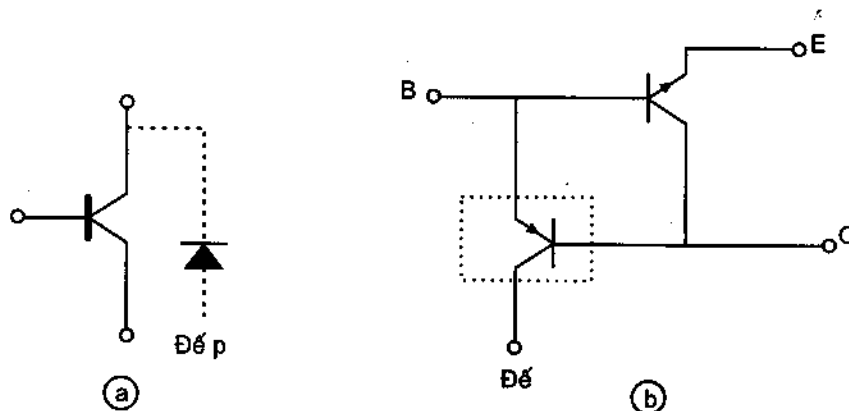
Trong các mạch logic TTL, tranzito nhiều emitor được sử dụng rất nhiều để thay thế cho các tranzito có bazơ và colectơ chung nhau (hình 9.3). Trong thực tế, chân nối với bazơ cách chuyển tiếp E-B một khoảng nào đó, nhờ đó làm tăng điện trở ký sinh R_{bb} và làm cho ba dòng điện đi vào các emitor E_1, E_2, E_3 bị giảm xuống khi ba lối vào này ở mức cao.

Colectơ cách điện so với đế nhờ diốt colectơ - đế phân cực ngược (hình 9.3a). Dòng ngược của diốt này có thể loại trừ, nhưng điện dung của nó lại không thể loại trừ vì nó vào khoảng từ 50 đến 150pF/mm² và còn phụ thuộc vào thể và điện trở suất của colectơ.



Hình 9.3. Sơ đồ và cấu tạo của tranzito nhiều emitor.

Ngoài ra cũng còn có một tranzito ký sinh loại p-n-p mắc song song với tranzito n-p-n. Nói chung nó không gây ảnh hưởng gì vì chuyển tiếp E-B của nó luôn trong trạng thái khóa, thể của colectơ của tranzito n-p-n lớn hơn nhiều thể của bazơ (hình 9.4b).



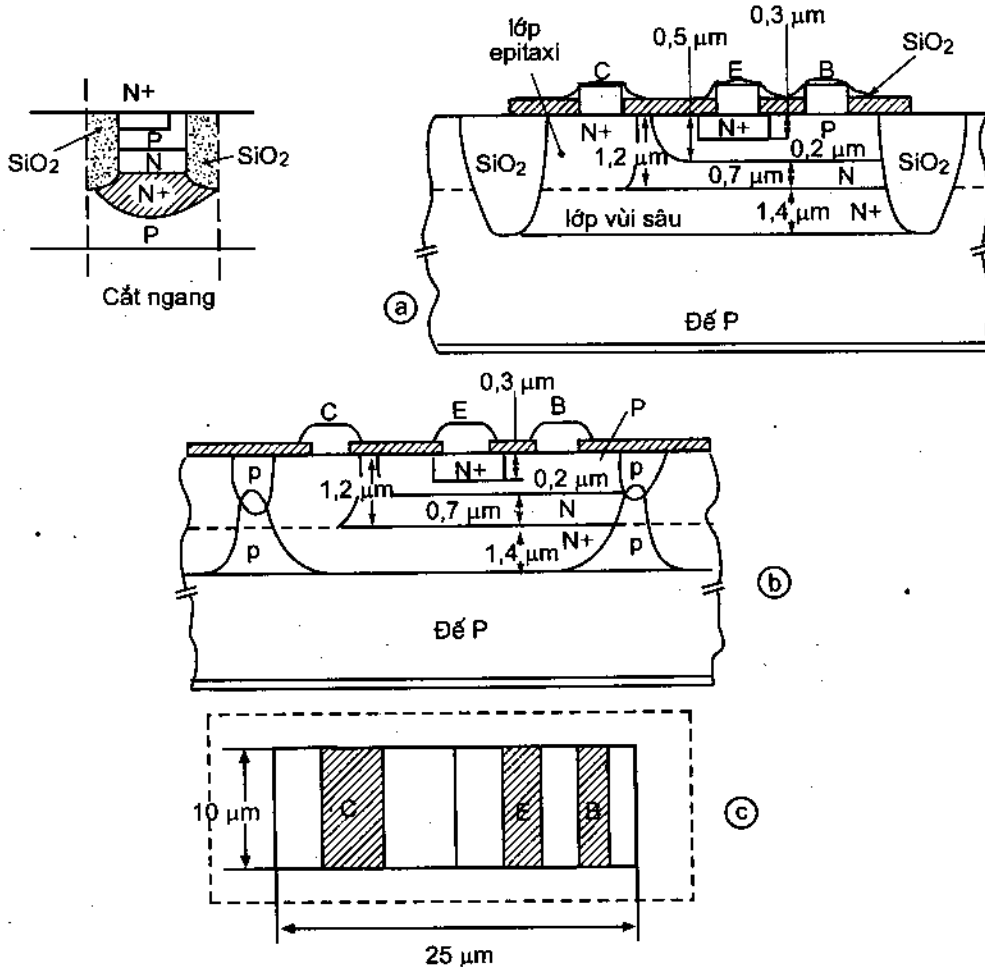
Hình 9.4. Diốt ký sinh (a) và tranzito ký sinh (b) của một tranzito n-p-n.

9.1.2. Tranzito VLSI n-p-n (Subilo N)

Hình 9.5a cho thấy cấu tạo từ một nhất cắt ngang của một tranzito Subilo RTC. Có rất nhiều mẫu được sản xuất từ cùng một công nghệ gọi là isoplanar Fairshild.

Trong công nghệ này, để tạo một tranzito n-p-n người ta lấy một mẫu silic pha tạp p làm đế. Trên đế này người ta khuếch tán một lớp N^+ . Tiếp theo, người ta phủ một lớp epitaxie loại N dày khoảng $1,2\mu m$. Lớp này được oxy hóa tương đối lâu để tạo nên một lớp ngăn cách điện bằng SiO_2 , giống như một cái giếng oxit SiO_2 .

Còn có một cách tạo lớp cách điện này nhờ hai lần khuếch tán ngay trên đế (hình 9.5b).



Hình 9.5. a) Cách điện giữa các linh kiện với nhau bằng "hố" SiO_2 ; b) Tạo lớp ngăn cách điện bằng khuếch tán P hai lần; c) Kích thước (bề mặt tổng cộng $300\mu m^2$).

Phương pháp này cho phép giảm được độ rộng của vách ngăn được một nửa so với phương pháp khuếch tán từ bề mặt.

Sau đó khuếch tán P^+ để làm bazơ và N^+ để tạo emitter và chỗ nối chân ra của collector với độ sâu đủ để đạt tới lớp N^+ nằm sâu phía trong giáp với đế. Cuối cùng là khâu tráng kim loại để làm các chân ra bằng nhôm. Đôi khi người ta thích dùng hợp kim Al-Si (1%; Cu(2%)) để hạn chế nhôm chảy lan vào trong silic. Chất cách điện cũng có thể đảm bảo nhờ một lớp mỏng Si_3N_4 phủ lên trên SiO_2 tạo ra lớp dày khoảng $1\mu m$.

Công việc cuối cùng là phủ các dây nối trên bề mặt vi mạch với các chân ra, chúng thường được làm bằng nhôm dày 1 μ m hoặc Al-Si(1%) -Cu(0,03%). Bảng sau đây cho ta sự so sánh các đặc trưng của hai loại tranzito vừa xét đến ở trên.

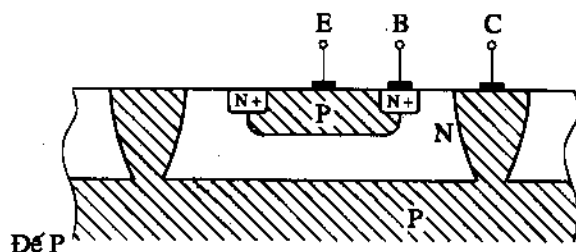
9.1.3. Thực hiện các tranzito p-n-p

Các tranzito loại này có thể được thực hiện theo hai cách khác nhau: tranzito p-n-p có bán dẫn loại p cũng đồng thời là đế hoặc tranzito p-n-p bán dẫn loại p nằm ở hai bên.

* Tranzito p-n-p có bán dẫn loại p là đế

Tranzito loại này có colectơ cũng đồng thời là đế của vi mạch (hình 9.6). Bazơ của tranzito tương đối dày, vì nó chiếm một phần tương đối sâu của vách ngăn. Do vậy hệ số khuếch đại dòng h_{FE} không thể cao được mà chỉ nằm giữa 20 đến 100 và đó cũng là lý do làm cho tần số hoạt động của tranzito không cao được chỉ khoảng từ 30 đến 100 MHz với dòng I_{Cmax} cỡ vài mili ampe.

Tranzito VLSI n-p-n Subilo	Tranzito n-p-n cơ sở
$F_T \sim 5-7$ GHz	$F_T \sim 500$ MHz
500 đến 1500 hạt tải/mm ²	100 đến 300 hạt tải/mm ²
1,2 μ	độ dày của lớp epitaxi 8-10 μ m
0,3 Ω cm	điện trở suất 1 Ω cm
13 (hai lần khuếch tán vách ngăn)	sản xuất dùng 12 lần mặt nạ
0,3 μ m pha tạp acsenic	độ sâu của emitơ 1,7 μ m phốtpho
0,5 μ m pha tạp bor	độ sâu của bazơ 2,7 μ m pha tạp bor
0,2 μ m	chiều dày của bazơ 1 μ m
1,4 μ m	lớp nằm sâu giáp đế 5 μ m
50 tới 100	hệ số khuếch đại $h_{FE} \sim 100$ tới 400
300 μ m ²	bề mặt = 3000 μ m ²



Hình 9.6. Cấu tạo của tranzito p-n-p có p là đế.

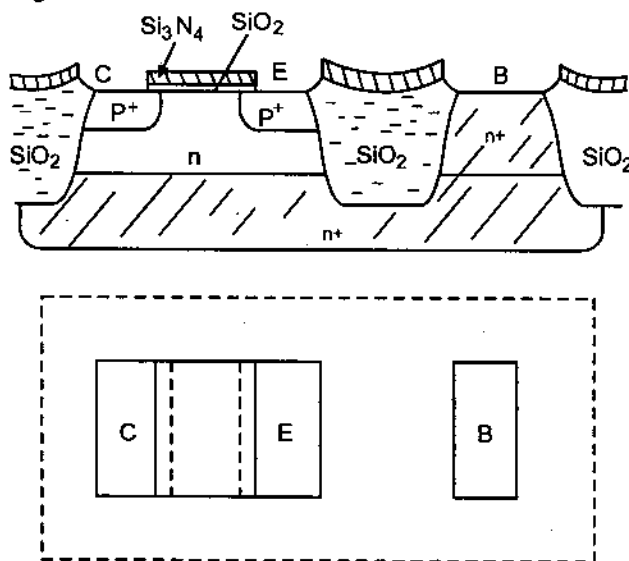
Sụt thế E-B chỉ vào khoảng từ 6 đến 7 V, vì có vùng pha tạp mạnh N⁺ là nguồn dòng của emitơ làm giảm điện trở về phía bazơ và vì emitơ phun về hai phía nên cũng làm giảm hệ số

khuếch đại dòng của tranzito. Sụt thế trong vùng chuyển tiếp C-B trên thực tế giống như của tranzito n-p-n bởi vì cả hai đều phụ thuộc vào điện trở suất của miền N. Thế bão hòa V_{CES} có giá trị lớn vì điện trở của miền colectơ - đế khá cao.

Cần nhấn mạnh một điều là do colectơ cũng đồng thời là đế của vi mạch nên nó luôn được nối với cực âm của nguồn nuôi. Vì vậy, tranzito loại này chỉ được sử dụng trong các sơ đồ colectơ chung với thế của colectơ không đổi.

* Tranzito p-n-p có p ở hai bên

Loại này được chế tạo nhiều. Hình 9.7 cho thấy cấu tạo của tranzito p-n-p chế tạo theo phiên bản Subilo. Trong phương pháp này, emitơ và colectơ được khuếch tán đồng thời và phải làm sao cho chúng nằm gần sát nhau đến mức có thể để colectơ có khả năng nhận được dòng phun từ emitơ nhiều nhất do vậy hệ số khuếch đại dòng sẽ tăng lên. Lớp N^+ nằm sâu bên trong cho phép giảm hệ số khuếch đại của tranzito ký sinh p-n-p có p là đế. Tranzito này có xu hướng dẫn một phần dòng emitơ.

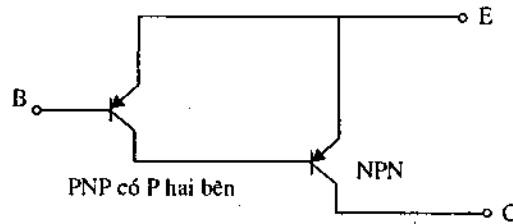


Hình 9.7. Cấu tạo của tranzito p-n-p có p ở hai bên.

Khoảng cách E-C rất khó rút ngắn và điều khiển, do vậy hệ số khuếch đại dòng thấp và thay đổi nhiều. Giá trị của nó từ 5 đến 50 khi $I_C = 1$ mA. Hơn nữa, giữa dòng colectơ và bazơ có sự quay pha tương đối mạnh khi tăng tần số, điều này hạn chế việc sử dụng các tranzito loại này trong các dải sóng MHz. Sụt thế E-B cùng cỡ như của C-B khoảng vài chục vôn, do vậy các tranzito loại này có thể được sử dụng trong các mạch vào của các bộ khuếch đại vi phân. Khác với tranzito p-n-p có p nối đế, tranzito p-n-p có p hai phía có thể được sử dụng tại bất kỳ điểm nào của mạch.

* Tranzito hỗn hợp: p-n-p có p hai bên và n-p-n

Sơ đồ hình 9.8 mô tả một tranzito hỗn hợp loại p-n-p có hệ số khuếch đại mạnh. Tranzito p-n-p chỉ cho qua một dòng điện bazơ có giá trị rất nhỏ của tranzito n-p-n. Vì thế hệ số khuếch đại dòng của nó có giá trị cao.



Hình 9.8. Cấu tạo của một tranzito hỗn hợp.

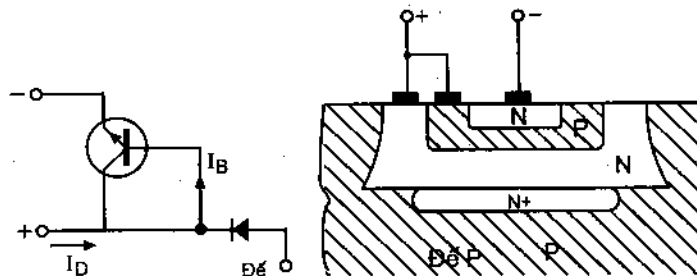
9.2. THỰC HIỆN CÁC ĐIỐT TRONG VI MẠCH

9.2.1. Chế tạo điốt thường và điốt ổn áp

Điốt được thực hiện cùng lúc với các tranzito. Có rất nhiều ưu việt cho việc chế tạo các điốt từ cấu trúc của tranzito. Trong trường hợp này, có hai loại điốt chính được chế tạo.

* Điốt E-B

Hình 9.9 cho thấy việc chế tạo điốt từ cấu trúc của tranzito. Theo phương pháp này thì chuyển tiếp C-B đã được nối tắt. Thế ngược của điốt nằm giữa 6 và 7 V. Ảnh hưởng của điện trở bazơ của tranzito lên điện trở của điốt có thể loại trừ. Điốt loại này còn được dùng để làm các điốt điều chỉnh thế lân cận 6,3V. Thế này có độ ổn định nhiệt độ khoảng $2,3\text{ mV}/^\circ\text{C}$. Do vậy, để làm điốt ổn áp thì cần phải cân bằng nó bằng cách phép nối tiếp một điốt khác theo hướng phân cực thuận có cùng hệ số nhiệt độ, nhưng mang dấu âm.

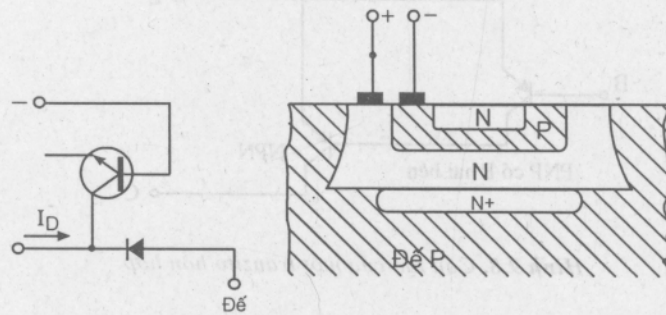


Hình 9.9. Cấu tạo của một điốt E-B trong vi mạch.

* Điốt C-B

Trên thực tế, điốt loại này chỉ được hoạt động trong chế độ phân cực ngược, bởi vì trong trường hợp ngược lại thì tranzito ký sinh p-n-p có p nối đế sẽ có chuyển tiếp E-B phân cực thuận và vì thế nó sẽ dẫn một phần dòng vào đế (hình 9.10).

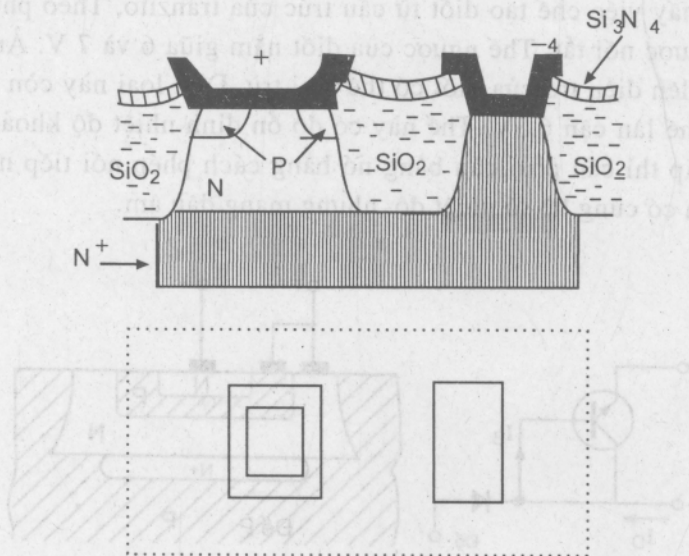
Thế ngược của điốt loại này chỉ bị hạn chế bởi thế đánh thủng của chuyển tiếp E-B. Vì vậy, nó được sử dụng cho các thế ngược lớn hơn 7V. Điện dung ký sinh giữa collector và đế cũng có ảnh hưởng giống như đối với tranzito.



Hình 9.10. Cấu tạo của diốt C-B.

9.2.2. Chế tạo diốt Schottky

Diốt schottky có chuyển tiếp kim loại - bán dẫn không tích tụ điện tích, vì vậy nó hoạt động rất nhanh, nên có thể dùng trong các mạch logic không có sự bão hòa về dòng. Hơn nữa, diốt Schottky được chế tạo cùng một phương pháp như chế tạo các vi mạch lưỡng cực thông thường. Hình 9.11 cho thấy cấu tạo của một diốt Schottky chế tạo theo phiên bản Subilo.



Hình 9.11. Diốt Schottky chế tạo theo phiên bản SUBILO.

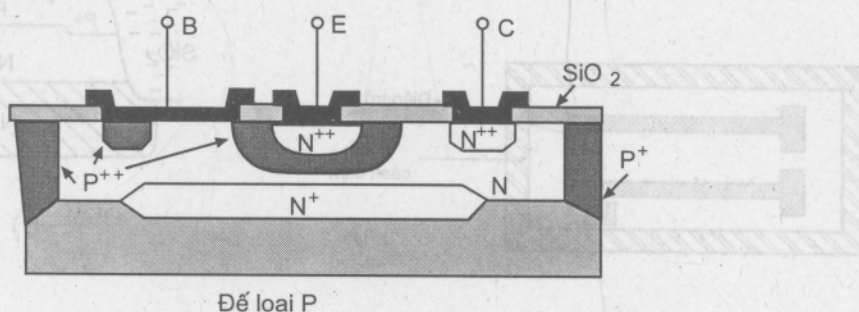
Trong diốt Schottky, dòng thuận là do các hạt tải điện âm - tức là điện tử - chuyển từ bán dẫn sang kim loại. Đó là các điện tử "nóng". Thời gian sống của chúng trong kim loại ngắn hơn trong bán dẫn loại p khoảng từ 10^4 đến 10^7 lần. Hơn nữa, bán dẫn loại N cấu tạo nên diốt lại không thu nhận bất kỳ lỗ trống nào. Do đó, khi thế ngược tác dụng vào diốt thì dòng điện sẽ ngừng ngay lập tức. Mặt khác, sụt thế khi phân cực thuận chỉ khoảng 0,4V chứ không phải 0,7V như đối với chuyển tiếp P-N của bán dẫn silic. Đây là lý do tại sao người ta thường mắc song song diốt Schottky trên chuyển tiếp C-B của tranzito silic để dẫn dòng bazơ và ngăn không cho tranzito bão hòa, do đó cả diốt lẫn tranzito đều không tích tụ điện tích, như vậy tốc độ hoạt động của nó sẽ nhanh lên.

Để có chuyển tiếp Schottky phải chọn kim loại có hàng rào thế cao tại nơi tiếp xúc với

silic, chẳng hạn như crôm, niken-platine hoặc vàng. Mặt khác, silic phải được pha tạp ít để thúc đẩy chức năng chĩnh lưu khi thể phân cực ngược còn nhỏ.

Những diốt Schottky lần đầu tiên được sản xuất trong vi mạch không có các đặc tính sản sinh, bởi vì điện trường tại vùng chuyển tiếp có giá trị rất cao gây ra dòng điện ký sinh do hiệu ứng tunnel. Bằng cách tạo ra lớp silic pha tạp p^+ , người ta thu được một cấu hình như trên hình 9.11.

Diốt Schottky cũng có thể được nối song song với chuyển tiếp B-C của một tranzito như trên hình 9.12. Với kỹ thuật này có thể thu được những tranzito có thời gian tích tụ nhỏ hơn 1ns. Thời gian tích tụ này rất nhỏ so với thời gian tích tụ của một tranzito có colectơ pha tạp vàng (7ns) và của một tranzito thông thường (34ns). Chính vì vậy các vi mạch TTL Schottky được đặt tên TTL ALS-FAST-FACT,...



Hình 9.12. Diốt Schottky nối song song với B-C của tranzito.

9.3. CHẾ TẠO CÁC LOẠI ĐIỆN TRỞ

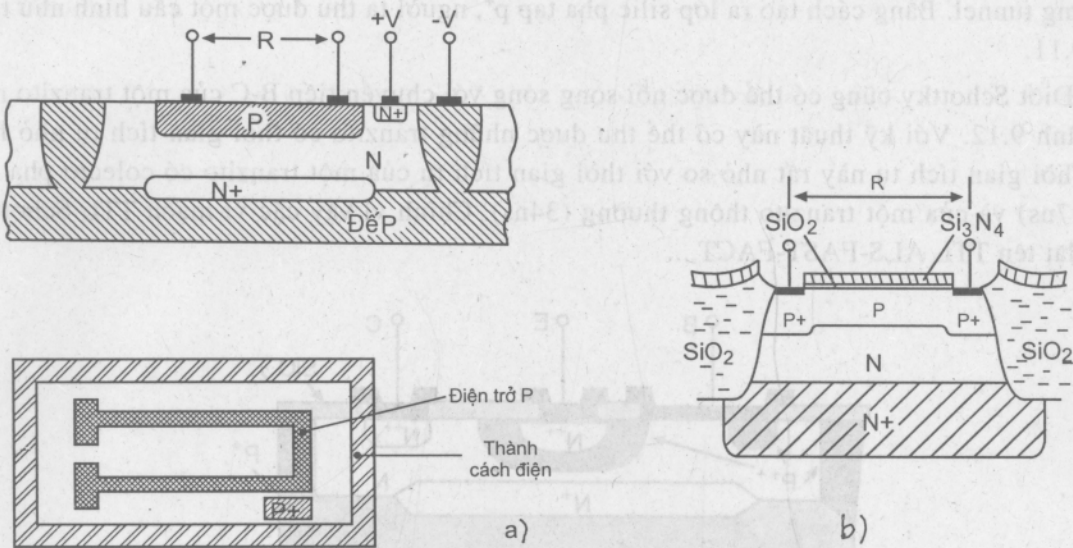
Có rất nhiều các quá trình sản xuất các điện trở, nhưng hay dùng nhất là thực hiện chúng cùng lúc như các bazơ của tranzito n-p-n.

9.3.1. Điện trở loại “bazơ”

Các điện trở được khuếch tán bằng bán dẫn loại p trong một ngăn cách điện loại n. Lớp ngăn cách điện này được nối với thế dương nhất của vi mạch (hình 9.13). Vì vậy, tất cả các điện trở của cùng một mạch có thể được khuếch tán trong cùng một lớp ngăn cách điện mà không phải lo lắng cái này làm ảnh hưởng đến cái kia. Lớp N^+ nằm sâu sát để có tác dụng làm giảm độ lan rộng của vùng điện tích không gian, do vậy làm tăng sụt thế giữa lớp n với đế khi phân cực ngược tới giá trị $V^+ + V$. Các điện trở được khuếch tán cùng lúc với bazơ, nên chúng có cùng độ sâu như chuyển tiếp B-C của tranzito.

Giá trị của điện trở phụ thuộc vào điện trở suất của bán dẫn loại p và kích thước của nó, nên người ta định nghĩa một điện trở trung bình gọi là *điện trở ô vuông* $R_{\square}$. Đó là điện trở của một mẫu silic có chiều rộng bằng chiều dài với điện trở suất xác định. $R_{\square}$ của lớp khuếch tán bazơ nằm trong khoảng từ 100 đến 200Ω. Ví dụ để thực hiện điện trở 3kΩ với $R_{\square} = 150\Omega$; nếu chọn độ rộng 10μm, có nghĩa là một ô vuông có cạnh 10μm có điện trở 150Ω; như vậy để chế tạo điện trở 3kΩ cần một độ dài 200μm. Hình dạng của điện trở này phải được chọn lựa sao cho nó chiếm vị trí ít nhất trong vi mạch. Sai số tuyệt đối so với giá trị chuẩn không tốt

hơn $\pm 20\%$. Giá trị điện trở được thực hiện trong các vi mạch thường chỉ giới hạn trong khoảng từ 30Ω đến $30k\Omega$ với hệ số nhiệt độ khoảng $+0,2\%/^{\circ}\text{C}$. Các giá trị điện trở lớn hơn $30k\Omega$ thường không được thực hiện trong vi mạch vì chúng có kích thước quá cỡ kênh.



Hình 9.13. a) Cấu tạo của điện trở loại bazơ; b) Cấu tạo theo phiên bản Subilo.

Vì các điện trở được cô lập bằng lớp ngăn loại n mang một thế dương nhất của vi mạch, nên giữa điện trở với lớp n này tạo nên một diốt cách điện phân cực ngược có dòng điện có thể loại trừ, nhưng lớp này cũng tạo nên một tụ điện dọc theo suốt chiều dài của điện trở với điện dung không thể loại trừ được. Giá trị của nó vào khoảng $200\text{pF}/\text{mm}^2$, phụ thuộc vào diện tích bề mặt của điện trở, vào điện trở suất của bán dẫn của lớp ngăn cách điện n và vào thế phân cực ngược ở hai bản cực. Chẳng hạn, với $R_{\square} = 150\Omega$ rộng $10\mu\text{m}$ có điện dung $0,14\text{pF}/\text{k}\Omega$; nếu độ rộng $7\mu\text{m}$ thì điện dung là $0,07\text{pF}/\text{k}\Omega$; do vậy để giảm điện dung ký sinh này thì yêu cầu đầu tiên là giảm độ rộng của điện trở. Hiện nay, kỹ thuật quang khắc cho phép thực hiện các điện trở có độ rộng tối thiểu là $5\mu\text{m}$.

9.3.2. Các điện trở loại emito

Phương pháp này được sử dụng để chế tạo các điện trở có giá trị nhỏ, bởi vì miền emito có pha tạp N^+ có $R_{\square}$ khoảng từ 3 đến 5Ω ; do đó miền này chỉ được sử dụng để thực hiện các điện trở có giá trị nhỏ hơn 100Ω , nhưng độ chính xác lại không cao, sai số khoảng $\pm 25\%$ và sụt thế giới hạn 6V trong khi điện dung ký sinh lại tương đối cao.

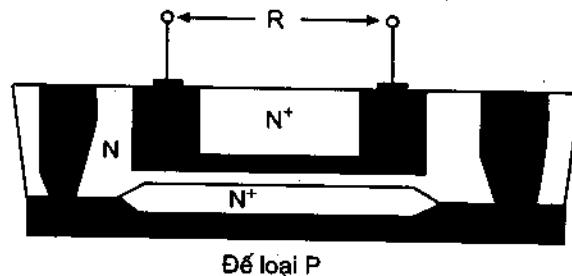
9.3.3. Điện trở loại “bazơ bị kẹp” (pinch-off resistor)

Phương pháp này cho phép tạo các điện trở có giá trị cao, nhưng lại ít cỡ kênh vì độ dày của lớp bán dẫn loại p cấu tạo nên điện trở có thể được giảm bớt bằng cách khuếch tán

một lớp N^+ trên vùng p của điện trở, cùng lúc khi khuếch tán emitor của tranzito n-p-n (hình 9.14). $R_{\square}$ của nó nằm giữa 3 đến $10k\Omega$. Tuy nhiên, điện trở loại này có rất nhiều hạn chế:

- Miền N^+ nối với lớp ngăn cách điện N làm cho sụt thế ở hai đầu điện trở phải nhỏ hơn 6V.
- Điện trở này không tuyến tính với dòng điện do hiệu ứng trường trong vùng chuyển tiếp kênh P.
- Nó có hệ số nhiệt độ dương mạnh: $+0,6\%/^{\circ}C$.
- Nó phụ thuộc vào độ sâu của lớp N^+ và thay đổi rất mạnh từ sự khuếch tán này tới sự khuếch tán khác với hệ số từ 1 đến 2.
- Điện dung ký sinh giữa điện trở và lớp ngăn cách điện cao do sự có mặt của hai chuyển tiếp phân cực ngược P-N và P- N^+ .

Mặc dù có những hạn chế trên, nhưng điện trở sản xuất theo phương pháp này vẫn là phương pháp duy nhất để tạo nên các điện trở có giá trị cao từ 10 đến $100k\Omega$.

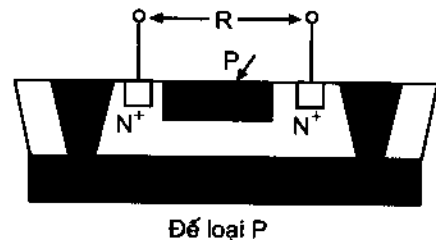


Hình 9.14. Cấu tạo của điện trở loại "bazơ kẹp".

9.3.4. Điện trở loại "colector"

Để tạo ra các điện trở có giá trị cao nhưng lại có sụt thế ở hai đầu lớn hơn 6V thì phải dùng lớp epitaxie loại n được kẹp bởi miền khuếch tán loại P. Lớp epitaxie này cũng chính là colector của tranzito n-p-n (hình 9.15).

Miền kẹp giữa này có phần chung với bức tường cách điện loại p, do đó chuyển tiếp P-N luôn luôn phân cực ngược vì đế của vi mạch luôn luôn được nối với thế âm nhất của mạch. Thế đánh thủng của chuyển tiếp này rất cao: khoảng 20 - 30V, nên có thể chịu được sụt thế cao ở hai đầu các điện trở có giá trị lớn từ $20k\Omega$ đến $300k\Omega$. Các điện trở loại này cũng có nhược điểm là không thể tái sản xuất và có hệ số nhiệt độ cao ($+0,9\%/^{\circ}C$) và phi tuyến vì nó gần giống với hoạt động của tranzito trường kênh N.



Hình 9.15. Cấu tạo của điện trở loại "colector".

9.3.5. Thực hiện các tụ điện

Có hai phương pháp thực hiện các tụ điện có điện dung cỡ vài chục picô fara trong các vi mạch. Đó là:

- Các điện dung MOS

Điện dung loại này được thực hiện bằng cách phủ một lớp nhôm lên trên lớp oxit silic SiO_2 phủ trên bề mặt của miền khuếch tán loại N^+ có điện trở suất rất nhỏ (khuếch tán loại emitor) (hình 9.16).

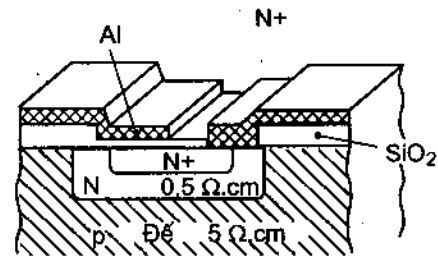
Để thu được lớp oxit không có khuyết tật, người ta chồng chất một lớp SiO_2 dày khoảng 10nm và một lớp Si_3N_4 dày khoảng 40nm lên trên miền N^+ . Điện dung của lớp này vào khoảng 1 nF/mm^2 , nghĩa là 100pF trên một mặt vuông cạnh $100\mu\text{m}$. Thế cực đại có thể chịu được là 10V.

- Điện dung phân cực

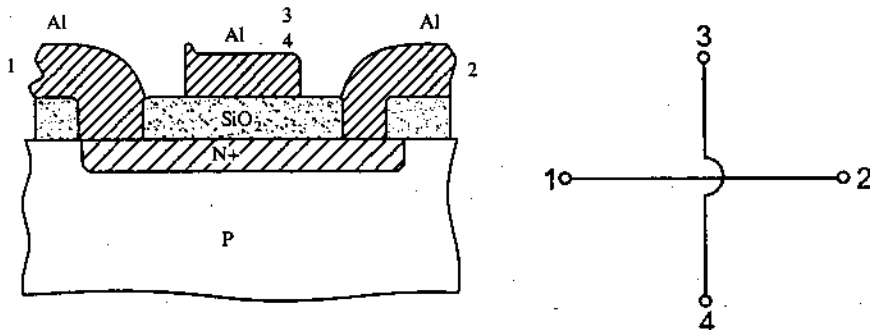
Người ta sử dụng vùng nằm giữa hai chuyển tiếp P-N phân cực ngược. Giá trị của điện dung của tụ điện phụ thuộc vào thế ngược, kích thước hình học và vào điện trở suất của bán dẫn. Các điện dung có giá trị đáng kể khi thế ngược ở hai đầu tụ lớn nhất là 6V. Người ta có thể thu được các tụ điện có điện dung 600 pf/mm^2 khi thế ngược 6V.

Điện trở nối tiếp với các tụ điện loại này không lớn lắm là do công nghệ MOS.

Cuối cùng là việc thực hiện các dây nối. Hình 9.17 cho thấy các nguyên tắc thực hiện các dây nối trong sơ đồ. Trong sơ đồ này, lớp N^+ có điện trở rất nhỏ đóng vai trò một dây nối giữa hai chân nối bằng nhôm 1 và 2.



Hình 9.16. Cấu tạo của tụ điện trong vi mạch.



Hình 9.17. Sơ đồ nguyên lý tạo các dây nối trong vi mạch.

9.4. CÁC VI MẠCH LOGIC I^2L (INTEGRATED INJECTION LOGIC)

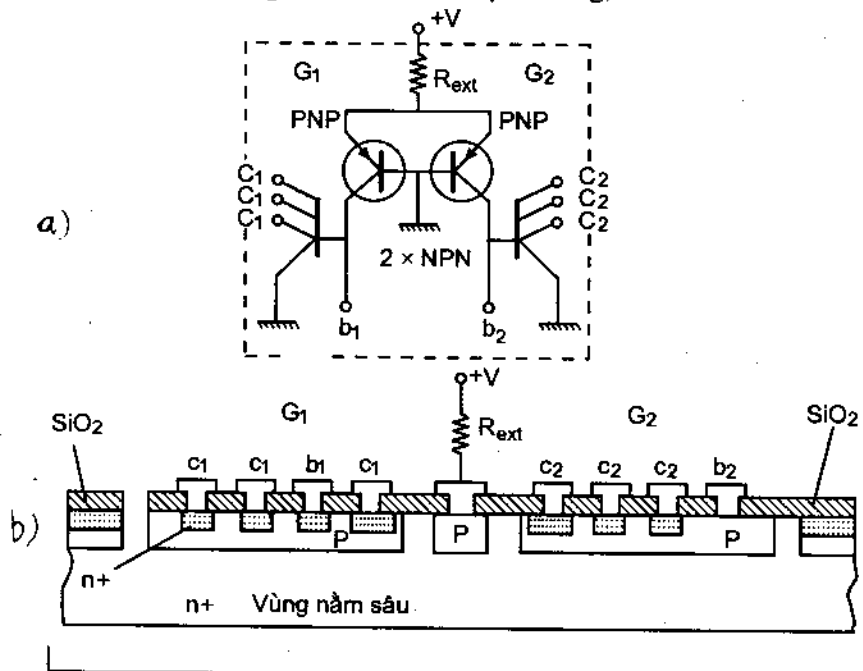
Hình 9.18 cho thấy sơ đồ một vi mạch logic hai cổng G_1 và G_2 ; mỗi cổng có ba lối vào ($C_1 - C_3$). Các dòng điện bazơ của tranzito nhiều colectơ n-p-n đến từ các tranzito phun p-n-p. Như vậy ta sẽ thu được một sơ đồ không có các điện trở tiêu thụ năng lượng và chiếm chỗ trong vi mạch. Đó chính là lý do tại sao các vi mạch loại này tiêu thụ rất ít năng lượng và có mật độ linh kiện cao.

Trong công nghệ này, các tranzito n-p-n hoạt động trong chế độ ngược. Lớp n^+ tạo thành emitor nối với vỏ. Bazơ của tranzito p-n-p cũng là emitor của n-p-n và colectơ của p-n-p lại là bazơ của n-p-n. Điều này cho phép tăng mật độ tích hợp của vi mạch.

Mức logic thấp không vượt quá 20mV, trong khi mức logic cao vào khoảng 0,4 đến 0,8V tùy theo mức dòng. Các mạch logic I^2L có những ưu điểm sau đây:

- Độ tin cậy tuyệt đối: nhỏ hơn picojun nhờ mức logic có giá trị nhỏ và nhờ điện dung của lớp chuyển tiếp P-N rất bé do kích thước của nó nhỏ. Thế nguồn nuôi nhỏ: từ 1 đến 12V. I^2L hoạt động khi thế nuôi bằng 1,5 V cũng còn tốt.

- Mật độ tích hợp cao: 500 đến 2000 cổng trên mm^2 ; có thể so sánh được với các vi mạch MOS. Dễ dàng ghép nối với máy tính vì chúng tạo nên các mạng lưới điều khiển và không có điện trở. Dòng điện nuôi có gam tương đối lớn: Người ta có thể tối ưu hóa sự tiêu thụ của một mạch bằng cách cố định dòng phun ở giá trị tối thiểu để thu được vận tốc cần thiết giữa 10nA và 100 μ A (công suất từ 1 đến 10 μ W/cổng).



Hình 9.18. Sơ đồ nguyên tắc và cấu tạo của mạch logic hai cổng I^2L .

- Có thể tổ hợp với các logic khác, đặc biệt với TTL và ECL. Người ta cũng có thể thu được tổ hợp logic - tương tự trên cùng một tinh thể bán dẫn.

- Dải nhiệt độ hoạt động khá cao: $-55^{\circ}C$ đến $+125^{\circ}C$.

- Thời gian truyền từ 20ns đến 30ns, nếu giảm kích thước và bề dày của lớp epitaxie có thể giảm thời gian truyền từ 5 đến 10ns trên một lớp logic và với mật độ tích hợp đến 2000 cổng/ mm^2 . Các vi mạch logic I^2L được ứng dụng rất rộng rãi trong mọi lĩnh vực của điện tử: xử lý số liệu, viễn thông, thiết bị và kiểm tra điều khiển, audio và video,...

9.5. CÁC VI MẠCH LOGIC TTL (TRANZITO TRANZITO LOGIC)

Nhờ sự phối hợp giữa công nghệ cách điện bằng oxit SiO_2 loại Subilo với các tranzito và diốt Schottky, người ta thu được các vi mạch TTL hoạt động nhanh và tiêu thụ năng lượng rất ít.

Chính nhờ chuyển tiếp kim loại (crôm hoặc platine - nikel) với silic mà các hạt tải điện

Hình 9.19. là sơ đồ cơ sở của một cổng logic TTL FAST của hãng Signetics RTC. Chúng có những đặc tính sau đây:

- Công nghệ này được sử dụng để sản xuất rất nhiều họ logic:

Các họ logic này gồm các cổng logic, các bộ giải mã, các triger, các bộ cộng logic, các bộ ghi dịch, các bộ đếm, các bộ ghép kênh và truyền dẫn, các bộ kiểm tra điều khiển DRAM, các bộ mã hóa/giải mã,... Nhiệt độ hoạt động đối với loại 54000 là -55°C đến $+125^{\circ}\text{C}$ và cho loại 74000 là từ -40°C đến $+85^{\circ}\text{C}$.

ch đại thuật toán.

The diagram illustrates the internal circuit of a 741 operational amplifier. It features seven transistors: Q1 (input differential pair), Q2 (input differential pair), Q3 (output stage), Q4 (input differential pair), Q5 (input differential pair), Q6 (input differential pair), and Q7 (input differential pair). The circuit includes several resistors: 10K, 4.1K, 45Ω, 5K, 15K, 2K, and 3K. Diodes are used for signal conditioning and protection. The input is labeled 'lối vào' and the output is labeled 'lối ra'. The supply voltage is Vcc.

9.6. CÁC VI MẠCH LOGIC ECL

Sơ đồ nguyên lý của một cổng hai lối vào cho trên hình 9.20. Nó chỉ chứa các tranzito n-p-n và các điện trở cao. Các mạch logic loại này hoạt động rất nhanh vì các tranzito không bị bão hòa.

- Tiêu thụ năng lượng/cổng: 25mW. - Tốc độ: 100 đến 150MHz.

146

* Logic ECL 100k: Thời gian truyền từ 0,5 đến 0,75 ns tùy theo từng mạch.

- Công suất tiêu thụ/ cổng: 25mW.

- Nhờ sự cân bằng về thể và nhiệt độ, nên các mức logic lối ra khá ổn định; đồng thời thời gian truyền cũng như độ nhạy về nhiễu được bảo toàn.

Các lối ra trở kháng nhỏ trên bộ lặp lại emitter cho phép đưa thẳng ra các đường truyền và thực hiện các mạch OR nối cấp.

* Các ứng dụng: Trong tin học, trong viễn thông, trong xây dựng thiết bị có chất lượng cao và vận tốc lớn cũng như có yêu cầu về mật độ tích hợp.

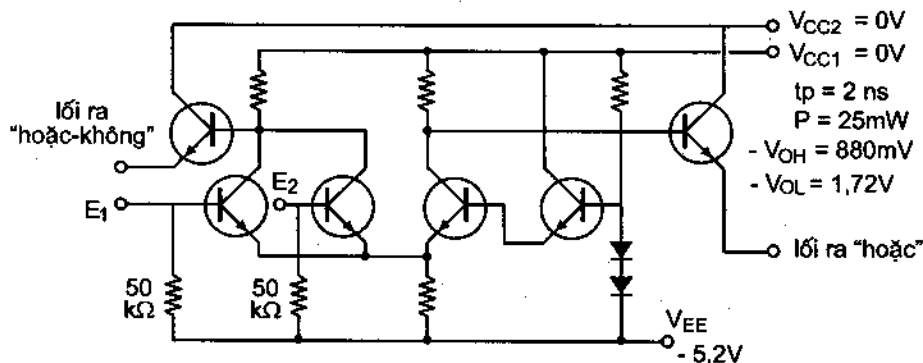
Ngoài các loại vi mạch cơ bản nói trên, công nghệ bipolar còn được sử dụng để sản xuất các bộ nhớ PROM có dung lượng từ 256 bit (32×8) và 128 kbit (384×8) thời gian truy cập từ 10ns đến 60ns; các bộ nhớ RAM có dung lượng nhớ từ 64 bit (16×4) đến 2 kbit (256×9).

* Các mạng logic có thể lập trình.

* Các vi mạch cho công nghệ viễn thông.

* Các bộ chuyển đổi A/D và D/A.

* Các ứng dụng khác ở tần số thấp, các mạch công suất, trong radio, trong điện thoại hình....



Hình 9.20. Sơ đồ nguyên lý của mạch logic ECL hai lối vào.

9.7. CÁC VI MẠCH CÔNG SUẤT HOẶC CAO THỂ

Các vi mạch bipolar không chỉ áp dụng chế tạo các linh kiện siêu bé, có công suất cực nhỏ với điện thế khoảng vài chục vôn, mà chúng còn được áp dụng để sản xuất các linh kiện có công suất lớn và cao thể dành cho các áp dụng đặc biệt, chẳng hạn như các mạch khuếch đại và quét trong tivi, các bộ khuếch đại tần số thấp hoặc các bộ khuếch đại công nghiệp....

Người ta cũng có thể chế tạo các mạch có các tranzito n-p-n và p-n-p chịu được thế $100V_{CEO}$ và từ 120 đến $150V_{CBO}$. Ứng dụng trong:

- Bộ điều khiển của ô tô 12V chịu được thế ngưỡng 120V, 90V khi phân cực ngược và 30V khi phân cực thuận với dòng chuẩn là 0,5A.

- Các bộ khuếch đại công nghiệp được nuôi dưới thế $\pm 50V$.

- Các mạch điện thoại chịu được thế $80V_{hd}$ và 120V thế ngưỡng của bộ phận báo chuông của đường dây thuê bao.

- Điều khiển motor bước bốn pha; điều khiển hoạt động của các van.

Chương 10

CÁC LOẠI VI MẠCH MOS

10.1. TRANZITO MOS

Các vi mạch MOS là tổ hợp của các tranzito MOS. Nguyên tắc hoạt động của tranzito MOS đã được nghiên cứu trong phần trước, trong chương này chỉ đề cập đến các công nghệ tích hợp các tranzito này để tạo nên các vi mạch MOS có các đặc tính thỏa mãn các yêu cầu thực tế.

Khi lựa chọn một công nghệ thích hợp, cần chú ý đến các thông số sau đây của tranzito MOS:

- Kênh là loại N hay P?
- Hướng trục tinh thể của bán dẫn làm đế [1.1.1] hay [1.0.0]?
- Bản chất tự nhiên của cực cửa: nhôm, silic đa tinh thể hay polysiliciure ?
- Pha tạp từ đế hay là lớp epitaxie ?
- Loại hoạt động: làm nghèo hay làm giàu ?

Bảng sau đây cho thấy sự đặc trưng của các loại tranzito sản xuất theo các công nghệ khác nhau. Từ bảng cho thấy công nghệ MOS cho mức độ tích hợp cao nhất. Bởi vì chính sự thu nhỏ chiều dài của kênh và lớp ngăn cách điện giữa hai MOS không còn cần thiết nữa đã làm rút ngắn rất nhiều kích thước hình học của linh kiện. Thông thường độ dài của kênh cỡ $1\mu\text{m}$; công nghệ tiên tiến có thể rút xuống còn $0,65\mu\text{m}$ hoặc thậm chí chỉ còn $0,4\mu\text{m}$. Kênh càng ngắn thì độ dày của lớp cách điện ở cửa phải càng mỏng (20 hoặc 30nm) để bảo đảm linh kiện có độ dốc của đặc trưng có thể chấp nhận được.

Các đặc trưng	TTL	MOS	CMOS	Đơn vị
Số lần quang khắc	8 đến 12	7-9	9-12	
Mức độ tích hợp	50-500	500-2000	500-1000	tr/mm ²
Nguồn nuôi	2-40	5	5	V
Dòng	< 5A	50	50	mA
Công suất/cổng	10	4	0,5	pj
Thế ngưỡng	0,6	0,7	0,7	V
Tần số xung nhịp	1	0,1	0,2	GHz

* *Thế ngưỡng của linh kiện* phụ thuộc vào hướng trục tinh thể của bán dẫn làm đế vào độ dày và vào bản chất của chất cách điện ở cực cửa cũng như vào độ pha tạp của bán dẫn silic. Thế này có giá trị rất nhỏ nếu định hướng trục tinh thể là [1.0.0] và cực cửa làm bằng silic đa tinh thể.

* *Nitrisilic (Si_3N_4)* là chất cách điện rất được ưa dùng để làm chất cách điện cho cực cửa (G) của tranzito MOS. Nó có hằng số điện môi 7,5, trong khi của SiO_2 chỉ bằng 3,9. Ngoài ra, nó còn chịu được thế đánh thủng cao hơn của SiO_2 .

Do vậy cho phép giảm độ dày và giảm thế ngưỡng.

Chất cách điện này chống lại sự xâm nhập của các ion sodium cho đến tận nhiệt độ 200°C , nên tranzito có độ ổn định lâu dài. Tuy nhiên, người ta không thể cấy trực tiếp Si_3N_4 lên silic, vì làm như vậy sẽ xuất hiện các điện tích không mong muốn ở bề mặt phân cách. Do vậy buộc phải tạo một lớp mỏng SiO_2 trên bề mặt silic trước khi cho ngưng đọng lớp Si_3N_4 dày khoảng dưới 100nm.

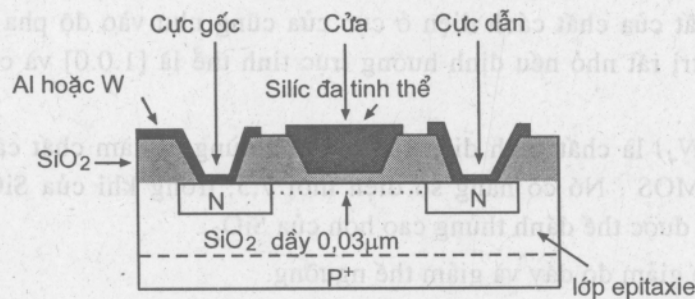
* *Bản chất tự nhiên của cực cửa* cũng có liên quan đến thế ngưỡng. Thực vậy, sự khác nhau giữa công thoát điện tử để tách một điện tử ra khỏi cực cửa và công thoát điện tử của đế tạo nên điện thế tiếp xúc, mà thế ngưỡng lại phụ thuộc vào điện thế tiếp xúc này. Điện thế tiếp xúc giữa nhôm và silic loại p với điện trở từ 1 đến $10\ \Omega\text{cm}$ vào khoảng - 0,9V. Nếu thay nhôm bằng silic đa tinh thể pha tạp mạnh, thì điện thế tiếp xúc chuyển tới +0,3; Có nghĩa là có hiệu thế 1,2V. Thế này dẫn tới giảm cả thế ngưỡng.

* *Tranzito MOS kênh n* xuất hiện sau MOS kênh p chỉ vì lý do công nghệ. Trong công nghệ chế tạo các tranzito MOS kênh n, sự nhiễm bẩn trong sản xuất thường tạo nên các điện tích dương. Các ion dương ký sinh này tích tụ ở bề mặt phân cách giữa oxit-silic. Các điện tích này gây ra sự xê dịch thế ngưỡng làm cho tranzito MOS kênh n làm giàu được giải tỏa sớm. Các điện tích này cũng có mặt trong MOS kênh p, nhưng các ion dương ở đây bị các ion âm của cực cửa hút về phía mặt phân cách nhôm oxit, nên không ảnh hưởng đến thế ngưỡng.

MOS kênh n rất ưu việt vì độ linh động của điện tử lớn gấp từ 2 đến 3 lần độ linh động của lỗ trống. Ngoài ra, điện trở của kênh n (ở chế độ ON) cũng nhỏ hơn và vận tốc làm việc của nó cũng nhanh hơn.

* *Công nghệ sản xuất MOS kênh n* gồm các bước sau đây:

- Để p^+ được phủ một lớp epitaxe p^- để chịu được các tia chiếu xạ.
- Cực gốc và cực dẫn là bán dẫn loại n pha tạp ít để tránh các hiện tượng của các hạt tải "nóng" do kích thước của kênh quá mảnh (cỡ một phần mười μm).
- Cửa (G) bằng polysiliciure làm giảm điện trở các dây nối xuống hệ số 10 (từ $20/30\ \Omega\ \text{cm}$ xuống còn $3/4\ \Omega\text{cm}$).
- Mực tráng kim đầu tiên để làm dây nối làm bằng tungsten vì nó có độ bám chắc và chịu được dòng cao và dễ ngưng đọng hóa học dưới dạng hơi. Mực tráng kim thứ hai là nhôm.
- Bình thường thì kênh không bị tráng kim vì MOS làm giàu và không có sự phân cực trên cửa, nên nó bị cấm. Sự cấy ion ở dưới cửa có thể tạo nên kênh n, MOS làm giàu, không bị phân cực trên cửa, nên nó dẫn. Cấy ion cũng có thể làm thay đổi thế ngưỡng. Cũng cần nhắc lại rằng, các vi mạch MOS rất nhạy với các điện tích tĩnh điện, do vậy cần phải bảo quản chúng trong các hộp chống tĩnh điện trước khi lắp vào trong mạch. Hình 10.1 là cấu tạo của MOS kênh n.



Hình 10.1. Cấu tạo của MOS kênh n với cửa là silic đa tinh thể.

10.2. CÔNG NGHỆ CMOS VÀ SOS

10.2.1. Công nghệ CMOS

Vì mạch CMOS là một cấu trúc gồm các tranzito MOS kênh p có chung đế với một tranzito MOS kênh n. Vì thế nó được gọi là tranzito MOS bù trừ. Nhờ cấu trúc đó, người ta đã thu được một bộ đảo rất lý tưởng.

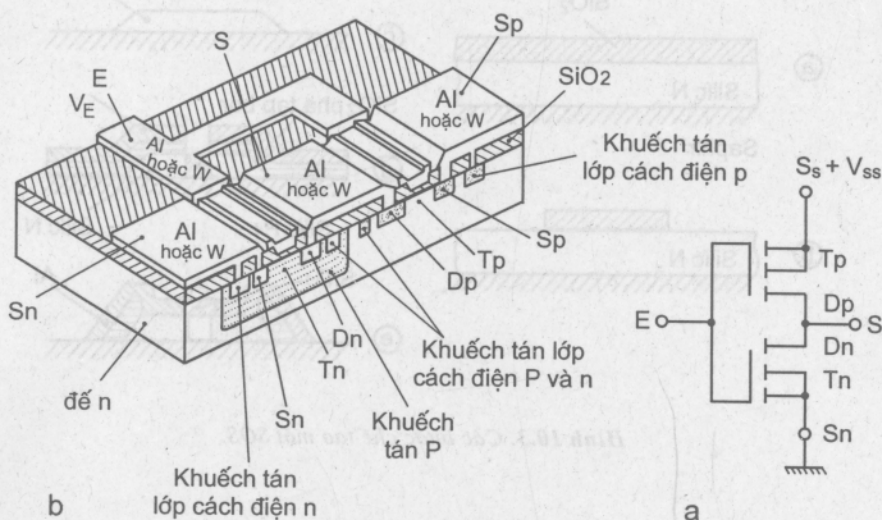
Hình 10.2 cho thấy sơ đồ nguyên tắc của bộ đảo CMOS và cấu tạo của nó. Hai MOS có chung đế là bán dẫn loại N. Trên đế này người ta khuếch tán một vùng tương đối rộng và sâu; nơi đó sẽ tạo nên MOS kênh n. Trong vùng P đó, người ta khuếch tán cực gốc S và cực dẫn D(N⁺). Tiếp đó khuếch tán cực gốc và cực dẫn cho MOS còn lại (P⁺). Sau đó người ta cho ăn mòn bớt lớp SiO₂ ở trên mặt kênh N và P, chỉ để lại một lớp mỏng và phủ lên đó một lớp Si₃N₄ sao cho độ dày tổng cộng vào khoảng từ 20 đến 30 nm cho các MOS có chiều dài kênh nhỏ hơn 1μm. Các cực làm bằng tungsten và các dây dẫn nối ra được phủ ở trên mạch để tạo chân cho vi mạch.

Mạch này hoạt động như sau: Khi thế lối vào ở trong trạng thái cao, thì $V_E = V_{SS}$; Do vậy, MOS kênh n dẫn (ON) còn MOS kênh P đóng (OFF). Thế lối ra bằng thế đất (trạng thái thấp), khi thế vào ở trạng thái thấp (bằng thế đất), thì MOS kênh n OFF còn MOS kênh P dẫn (ON); thế lối ra bằng thế V_{SS} ; tức là ở trạng thái cao.

Vì hai MOS này không dẫn một cách đồng thời, nên về phương diện lý thuyết, mạch không tiêu thụ năng lượng. Tuy nhiên, trong thực tế có dòng rò rất nhỏ và có sự tích điện và phóng điện của các điện dung ký sinh. Dòng này tăng với sự tăng tần số.

* Các đặc trưng điện của CMOS

- Thế nuôi nhỏ: 1V đến 5V tùy theo loại.
- Thời gian truyền dẫn nhanh: < 3ns trên cổng.
- Tiêu thụ năng lượng có thể loại trừ ở trạng thái nghỉ.
- Khả năng chống nhiễu cao.
- Thế nuôi duy trì: 2V.



Hình 10.2. Sơ đồ nguyên tắc và cấu tạo của CMOS.

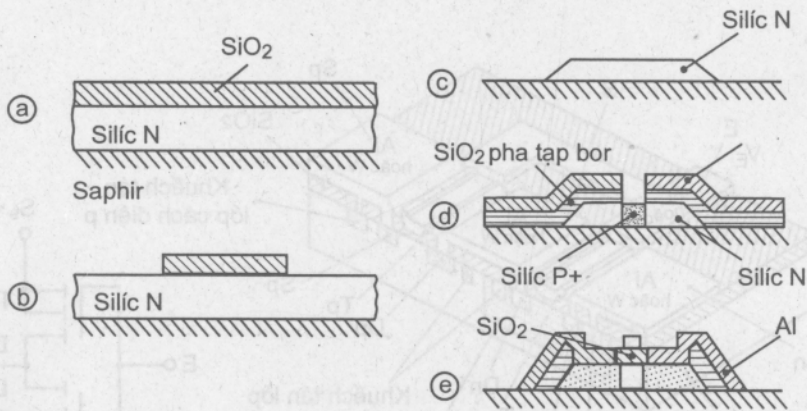
Sp: Cực gốc của MOS kênh p; Tp: tranzito kênh p; Dp: Cực dẫn của MOS kênh p; Tn: Tranzito kênh n; Dn: Cực dẫn của MOS kênh n; E: Lối vào; Sn: Cực gốc của MOS kênh n; S: lối ra.

10.2.2. Công nghệ SOS

Đó là công nghệ sản xuất các MOS trên đế saphir nên còn gọi là tranzito SOS. Như đã biết, người ta có thể tạo các lớp epitaxi trên các đế khác nhau với điều kiện vật liệu làm đế có cùng cấu trúc trực tinh thể như của lớp epitaxi đó. Saphir và silic cùng có cấu trúc trực tinh thể diamant, vì vậy có thể ngưng đọng một lớp epitaxi của silic lên trên đế saphir, chính vì thế mới có tên gọi SOS (silicon over saphir). Tranzito SOS không nhạy cảm đối với các tia chiếu xạ bởi vì saphir không bị ảnh hưởng bởi các tia chiếu xạ như silic; Vì thế nó được ứng dụng rộng rãi trong quân sự, trong liên lạc không gian và trong điện tử hạt nhân. Tuy nhiên giá thành của các linh kiện loại này còn khá cao.

Hình 10.3 mô tả các giai đoạn để chế tạo một SOS. Người ta phủ một lớp epitaxie từ silic dày 1 μm trên đế saphir, sau đó lại phủ một lớp SiO_2 (a). Dùng quang khắc, chỉ giữ lại một phần SiO_2 (b). Sau đó cho ăn mòn phần silic, chỉ để lại một đảo nhỏ silic ở trên đế (c). Tạo lớp oxit thứ hai phủ toàn bộ đảo silic (d). Dùng mặt nạ và quang khắc theo phương pháp kinh điển tạo được một tranzito MOS. Tạp chất P được thực hiện nhờ khuếch tán Bo. Lớp P này sau đó lại được phủ oxit. Cuối cùng là chế tạo cực cửa và các chân nối ra cho cực gốc và cực dẫn bằng nhôm (e).

Bề dày của lớp oxit nằm dưới cửa từ 30 đến 50nm. Như vậy sẽ được một MOS kênh p. Đối với các MOS kênh n thì lớp epitaxi pha tạp loại P nhờ Bo, còn lớp khuếch tán tiếp theo N được pha tạp với photpho.



Hình 10.3. Các bước chế tạo một SOS.

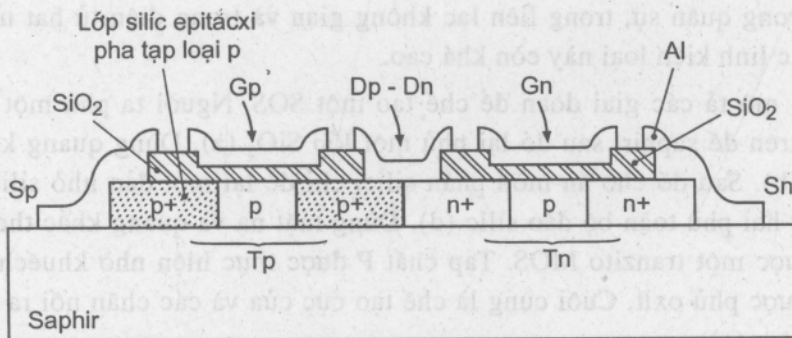
10.2.3. Chế tạo một tranzito SOS bù trừ

Công nghệ SOS cũng rất quan tâm đến việc chế tạo các SOS bù trừ (Complementair SOS). Đây cũng là mạch gồm hai MOS có kênh n và p chế tạo trên cùng đế saphir.

Hình 10.4 là cấu tạo của SOS loại này. Trong sơ đồ tranzito SOS P^+PP^+ là loại làm nghèo, còn SOS N^+PN^+ là loại làm giàu. Đây là loại cấu tạo bất thường vì một MOS kênh p thường có cấu tạo PNP. Cấu trúc này cho ta một bộ đảo lý tưởng.

Các đặc trưng của CSOS

- Chuyển mạch rất nhanh: 1ns/cổng.
- Mức độ tổ hợp khả dĩ khá cao: độ dài của kênh $< 1\mu m$.
- Không nhạy với các tia phóng xạ và nhiễu.



Hình 10.4. Cấu tạo của SOS bù trừ.

T_p : SOS kênh p làm nghèo; T_n : SOS kênh n làm giàu; S_p : Cực gốc của SOS kênh p; G_p : Cực của của kênh p; D_p : Cực dẫn của kênh p; S_n : Cực gốc của kênh n; G_n : Cực của của kênh n; D_n : Cực dẫn của kênh n.

10.3. CÔNG NGHỆ CHẾ TẠO CÁC LOẠI VI MẠCH GaAs

10.3.1. Tranzito trường GaAs

Các tranzito trường được chế tạo từ GaAs có độ linh động của điện tử rất cao: $6500 \text{ cm}^2/\text{V.s}$ và độ rộng vùng cấm lớn: $1,43 \text{ eV}$ nên để làm bằng bán dẫn này gần như là chất cách điện vì nó có điện trở suất rất cao; $10^8 \Omega.\text{cm}$. Tranzito trường làm bằng bán dẫn GaAs có độ dài của kênh rất ngắn: $0,25 \mu\text{m}$; vì vậy các linh kiện loại này hoạt động ở tần số rất cao, thường là lớn hơn 100 GHz , có nghĩa là thời gian truyền cũng rất ngắn khoảng 50 ps trong một bộ đảo. Tuy nhiên, nó cũng có nhược điểm: Lỗ trống có độ linh động nhỏ: $400 \text{ cm}^2/\text{V.s}$. Điều này ngăn cản sự chế tạo các CMOS và các tranzito kênh p.

Với công nghệ GaAs người ta có thể tạo được các mạch FET lại vi sóng với tần số $> 18 \text{ GHz}$ có thể tích rất nhỏ không công kênh có thể tái sản xuất vì vậy giá thành sản phẩm rất hạ. Các vi mạch số, các mạng mạch phức tạp trước khi phát, các đầu thu vệ tinh của TV ở tần số 12 GHz ... đều được chế tạo theo công nghệ này. Ngoài ra, việc truyền dẫn lưu lượng cao trên các cáp quang trong dải từ 140 hoặc 560 Mbít/s đến $1,2$ hoặc $2,4 \text{ Gbít/s}$ cũng dùng các linh kiện loại này.

10.3.2. Công nghệ

Có bốn loại chính:

- Công nghệ chế tạo các JFET được điều khiển bằng chuyển tiếp P-N giành cho các vi mạch cứng.

- Công nghệ MESFET: được điều khiển bằng diốt Schottky. Công nghệ này được sử dụng nhiều nhất.

- Các tranzito có độ linh động điện tử cao HEMT. Đó cũng là công nghệ chế tạo tranzito trường MESFET, nhưng kênh dẫn là một chất khí điện tử hai chiều được tạo nên nhờ chuyển tiếp dị tính thể giữa một lớp GaAlAs pha tạp loại n và một lớp GaAs tinh khiết. Tranzito này hoạt động rất tốt ở vùng nhiệt độ thấp, nhất là nhiệt độ nitơ lỏng 77°K có độ linh động điện tử rất cao $> 100\,000 \text{ cm}^2/\text{V.s}$.

- Tranzito HBT n-p-n được cấu tạo nhờ chuyển tiếp dị tính thể giữa GaAlAs n/ GaAs⁺⁺ có tần số cắt đến 45 GHz . Sau đây ta xét một công nghệ điển hình nhất, đó là công nghệ chế tạo các tranzito MESFET.

10.4. CÔNG NGHỆ MESFET

Có hai loại tranzito MESFET:

- E. MESFET: Đó là tranzito có kênh làm giàu, được dùng nhiều trong các mạch số.

- D. MESFET là tranzito trường có kênh làm nghèo (depletion); được sử dụng chủ yếu trong các mạch tương tự.

Cả hai cách chế tạo cũng gần giống nhau (hình 10.5).

Trên một đế gần như cách điện có trục tinh thể $[100]$ với mật độ sai hỏng mạng từ 10^4 đến $10^5/\text{cm}^3$. Để pha tạp indium có độ sai hỏng mạng cũng rất thấp ($10^2/\text{cm}^3$). Sự sai hỏng mạng sẽ gây nên sự bất đồng nhất về thế ngưỡng (V_T). Sự pha tạp để được thực hiện nhờ phương

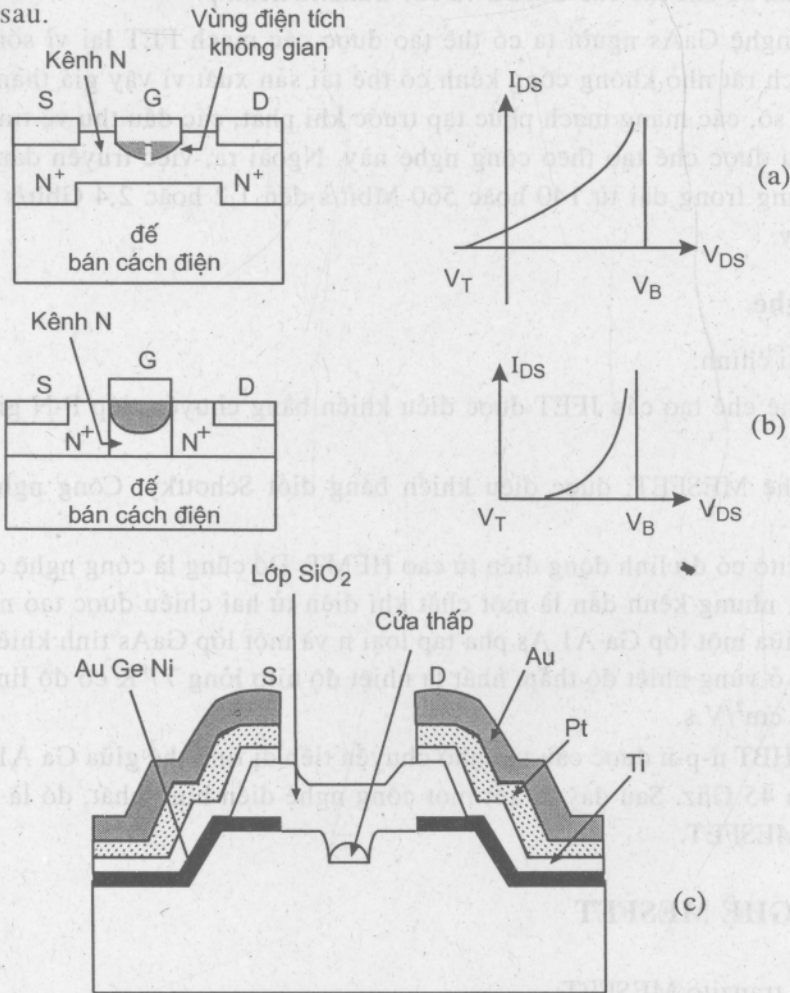
pháp cấy ion tạp chất, vì vậy mức độ pha tạp được kiểm tra với độ chính xác cao và rất đồng nhất trên toàn bộ thể tích. Sau đó người ta tạo các miền cực gốc và cực dẫn cũng bằng việc cấy ion. Các vùng này được pha tạp mạnh để giảm điện trở của kênh của tranzito.

Tiếp xúc ômic được thực hiện nhờ các lớp Au-Ge-Ni ngưng đọng dưới dạng hơi kim loại bằng cách sơn lắng đọng. Dây nối của cực dẫn được làm bằng các lớp kim loại Au-Pt-Ti.

Để bảo vệ bề mặt hoạt động của GaAs người ta phủ trên đó một lớp Si_3N_4 bằng phương pháp lắng đọng hóa học.

Mặt sau của đế được đánh bóng và mài sao cho còn độ dày khoảng $100\mu\text{m}$, sau đó mạ một lớp vàng dày khoảng $5\mu\text{m}$.

Sự phân cách giữa các khối mạch với nhau được thực hiện nhờ sự quang khắc tổng thể, bắt đầu từ mặt sau.



Hình 10.5. Sơ đồ nguyên tắc của D.MESFET (a); E.MESFET (b) và cấu tạo thực tế của một MESFET R.T.C. (c).

10.4.1. Các cấu trúc logic cho các vi mạch GaAs

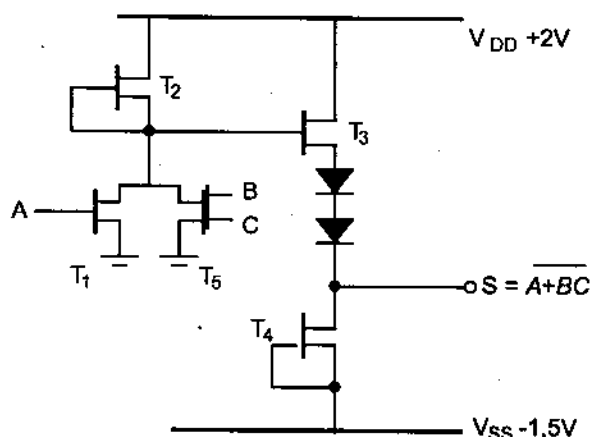
10.4.1.1. Cấu trúc BFL (Buffered Fet Logic)

Trong cấu trúc này, người ta sử dụng các tranzito D.MESFET như trên hình 10.6. Bộ đảo cơ sở chứa 4 tranzito ($T_1 - T_4$) và chức năng OR – NOT thu được nhờ bổ sung thêm các tranzito mắc song song với T_1 .

Tranzito có cửa kép (T_5) cho phép thực hiện chức năng AND. Các chức năng logic được thực hiện trên tầng đầu tiên, còn tầng thứ hai (T_3 – T_4) thực hiện quá trình chuyển mức. Với $V_T = -1V$ và $V_B = 0,7V$ thì độ lệch logic từ 0,6 và 1,5V.

Cấu trúc này có nhược điểm là cần hai thế nuôi: $V_{SS} = -1,5V$ và $V = +2V$ và tích số giữa vận tốc hoạt động với công suất tiêu thụ còn cao: 0,3 đến 1,5 . Tuy nhiên, nó cũng có nhiều ưu điểm như:

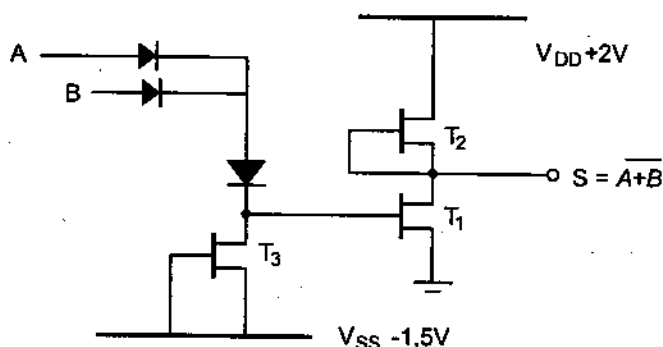
- Hệ số tải lối ra về dòng không đổi không hạn chế
- Thời gian truyền rất ngắn (100ps).
- Công nghệ chế tạo đơn giản.



Hình 10.6. Cấu trúc của bộ đảo BFL (FET logic).

10.4.1.2. Cấu trúc SDFL (Schottky Doide FET Logic)

Hoàn toàn giống như cấu trúc BFL, nhưng cái khác ở đây là phép đảo được thực hiện bởi các tranzito T_1 và T_2 (hình 10.7), còn các chức năng logic được thực hiện nhờ các diốt Schottky. Vì vậy, cấu trúc này có ưu điểm là hoạt động nhanh hơn (60 đến 100ps) và mật độ tích hợp cao vì diốt chiếm ít diện tích. Tuy nhiên nhược điểm là hệ số tải lối ra không cao và thời gian truyền phụ thuộc vào hệ số tải lối ra.



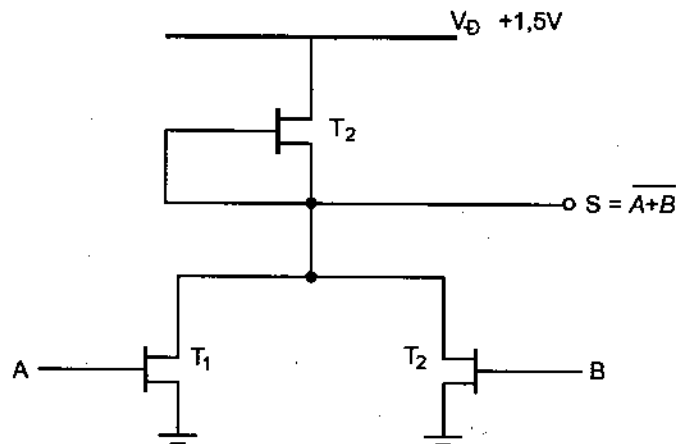
Hình 10.7. Cấu trúc SDFL.

10.4.1.3. Cấu trúc DCFL (Direct Coupled Fet Logic)

Trong cấu trúc này sử dụng các tranzito E.MESFET vì vậy nó chỉ cần một thế nuôi: $V_D = +1,5V$. Thế ngưỡng V_T nằm giữa 0 và 0,3V, vì $V_B = 0,7$ đến 0,8V, nên sự khác nhau giữa các mức logic bị giới hạn ở mức 0,5V như trên hình 10.8.

Cấu trúc cơ sở nhận sơ đồ của NMOS. Các tranzito $T_1 - T_3$ được tích điện nhờ tranzito T_2 kênh làm nghèo. Các mức lối vào và ra thì tương hợp với nhau, vì vậy không cần phải mắc thêm tầng chuyển mức. Ưu điểm của cấu trúc này là:

- Tích số vận tốc và tiêu thụ rất tốt: $< 0,1 \text{ pj}$.
- Mật độ tích hợp cao.



Hình 10.8. Cấu trúc DCFL.

- Hoạt động rất nhanh: 80 đến 120ps.
- Công suất tiêu thụ trên cổng nhỏ: 0,05 đến 0,5 mW.

Nhược điểm là:

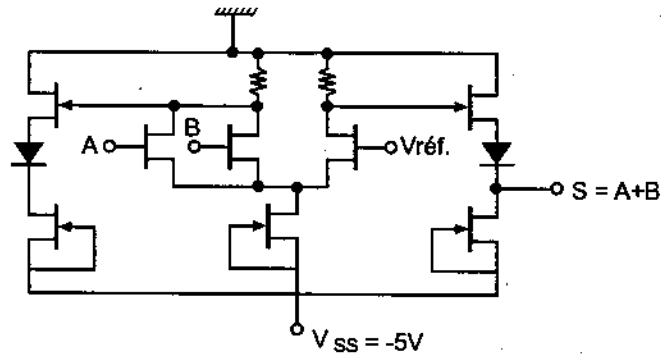
- Công nghệ tinh vi để định được chính xác giá trị thế ngưỡng và các điện trở tiếp xúc.
- Thời gian truyền phụ thuộc rất nhiều vào tải lối ra.

10.4.1.4. Cấu trúc CML (Common Mode Logic)

Cấu trúc này còn được gọi là cấu trúc SCFL (Source Coupled FET Logic), tương tự như cấu trúc ECL của silic với thế nuôi $V_{SS} = -5V$. Trong cấu trúc này sử dụng các E.MESFET nên tiêu thụ nhỏ, chỉ cỡ từ 1mW đến 10mW. Thế ngưỡng V_T nằm trong khoảng từ 0 đến 0,3V. Sự khác nhau giữa các mức logic chỉ 0,5 đến 0,8 V (hình 10.9).

Cấu trúc này được sử dụng để làm:

- Các máy phát xung nhịp đến tần số 13GHz cho các mạch nhanh và phức tạp; để làm các bộ dồn kênh lưu lượng cao; để tổng hợp tần số; làm các bộ chia có thể lập trình.
- Các mạch tính số học và các mạng cổng logic; các bộ nhân song song ALU đến 16 bit.
- Các bộ nhớ SRAM cho các carte nhớ của các máy tính lớn.
- Các bộ chuyển đổi A/D và D/A có độ phân giải cao và tần số lấy mẫu cỡ GHz cho các dao động ký, trong viễn thông, trong xử lý tín hiệu thời gian thực các tiếng vọng của rada.



Hình 10.9. Cấu trúc CML.

10.5. CÔNG NGHỆ BI-CMOS

Đầu những năm 80, CMOS đã trở thành một công nghệ chủ yếu tạo nên các vi mạch logic và nhớ VLSI tiêu tán năng lượng cực thấp. Một vài năm sau, năm 1983, một quy trình tương đồng với bipolair nhưng lại dựa trên công nghệ CMOS đã được phát triển bằng cách sử dụng các ưu thế của các linh kiện bipolair lẫn CMOS. Như vậy, công nghệ BiCMOS đã ra đời. Trong đó có cả công nghệ Bipolair lẫn công nghệ CMOS được áp dụng trên cùng một chip bán dẫn. Cho đến nay, BiCMOS đã trở thành một công nghệ ngự trị trong việc sản xuất các vi mạch VLSI tốc độ cao và đa năng.

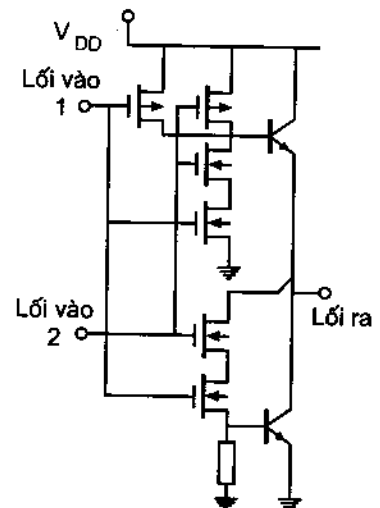
Công nghệ BiCMOS tập hợp được những ưu việt của công nghệ bipolair và CMOS:

- Công nghệ CMOS có công suất tiêu thụ rất nhỏ, mật độ tích hợp rất cao và lễ chống nhiễu lại rất lớn. Do vậy, nó rất thích hợp để sản xuất các mạch phức tạp.
- Ngược lại, công nghệ Bipolair lại có dòng lái ra mạnh và vận tốc hoạt động rất cao.
- Trên những ưu điểm đó, theo quan điểm về mạch, công nghệ BiCMOS rất hấp dẫn, vì các hệ thống tương tự và số có thể được thực hiện trên cùng một chip và cải thiện đáng kể những ưu việt của CMOS về vận tốc, về công suất tiêu thụ thấp và lễ chống nhiễu. Hiện nay, trước những yêu cầu cao về tốc độ và mức độ tích hợp, công nghệ BiCMOS cũng đã được cải thiện và tinh vi hơn rất nhiều để tạo nên các mạch logic mảng (array), các bộ nhớ tĩnh có dung lượng cực lớn, nhưng tốc độ truy cập cực nhanh (nhỏ hơn 10ns). Đáp ứng những yêu cầu đó, công nghệ BiCMOS ECL LSI đã ra đời.

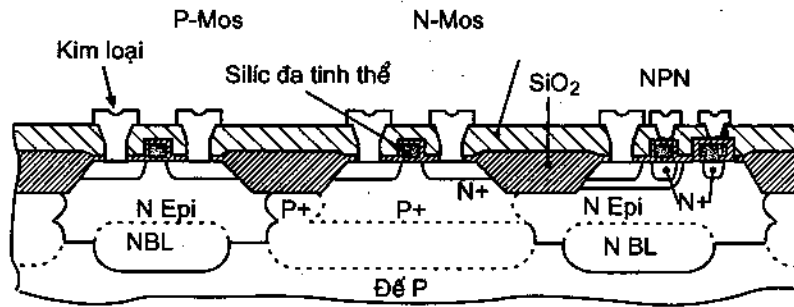
Hình 10.10. là sơ đồ mạch NAND dùng công nghệ BiCMOS. Trong sơ đồ này, các CMOS thực hiện chức năng logic, còn các tranzito lưỡng cực (bipolair) là để tạo mức logic cho lối ra.

Để thực hiện sơ đồ trên, người ta dùng một đế loại P (hình 10.11); trên đó khuếch tán hai vùng: Vùng thứ nhất n^+ cho các tranzito n-p-n và PMOS, vùng thứ hai P^+ làm dây nối giữa các cực của NMOS với đế. Giai đoạn này chủ yếu là để giảm bớt các điện trở ký sinh và để chống nhiễu.

Lớp epitaxie N dày $1,5 \mu m$ được phủ lên. Chiều dày rất mỏng của lớp này cải thiện hiệu năng của mạch nhờ sự giảm bớt được điện trở và điện dung của colectơ. Lớp silic đa tinh thể được ngưng đọng để làm cực cửa emitơ và colectơ cho các tranzito lưỡng cực.



Hình 10.10. Sơ đồ của mạch NAND dùng công nghệ BiCMOS.



Hình 10.11. Cấu tạo của mạch NAND theo công nghệ BiCMOS.

10.5.1. Khuynh hướng phát triển của công nghệ BiCMOS

Có hai khuynh hướng chủ yếu:

- Thực hiện các vi mạch rất phức tạp; nghĩa là mức độ tổ hợp ngày càng lớn VLSI.
- Giảm thế nuôi; nghĩa là làm giảm công suất tiêu thụ của mạch. Điều này đặc biệt có ý nghĩa cho các mạch xử lý tín hiệu bé hoặc cực bé.

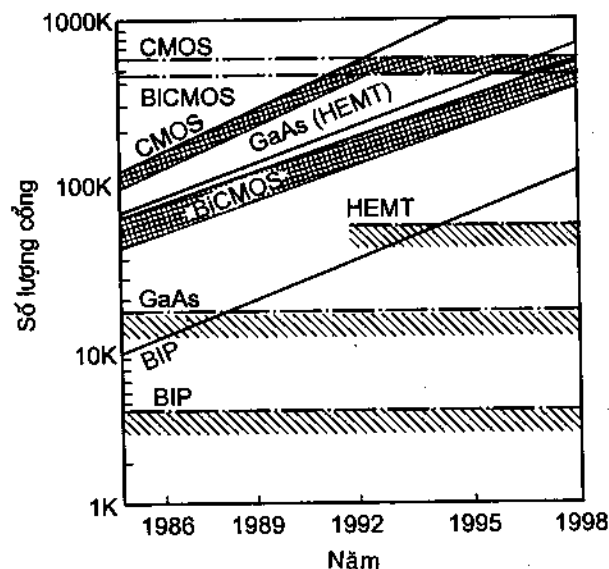
10.5.2. Khuynh hướng tăng hiệu năng và mật độ tích hợp

Độ phức tạp của một mạch logic ngẫu nhiên tăng lên hàng năm. Hình 10.12 biểu thị sự tăng trưởng từ năm 1986 cho đến năm 1998.

Đồ thị này dựa trên các quy tắc phân cấp của các vi mạch: chẳng hạn về độ dài của cửa (Gate) và độ rộng của emitter; 1,2 μ m và 1,0 μ m trong năm 1986; 0,8 μ m và 0,6 μ m trong năm 1989; 0,5 μ m và 0,3 μ m trong năm 1992 và 0,25 μ m và 0,2 μ m trong năm 1996. Hình vẽ cũng cho thấy các linh kiện CMOS và BiCMOS sẽ bị hạn chế trong mức độ phức tạp của thiết bị, còn các linh kiện ECL lưỡng cực hoặc Ga As hoạt động ở vận tốc cao sẽ bị giới hạn trong sự tiêu tán công suất. Như vậy, các thiết bị CMOS và BiCMOS có khả năng sống lâu hơn, trong đó CMOS chiếm ưu việt trong các thiết bị có mật độ tích hợp cao.

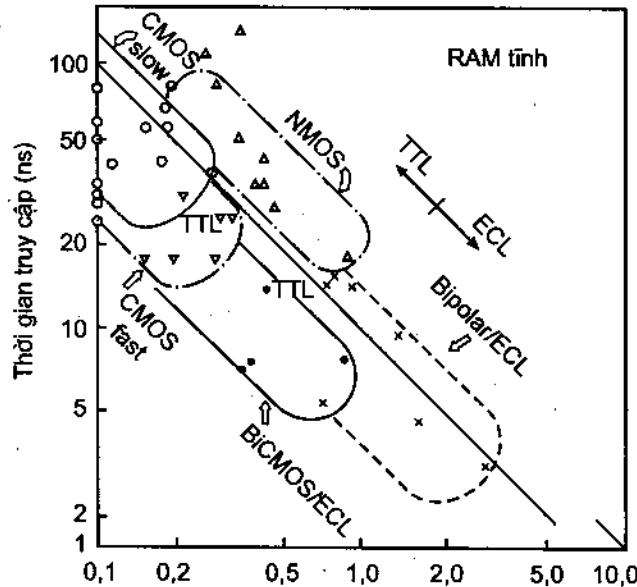
Số lượng cổng

— Công suất tiêu tán giới hạn
— Nhiệt độ tích hợp giới hạn



Hình 10.12. Sự phát triển của mật độ tích hợp của các mạch có giới hạn công suất 4W và kích thước của chip 10 mm².

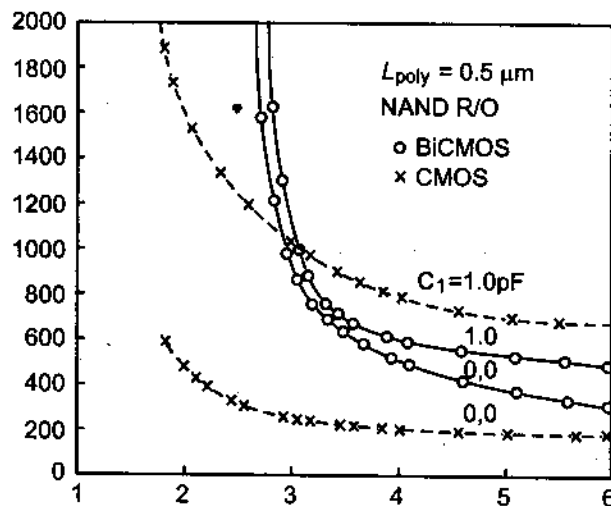
Hình 10.13 cho thấy những ưu việt của công nghệ BiCMOS ở tích số tốc độ-công suất của SRAM so với các công nghệ NMOS, CMOS và ECL lưỡng cực. Do hạn chế về công suất tiêu tán, các linh kiện ECL không thể thực hiện trong các RAM có mức độ tích hợp lớn hơn 256 Kbit. Trong trường hợp này, BiCMOS là công nghệ tốt nhất để chế tạo các vi mạch VLSI có tốc độ cao, công suất lớn.



Hình 10.13. Thời gian truy cập và công suất hoạt động của SRAM theo các công nghệ NMOS, CMOS, ECL và TTL/ECL BiCMOS.

10.5.3. Thế nuôi giới hạn của BiCMOS

Thời gian truyền (ps/tầng)



Hình 10.14. Sự phụ thuộc của thời gian truyền vào thế nuôi của CMOS và BiCMOS.

Một khi kích thước của linh kiện giảm nhỏ hơn $0,5 \mu\text{m}$, thì hệ thống nguồn nuôi hy vọng là có thể rút xuống còn 3,3V; Nếu thấp hơn thế này, thì BiCMOS có thời gian truyền bị trễ rất nhanh (hình 10.14); Nếu thế nuôi khoảng 5V thì CMOS lại xuất hiện các điện tử “nóng”. Các điện tử nóng này sinh ra các dao động mạng làm tăng tạp âm nội của mạch. Vì

vậy giới hạn nguồn nuôi 3V có thể là thế nuôi bé nhất để đảm bảo các vi mạch BiCMOS hoạt động có hiệu quả cao.

10.6. CÁC VI MẠCH CÔNG SUẤT

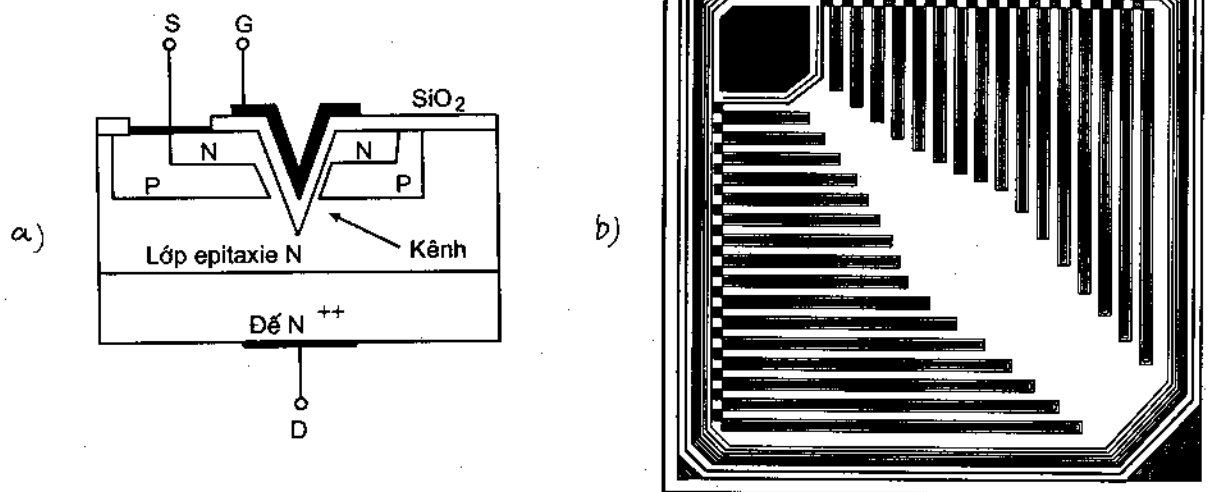
10.6.1. Các tranzito VMOS có cấu trúc thẳng đứng

Tranzito VMOS là các MOS có cực cửa được thực hiện dưới dạng hình chữ V. Với cấu trúc này, kích thước của kênh được thu nhỏ nhất; nhờ đó điện trở cũng như điện dung giảm đến mức tối thiểu và vì vậy cho phép tăng vận tốc chuyển mạch và tần số hoạt động của linh kiện. Các tranzito VMOS thực hiện dễ dàng trong các vi mạch có thể kích thích các dòng lớn, nên rất thích hợp trong các vi mạch công suất.

Bảng sau đây cho ta sự so sánh các đặc trưng của VMOS và các tranzito lưỡng cực:

Các thông số	Lưỡng cực	VMOS
Điện trở lối vào	$10^3 - 10^5 \Omega$	$10^9 - 10^{11} \Omega$
Khuếch đại công suất	100-200	$10^5 - 10^6$
Thời gian chuyển mạch t_{ON}	50-500ns	4ns
Thời gian chuyển mạch t_{OFF}	500-2000ns	4ns
Điện trở nối tiếp	0,3 Ω	3 Ω

Hình 10.15 là cấu tạo của tranzito VMOS.



Hình 10.15. Cấu tạo của tranzito VMOS.

a) Cấu tạo của một VMOS ; b) VMOS trong thực tế sản xuất. Nhiều VMOS mắc song song

Quá trình chế tạo như sau: Trên đế pha tạp N⁺, người ta ngưng đọng lớp epitaxie N pha tạp ít. Trên lớp epitaxie này, người ta khuếch tán một vùng P để tạo kênh và cực gốc và một vùng N⁺ để thu hẹp chiều dài của kênh. Nhờ ăn mòn hóa học trong khoảng thời gian tương đối lâu, vùng ở giữa tinh thể bị ăn mòn khá sâu cho đến tận lớp epitaxie N. Sau đó một lớp oxit được phủ lên trên hố bị ăn mòn hình chữ V này và tiếp tục phủ kim loại lên trên lớp oxit để

làm cực cửa và chân nối cho cực gốc. Mặt sau của đế được đánh bóng, tráng kim loại và hàn với vỏ để làm cực dẫn cho tranzito. Như vậy người ta đã thu được một MOS kênh P trong đó dòng điện không chạy theo phương nằm ngang mà lại chạy theo phương thẳng đứng dọc theo chiều dày của miếng silic. Nó xuất phát từ cực gốc, qua lớp khuếch tán và nhanh chóng đạt tới cực dẫn. Chiều dài của kênh rất ngắn (tương ứng với độ dày của vùng P, giữa vùng khuếch tán N^+ và lớp epitaxie N, dài cỡ 1,5 μm tranzito công suất thông thường có độ dài kênh từ 5 μm đến 8 μm). Trong cấu trúc này thì cả hai mặt của rãnh chữ V đều tham gia dẫn dòng; do vậy dòng điện tải được sẽ rất cao, đồng thời kích thước của linh kiện cũng được thu nhỏ; Thế đánh thủng cũng tăng lên do lớp epitaxie có điện trở cao.

Mặt khác, điện dung giữa cửa và cực dẫn cũng được giảm bớt do sự có mặt của lớp epitaxie N. Người ta cũng thấy sự phụ thuộc của dòng I_D vào thế cửa tuân theo quy luật tuyến tính.

Vì độ dài của kênh rất ngắn, nên tần số hoạt động cực đại của tranzito VMOS cũng tăng so với các loại khác.

Trong thực tế, người ta mắc song song một số lớn các mạch cơ sở này để thu được các vi mạch có công suất như ý muốn (hình 10.15b).

Các đặc trưng của VMOS

- Trở kháng vào rất cao cho phép tác động về thế.
- Vận tốc chuyển mạch cỡ nano giây cho phép thực hiện các bộ chuyển mạch gần như lý tưởng.
- Hệ số khuếch đại công suất cực lớn cỡ hàng trăm nghìn lần.
- Độ tuyến tính cao cho phép thực hiện các bộ khuếch đại tuyến tính về công suất.
- Không có sự quá tải về nhiệt độ và cũng không có hiện tượng đánh thủng thứ cấp do hệ số nhiệt độ dương.
- Mắc song song nhiều mạch cơ sở không gây nên bất kỳ vấn đề nào và cũng không cần biện pháp bảo vệ đặc biệt nào. Điều đó có nghĩa là cấu trúc VMOS rất dễ thực hiện về phương diện công nghệ.
- Điện trở nối tiếp là nhược điểm duy nhất của VMOS so với loại lưỡng cực. VMOS kênh P có điện trở nối tiếp lớn gấp 2 đến 3 lần VMOS kênh N vì lỗ trống có độ linh động rất nhỏ so với điện tử.

Hãng Siemens của Đức còn đưa ra MOS có cấu trúc thẳng đứng có tên gọi là SIPMOS (Siemens Power MOS). Hình 10.16 là cấu tạo và thực hiện một tranzito SIPMOS của hãng Siemens. Cấu trúc này đã được nghiên cứu để có thể kích hoạt các vi mạch logic hoặc tương tự LSI và tạo ra công suất lớn ở lối ra. Bảng sau đây cho thấy những đặc trưng cơ bản của 5 họ SIPMOS dưới dạng vỏ TO3:

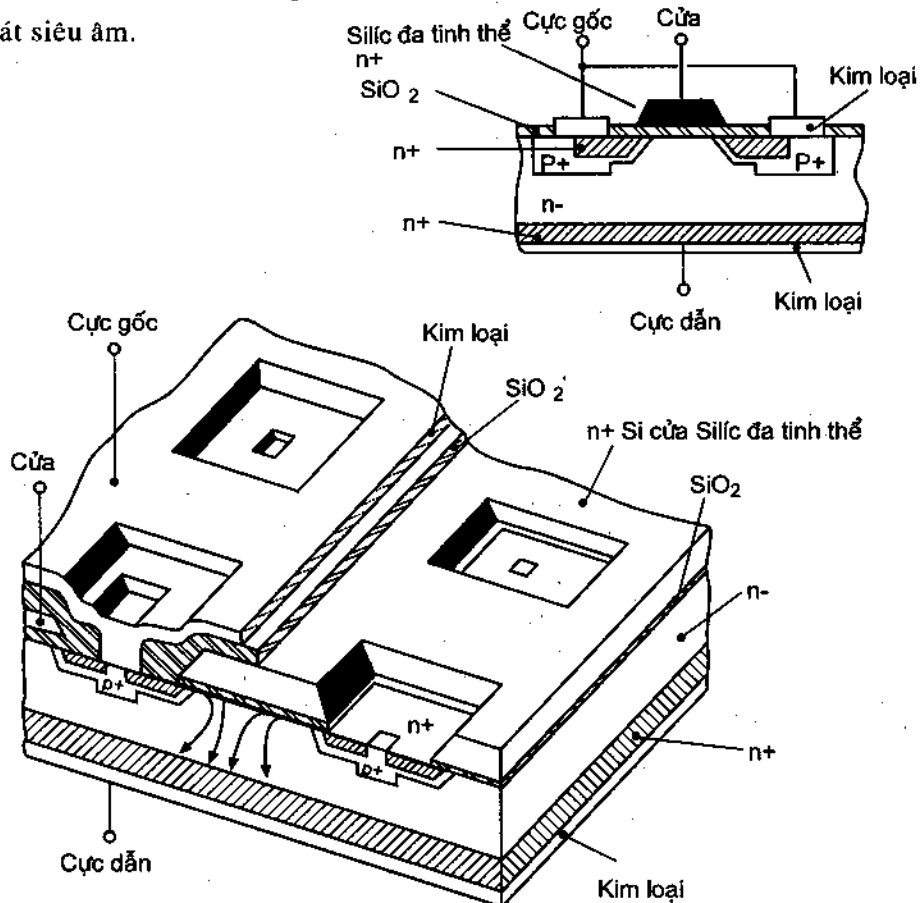
Loại	BUZ14/15	BUZ23/25	BUZ34/36	BUZ44/45	BUZ53/54	Đơn vị
V_{DS}	50	100	200	500	1000	V
I_D	39/45	10/32	14/22	4,2/9,6	2,6/5,3	A
P	125	78/125	78/125	78/125	78/125	W
R_{ON}	0,03/0,04	0,06/0,1	0,12/0,4	0,5/2	2/5	Ω
t_{ON}	140	80/110	70/100	70/130	70/150	ns
T_{OFF}	580	170/500	170/450	160/440	170/440	ns

Thế cấm khoảng 2V. Độ ổn định nhiệt rất cao cho phép ghép song song nhiều mạch cơ sở mà không gây nên rắc rối nào. SIPMOS có ưu điểm là:

- Chuyển mạch công suất lớn và nhanh.
- Đặc trưng tuyến tính.
- Tần số hoạt động cao
- Chịu được thế lớn.
- Cắt được các dòng mạnh.
- Thời gian chuyển mạch ngắn.

SIPMOS được ứng dụng rộng rãi trong:

- Chuyển đổi dòng xoay chiều, nguồn nuôi có cắt quang.
- Tạo sóng và khóa.
- Tự động hóa điện tử.
- Chuyển mạch cho các tải cảm ứng.
- Các bộ khuếch đại âm tần trong Hi-Fi.
- Máy phát siêu âm.



Hình 10.16. Cấu tạo và sự thực hiện tranzito SIPMOS.

- Viễn thông, tin học.
- Các mạch ghép nối máy tính CMOS, NMOS.
- Điện tử công nghiệp và dân dụng.

10.7. CÁC BỘ NHỚ DÙNG HIỆU ỨNG TRƯỜNG

10.7.1. Các bộ nhớ RAM tĩnh (SRAM)

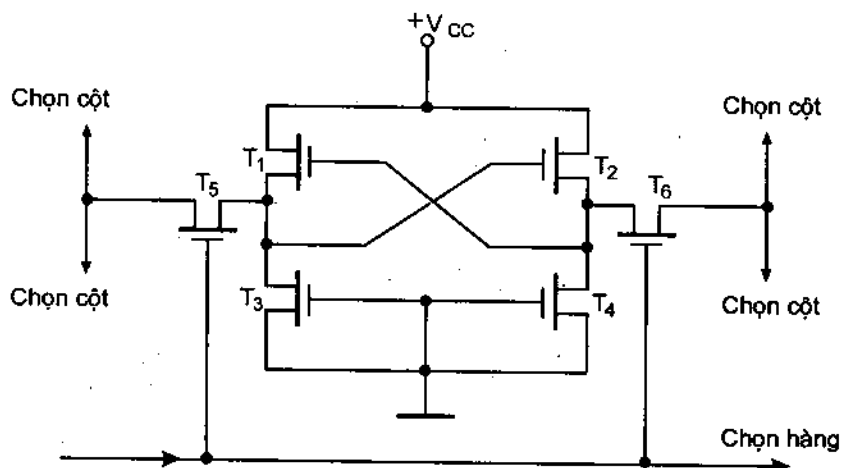
RAM tiếng Anh có nghĩa là (Random access memory) hay còn gọi là bộ nhớ truy cập ngẫu nhiên. Có nghĩa là người ta có thể đạt đến bất kỳ điểm nào của bộ nhớ một cách trực tiếp nhờ vào các địa chỉ. RAM là bộ nhớ lớn trong đó người ta có thể ghi, đọc, hoặc xóa thông tin mỗi khi người ta muốn..

SRAM có thể được thực hiện nhờ công nghệ bipolar, hoặc thông dụng hơn cả là MOS. Nó cần hai bộ đảo với phản hồi bởi điểm nhớ, hoặc là bít.

Hình 10.17 là sơ đồ của một tế bào nhớ cơ sở với 6 tranzito MOS kênh N làm giàu.

Mỗi khi địa chỉ phân cực đồng thời cả hàng lẫn cột tương ứng với tế bào đó thì nó sẽ lật theo hiệu thế giữa hai đường cột sang trạng thái thấp 0V hoặc sang trạng thái cao 5V.

Chừng nào mà thế nuôi còn được duy trì thì trigger còn giữ nguyên vị trí chừng ấy. Điều đó cho phép đọc thông tin trong vị trí đọc. Vì vậy đó là bộ nhớ bay biến; có nghĩa là thông tin sẽ biến mất khi nguồn nuôi bị cắt. Người ta thường nối hai đầu của RAM với một ác quy hoặc một tụ điện bảo vệ để bảo toàn lượng thông tin khi máy bị cắt nguồn điện.



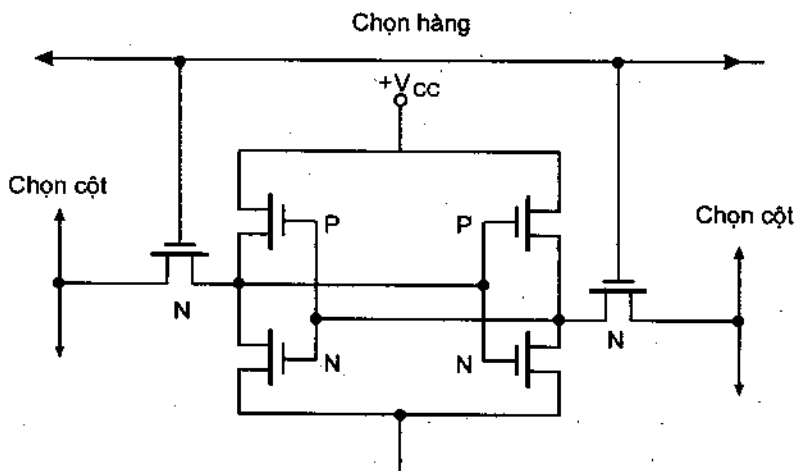
Hình 10.17. Một tế bào nhớ SRAM dùng 6 MOS kênh N làm giàu.

Các tranzito T_3 và T_4 cố định sự phân cực của mỗi trigger. Chúng có thể được thay thế bởi các điện trở. Tuy nhiên, điều này ít gặp trong các vi mạch vì điện trở chiếm nhiều diện tích hơn là các MOS.

Vì dòng nuôi luôn chạy trong các bộ đảo, nên các SRAM dùng MOS kênh N tiêu thụ năng lượng nhiều hơn các SRAM với các tế bào CMOS.

Hình 10.18 là một tế bào cơ sở với hai CMOS và hai NMOS. Trigger được tác động bởi các thế 0V và 5V. Nếu dòng dò của các tranzito CMOS N tăng lên vì một lý do nào đó; chẳng hạn như: tạt âm nội, các tia chiếu xạ, sự ion hóa từ ngoài..., thì MOS kênh P có thể cấp cho sự tăng trưởng này một dòng làm cho thế ở cực gốc của MOS kênh N không có sự thay đổi đáng kể. Chính vì vậy thông tin nhớ không bị xáo trộn. Vì sự tiêu thụ năng lượng ở trạng thái nghỉ của các CMOS là cực kỳ nhỏ, nên SRAM dùng CMOS có công suất tiêu thụ rất nhỏ so

với các loại khác. Chẳng hạn một SRAM NMOS 64K octet tiêu thụ 16W, trong khi cũng với dung lượng nhớ đó nhưng dùng CMOS thì tiêu thụ chỉ 570mW.



Hình 10.18. Tế bào cơ sở của SRAM với hai CMOS và hai NMOS.

Để điều khiển sự hoạt động của SRAM, người ta có hai cách:

* *SRAM không đồng bộ.* Đối với loại này, các địa chỉ phải có mặt ở lối vào trong toàn bộ chu trình đọc hoặc ghi. Chu trình thì được xác định bằng thời gian chọn lọc của mạch.

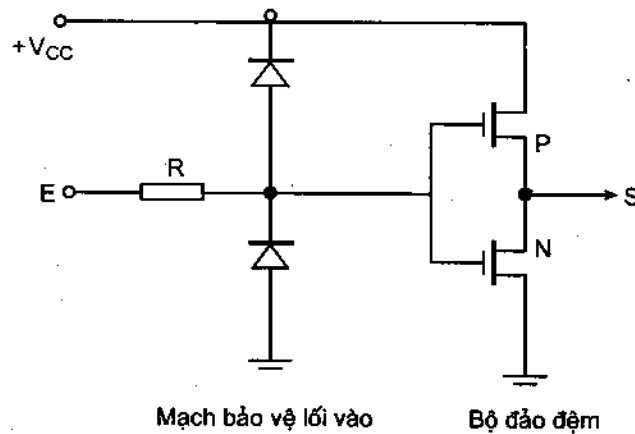
* *SRAM đồng bộ* yêu cầu một địa chỉ có hiệu lực duy nhất trong một thời gian ngắn ở đầu của chu trình, trước sự chuyển dời của lối vào có hiệu lực để khởi phát chu trình. Tiếp theo là một chu kỳ thời gian mà trong đó hệ thống không có hiệu lực trước khi bắt đầu chu trình tiếp theo. Chính tín hiệu có hiệu lực đồng bộ các hoạt động nội của bộ nhớ với các tín hiệu điều khiển ở bên ngoài. Như vậy, thời gian truy cập càng ngắn thì công suất tiêu thụ sẽ càng giảm.

Trong các bộ nhớ CMOS đồng bộ, công suất tiêu thụ là một hàm số của tần số truy cập và của dòng dò bé, duy nhất trong chu kỳ hoạt động. Công suất trở về giá trị nghỉ ngay khi sự truy cập kết thúc. Với một công suất đã cho, có thể tăng tần số hoạt động của mạch.

Hình 10.19 là sơ đồ mạch vào của các bộ nhớ CMOS. Đó là một bộ đảo đệm được bảo vệ tĩnh điện nhờ hai diốt và một điện trở. Cả hai MOS kênh N và P đều là làm giàu. Lối ra của bộ đảo chuyển từ $+V_{cc}$ và đất không có dẫn dòng. Khi thế vào ở mức thấp V_{IL} , MOS kênh N bị cấm còn MOS P dẫn, nên lối ra nối với thế $+V_{cc}$; có nghĩa là ở mức cao. Nếu thế vào ở mức cao V_{IH} , thì MOS N dẫn trong khi MOS P cấm, nên lối ra nối với đất, có nghĩa là ở mức thấp. Lưới bảo vệ ở lối vào tránh cho các chất điện môi của MOS không bị hư hỏng dưới tác động của các dòng phóng tĩnh điện mạnh.

Dĩ nhiên các bộ nhớ MOS được sản xuất bởi tất cả các công nghệ rất hoàn hảo trong các vi mạch VLSI: độ dài kênh một vài phần mười μm , cực cửa bằng silic đa tinh thể, cấy ion ... Các bộ nhớ SRAM còn được chế tạo theo công nghệ ECL lưỡng cực nếu muốn thời gian truy cập ngắn hơn nữa và không quan tâm đến công suất tiêu thụ lớn. Ví dụ bộ nhớ 2K – tổ chức 256×9 bit – tiêu thụ 185mA – V_{cc} : -4,5V- thời gian truy cập: 35ns.

Các bộ nhớ SRAM CMOS được sản xuất theo các loại từ 4K đến 256K. Ví dụ một bộ nhớ 256K – tổ chức theo $32K \times 8$ bit – tiêu thụ: ở trạng thái nghỉ 0,1mA; ở trạng thái hoạt động 70mA – thời gian truy cập: 150ns – V_{CC} : +5V.



Hình 10.19. Mạch vào CMOS của các bộ nhớ SRAM.

** Ưu việt của RAM tĩnh so với RAM động*

- Hoạt động dễ hơn; tương đồng với TTL.
- Chỉ cần một thế nuôi.
- Tiêu thụ ít hơn.
- Ít nhạy với nhiễu và với các tia chiếu xạ hơn.
- Không cần phải làm mát.
- Vận tốc cao, nhất là với ECL.

** Nhược điểm của RAM tĩnh so với RAM động*

- Diện tích bề mặt của silic trên điểm nhớ nhiều hơn; mật độ linh kiện nhỏ hơn; giá thành đắt hơn; dung lượng nhớ nhỏ hơn.
- Thị trường của SRAM thì không quan trọng bằng thị trường của DRAM.

** Các mạch ngoại vi*

Trong một vi mạch SRAM, toàn bộ các tế bào lưu trữ thông tin chỉ chiếm 60% bề mặt tổng thể, phần còn lại giành cho các mạch địa chỉ, của các mạch giải mã, các bộ khuếch đại đọc.

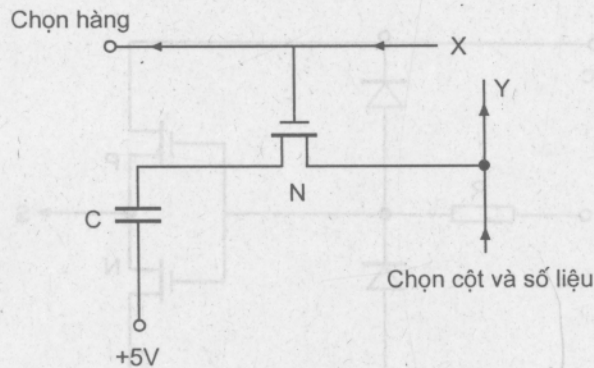
** Ứng dụng*

Các bộ nhớ SRAM được ưa chuộng trong các hệ thống có dung lượng nhớ trung bình hoặc nhỏ vì vận tốc của chúng và vì sự tiêu thụ ít.

10.7.2. Các bộ nhớ RAM động (DRAM)

Trong các bộ nhớ DRAM, số liệu được lưu trữ dưới dạng điện tích chứa trong tụ điện nối giữa nguồn nuôi và cực gốc. Hình 10.20 là một tế bào nhớ, mỗi khi địa chỉ tương ứng với tế bào đó, thì đường hàng ngang sẽ phân cực cửa, còn số liệu phân cực cực dẫn. Tại thời điểm đó, tranzito được giải tỏa, nên tụ điện C tích điện.

Vì có dòng dò không thể tránh khỏi, nên điện tích tích cho bộ nhớ phải bị trả lại một cách tuần hoàn: Có nghĩa là bắt đầu sự nạp điện lại của tụ điện với giá trị cực kỳ nhỏ (10^{-15}F).

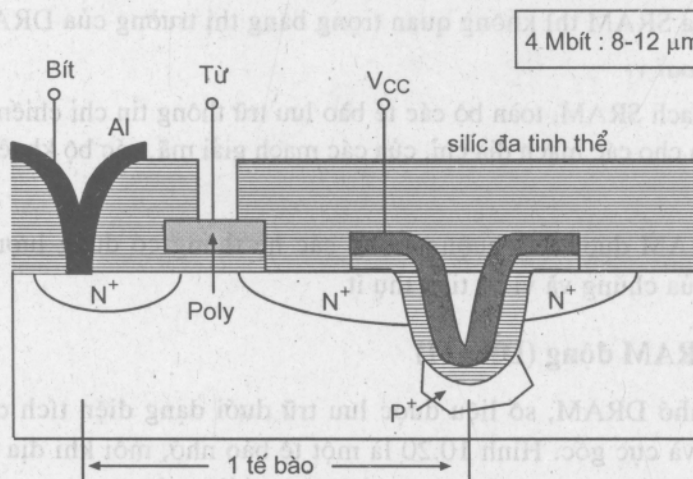


Hình 10.20. Một tế bào cơ sở của bộ nhớ DRAM dùng NMOS.

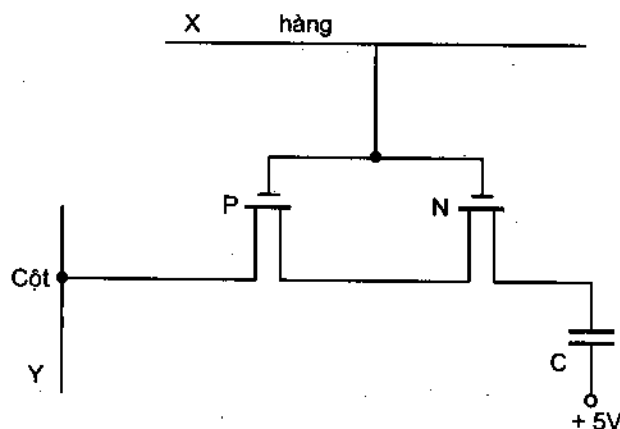
Sự tích điện lại này được đảm bảo bằng một mạch nội ở trong bộ nhớ. Mỗi đường được đọc một cách tuần tự, lối ra của bộ khuếch đại đọc lại được tái tác dụng vào lối vào của mạch ghi với sự chọn của đường tương ứng. Như vậy, mỗi đường lại được phát lại một cách tự động cứ sau 2 hoặc 4 ms. Thời gian này phải được tính cho nhiệt độ hoạt động cực đại, vì ở nhiệt độ đó, tụ điện phóng điện nhanh nhất.

Trong công nghệ NMOS, tế bào nhớ chiếm diện tích bề mặt cực tiểu, nhưng điện dung lại có giá trị cực đại. Hình 10.21 là cấu tạo của một tế bào nhớ DRAM do hãng NEC chế tạo cho các bộ nhớ 4 Mbít. Bề mặt của tế bào này là $10\mu\text{m}$. Tụ điện được vùi sâu và cô lập nên có giá trị cao và không chịu tác động của các tia anpha.

Một số các DRAM sử dụng một tranzito CMOS thay vào chỗ của NMOS (hình 10.22). Như vậy sẽ thu được dòng nghỉ nhỏ hơn và thời gian chuyển mạch nhanh hơn và độ chống nhiễu cũng tốt hơn. Ngược lại, sự thực hiện mạch sẽ phức tạp hơn. Với CMOS thì sự thực thi địa chỉ tĩnh được thực hiện theo cột chứ không phải theo hàng.



Hình 10.21. Cấu tạo của tế bào DRAM của NEC.



Hình 10.22. Một tế bào cơ sở của DRAM dùng CMOS.

10.7.3. Nghiên cứu các DRAM 1,4 và 16 Mbít

Việc nghiên cứu và sản xuất các DRAM này cần sự đầu tư rất lớn nên cần thiết phải có sự hợp tác của nhiều công ty. Chẳng hạn như DRAM 1 Mbít được sản xuất ở Châu Âu tại hãng Simens hợp tác với hãng Toshiba. DRAM này trong công nghệ CMOS với độ dài kênh $0,9\text{ }\mu\text{m}$ chiếm diện tích bề mặt của miếng silic 45mm^2 . Thời gian truy cập của nó là 80ns.

DRAM 4 Mbít được hãng Simens phát triển với sự hợp tác của hãng Philips theo công nghệ CMOS có chiều dài của kênh $0,8\text{ }\mu\text{m}$. Bề mặt chiếm diện tích $93,3\text{mm}^2$ chứa 8,6 triệu linh kiện. Nó được sản xuất theo hai phiên bản:

- 4 M x 1 bít - thời gian truy cập từ 80 đến 160 ns.
- 1 M x 4 bít - thời gian truy cập 100 đến 190 ns.

Chu trình nạp lại vào khoảng:

- 4ms cho các bộ nhớ 256 K.
- 8ms cho các bộ nhớ 1 Mbít/s.
- 16 ms cho các bộ nhớ 4 Mbít/s.

Các phiên bản 16 Mbít và 64 Mbít đang được nghiên cứu và chế tạo.

* Các loại DRAM khác nhau

Trong các catalogue, các bộ nhớ DRAM được phân theo các loại:

- 16 Kbít tổ chức theo 16K x 1 bít - 150/200ns.
- 64 Kbít tổ chức theo 16K x 4 bít - 100/150ns.
- 64 Kbít tổ chức theo 64K x 1 bít - 120/200ns.
- 256 Kbít tổ chức theo 256K x 1 bít - 100/150ns.
- 256 Kbít tổ chức theo 32K x 8 bít - 120/200ns.

Như vậy các DRAM 1 Mbít và 4 Mbít là các DRAM cơ bản. Đó là các DRAM cần quan tâm.

- Thế nuôi: $+5\text{V} \pm 10\%$.
- Tất cả các lối vào và các lối ra tương đồng với TTL.

- Đặt một ắc quy hoặc một tụ điện bảo vệ ở nguồn nuôi có thể giữ được lượng thông tin trong SRAM trong suốt thời gian cắt điện nguồn. Lưu lượng nghỉ của chúng vào cỡ 20mW vì các chu trình tích điện lại không phải bị gián đoạn.

10.8. CÁC BỘ NHỚ ROM (READ ONLY MEMORY) VÀ PROM

10.8.1. Các bộ nhớ ROM

Bộ nhớ chỉ đọc ROM là một bộ nhớ “chết” trong đó lượng thông tin được ghi một lần trong cả quá trình sản xuất. Vì vậy thông tin lưu giữ ở đây không bị mất khi tắt nguồn. Thông tin này chỉ có thể đọc ra chứ không thể thay đổi hoặc biến điệu. Nó là nơi bảo quản các chương trình cố định của máy, để phát ra các chữ cái và số trên bộ chỉ thị, để chuyển đổi mã,...

Bởi vì không cần ghi nữa, nên cấu trúc của nó được đơn giản hóa và điểm nhớ chỉ còn một tranzito mà thôi.

Để nhớ thông tin, người ta tác động vào chiều dày của lớp oxit. Chẳng hạn cho số 0, người ta để lớp SiO₂ dày 1μm; cho số 1, người ta dự kiến chiều dày 0,1 μm ở dưới lớp tráng kim của cực cửa. Thế ngưỡng tỉ lệ với chiều dày của oxit, người ta có dòng của cực dẫn cho số 1 và không có dòng cho số 0 bằng cách nuôi bộ nhớ với một thế trung bình không tới hạn.

Lập trình cho các tế bào mẫu được thực hiện sau khi sản xuất. Mẫu này được thực hiện theo yêu cầu của người sử dụng, rất đơn giản nhờ một máy tính có chương trình mẫu này trong bộ nhớ.

Một ROM, ngoài các điểm nhớ còn chứa các địa chỉ thông tin theo x và theo y và các bộ khuếch đại lối ra.

Để giá thành của ROM không quá cao, cần phải sản xuất số lượng lớn, từ 1000 chiếc trở lên. Các công nghệ NMOS và CMOS với cực cửa là silic là phù hợp. Có rất nhiều model, điển hình nhất là độ lớn của từ 8 bit, dung lượng nằm giữa:

2K × 8 bit đến 128 K × 8 bit hoặc 1 Mbít.

Thời gian truy cập 150ns đến 250ns.

Thế nuôi: +5V.

Ví dụ: Một ROM 64 K chứa 150 000 MOS trên một mẫu silic 25mm² với mẫu hình 2 μm.

10.8.2. Các bộ nhớ PROM

Các bộ nhớ PROM cũng là một bộ nhớ “chết” có thể lập trình về phương diện điện chỉ một lần bởi người sử dụng, do ngắt cầu chì hoặc do tác dụng của một xung dòng. Các bộ nhớ này có thể được thực hiện nhờ công nghệ lưỡng cực hoặc MOS.

Chẳng hạn hãng Signetics sử dụng hai phương pháp:

10.8.2.1. Họ bipolar với chuyển tiếp Schottky cô lập

Tương đồng với TTL và được lập chương trình bởi cầu chì Ni-Cr.

Địa chỉ của từ lập chương trình được tác động vào lối vào. Xung dòng được hợp lại ở lối ra để lập trình bit này tới bit kia. Thế nuôi từ 5V đến 8,75V. Xung dòng có thể đỉnh 17,5V giữa 0,6 và 1,2 μs.

Bộ nhớ được cung cấp với tất cả các bit ở mức logic "0". Chỉ các bit trước khi đưa đến mức 1 là được lập trình.

10.8.2.2. Họ bipolar cách điện bởi oxit Schottky

TTL tương hợp được lập chương trình nhờ sự ngắt của một diốt thẳng đứng. Địa chỉ của từ cần xử lý được tác động ở lối vào.

Xung dòng được tập hợp ở lối ra để lập trình hết bit này tới bit khác. Thế nuôi là 8,75 V. Thế đỉnh của xung dòng là 20V trong khoảng 1μs.

Bộ nhớ được cung cấp với tất cả các bit ở logic "1". Chỉ các bit trước khi đưa đến mức "0" là được lập trình.

Đối với một số loại có cách điện bằng oxit, cầu chì làm bằng titane - tungsten (Ti-W).

Các lối ra có thể ở 3 trạng thái để nối với một bus, hoặc với colectơ mở.

Trong thực tế, các bộ nhớ PROM có thể được tổ chức theo từ 4 bit, thông thường là từ 8 bit:

256 bit (32×8); 1K (256×4); 2K (256×4) hoặc (512×8); 4K (1024×4 hoặc 512×8); 8K (2048×4 hoặc 1024×8); 16K (4096×4 hoặc 2048×8); 32K (4096×8); 64K (8192×8) và 128K (1684×8).

Tiêu thụ: 100 đến 185mA tùy theo dung lượng.

10.9. CÁC BỘ NHỚ EPROM VÀ EEPROM

10.9.1. Các bộ nhớ EPROM

EPROM là một bộ nhớ có thể lập trình và có thể xóa nhờ các tia cực tím. Có thể nhận ra nó nhờ một cửa sổ thạch anh.

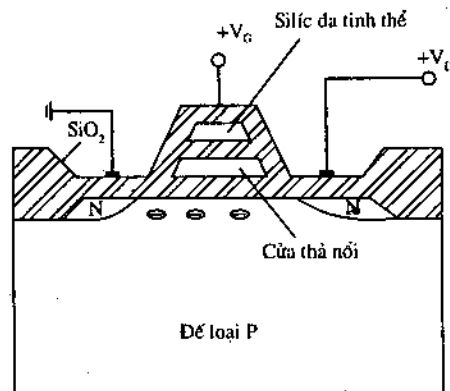
Tế bào nhớ là một tranzito FAMOS (chương 3). Đó chính là một MOS phun nhờ hiệu ứng thác lũ điện tử vào trong cửa thả nổi làm bằng silic đa tinh thể nằm vùi sâu trong vùng SiO_2 cách điện: Bên trên cửa thả nổi này, còn có một cửa khác cũng bằng silic đa tinh thể được nối chân ra ngoài (hình 10.23). Cả hai cửa này được vùi sâu trong các lớp SiO_2 . Vì vậy, đây là nơi lưu giữ thông tin có thể gọi là vĩnh viễn và không bị tác động bởi nhiễu ở bên ngoài.

Để lập trình cho tế bào này, người ta tác động vào lưới điều khiển một thế cao: âm cho MOS kênh P và dương cho MOS kênh N. Trong hình 10.22 MOS kênh N được phân cực bởi $+V_G$ để đọc điểm nhớ. Điện trường do thế của tạo ra đã đẩy lỗ trống về phía đế và hút điện tử tập trung ở mặt dưới của lớp SiO_2 giáp với đế và tạo ra kênh N. Điện trường có giá trị đủ lớn để đưa điện tử chui qua lớp SiO_2 mỏng vào cửa thả nổi nhờ hiệu ứng đường hầm. Chúng được lưu giữ ở lưới thả nổi này mà không thể quay trở lại bán dẫn bởi vì thế ngược. Như vậy ta đã thu được một bộ nhớ không bị bay mất thông tin. Điện tích có thể giữ ở đây trong vòng 10 năm dưới nhiệt độ 70°C .

Sự lập trình là nhờ vào một xung điện vài mili giây có chiều phụ thuộc vào sự phân cực của kênh gây nên hiệu ứng thác lũ và làm địa chỉ nhớ từ điểm này tới điểm kia.

Các tế bào nhớ có điện tử bị giam trong cửa thả nổi biến điệu thế ngưỡng của dòng cực gốc - cực dẫn I_D . Do vậy nhờ dòng điện đã bị biến điệu này, có thể đọc được thông tin chứa trong các tế bào nhớ đó.

Để xóa thông tin trong các tế bào nhớ, phải kéo được các điện tử ra khỏi cửa thả nổi. Thực hiện điều này nhờ một ống phóng tia cực tím đặt cách cửa thả nổi một khoảng 2,5 cm. Ống này phóng tia cực tím có bước sóng 2537 Å⁰ (253,7nm). Thời gian chiếu sáng phụ thuộc vào công suất của đèn và vào diện tích bề mặt của mạch, ít nhất cũng phải từ 12 đến 15Ws/cm² trong khoảng thời gian từ 5 đến 30 phút. Sự xóa không thể chọn lọc được và nó tác động đến toàn bộ bộ nhớ. Chùm hạt photon năng lượng cao tạo nên cũng từng ấy cặp điện tử - lỗ trống vì vậy làm cho cửa thả nổi giải phóng điện tích.



Hình 10.23. Cấu tạo của tế bào nhớ FAMOS - EPROM.

Tiếp theo là phải lập chương trình lại cho bộ nhớ về phương diện điện. Công nghệ MOS là công nghệ duy nhất được sử dụng để chế tạo các bộ nhớ EPROM.

Các loại EPROM chủ yếu

- 2048 bit (256 × 8), MOS kênh p; nguồn nuôi: -9V và +5V; lập trình: thế âm tác động trên cực dẫn -47V và thế âm trên các lối ra cho lập trình -47V - $V_{GG} = -35V$; độ rộng của xung lập trình: 3ms.

Tất cả các model mới đều là MOS kênh N.

- 8192 bit (1024 × 8); nguồn nuôi: +12 V và ±V; thời gian truy cập 300 ns; sau mỗi thao tác xóa, tất cả các bit của bộ nhớ ở trạng thái "1" (mức cao) trong khi lập trình, các số liệu xâm nhập các số "0" vào trong các vị trí mong muốn.

- 16384 bit (2048 × 8); thế nuôi: +5V; thời gian truy cập 350ns. Thế lập trình là +25V nhờ một xung rộng 50ms. Các địa chỉ có thể được lập trình một cách riêng rẽ từng cái một, một cách tuần tự hoặc bằng truy cập ngẫu nhiên. Công suất ở mode hoạt động: 132 mW.

- Cũng cùng các đặc trưng tổng quát như trên các model đến tận 1 Mbit (128K × 8), thời gian truy cập trong khoảng từ 250 và 550 ns.

10.9.2. Các bộ nhớ EEPROM

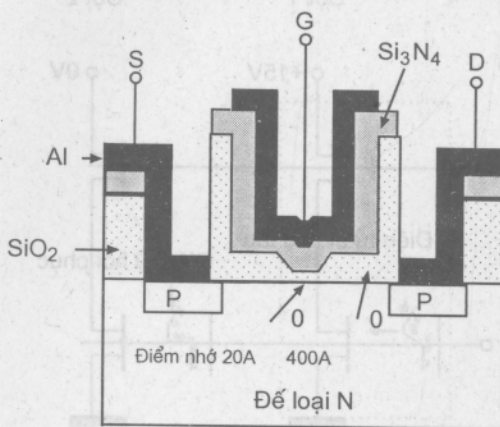
Là bộ nhớ cố định có thể lập trình và có thể xóa. Bộ nhớ này có cấu tạo kiểu MNOS (MNOS: Metal Nitride Oxide Silicon) có nghĩa là vùng cực của của silic được phủ bằng một lớp mỏng SiO₂, sau đó phủ tiếp lớp Si₃N₄ và cuối cùng là lớp nhôm. Hiện nay, trên thị trường có rất nhiều loại, chẳng hạn loại DIF-MOS (Double injection floating - MOS) của hãng Texas instruments và Flotox (Floating gate Tunnel Oxide) của hãng Intel...

Khó khăn nhất trong việc chế tạo các bộ nhớ loại này chính là việc tạo lớp oxit mỏng nhưng phải rất hoàn hảo. Bởi vì nó càng mỏng bao nhiêu thì thế để hiệu ứng tunnel xảy ra sẽ càng nhỏ do vậy có thể giảm thế khi viết.

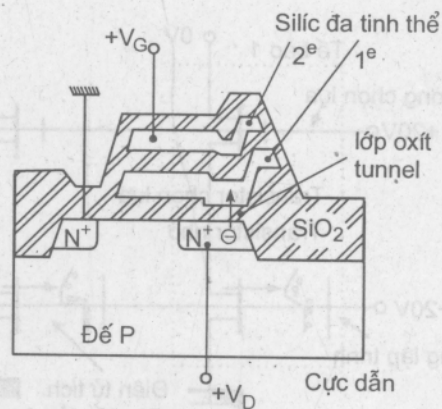
Hình 10.24 là một tế bào nhớ của hãng General instruments. Đó là một tranzito MOS kênh p. Lớp SiO_2 dày khoảng 40 nm, riêng ở điểm nhớ chỉ dày khoảng 2 nm. Với một xung ghi khoảng -30V trong vòng 1ms ta sẽ thu được một lượng điện tích từ lớp Si_3N_4 đủ để tạo nên một điểm nhớ. Để xóa điểm nhớ, cần một xung dương có độ dài 10ms tác động vào cực cửa. Thời gian đọc một bộ nhớ 4K (1024×4) là 950 ns.

Về nguyên tắc, một tế bào nhớ MNOS đã được tích điện thì luôn luôn dẫn điện hoặc với một thế ngưỡng rất thấp và một tế bào nhớ chưa tích điện thì bị cấm với thế ngưỡng cao.

Tế bào nhớ "Flotox" của hãng Intel rất giống với cấu trúc FAMOS bởi vì nó không chứa lớp Si_3N_4 , nhưng lại có cửa nổi bằng silic đa tinh thể và một cửa bình thường. Chất cách điện là SiO_2 (hình 10.25).



Hình 10.24. Tế bào nhớ MNOS.



Hình 10.25. Cấu tạo của tế bào nhớ "Flotox" Intel.

Lớp oxit tại nơi các điện tử xuyên qua bằng hiệu ứng tunnel rất mỏng và có dạng để sao cho cửa có thể bắt được các điện tử một cách dễ dàng.

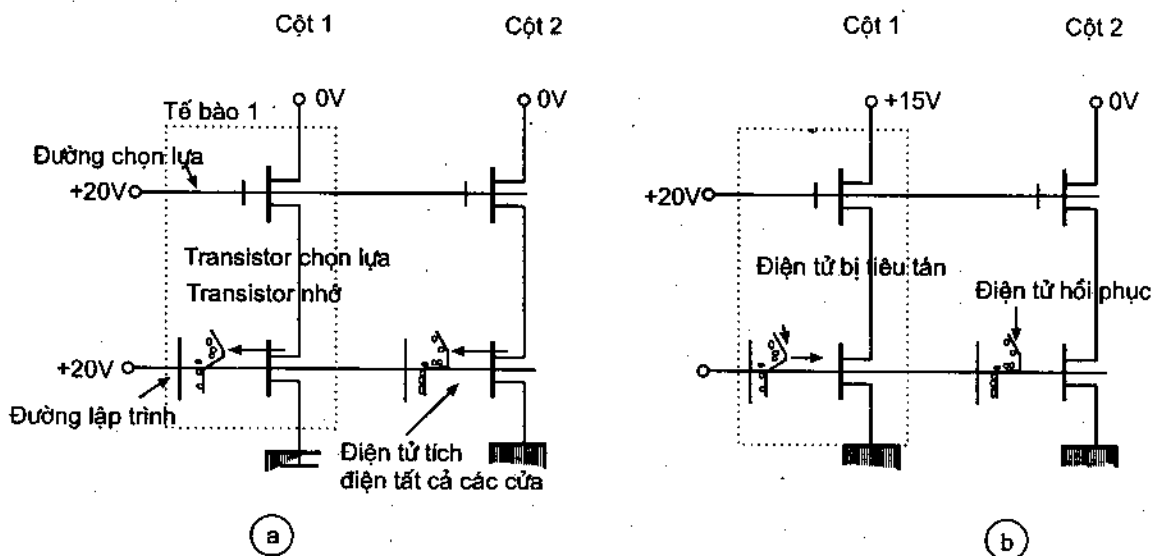
Với một tế bào nhớ kênh N, nếu tác động thế $+V_G$ vào cực cửa và thế V_D bằng không thì cửa để nổi được liên kết với thế dương như một tụ điện. Do đó các điện tử được hút về cửa để nổi nhờ hiệu ứng tunnel qua lớp oxit. Ngược lại, nếu cực dẫn nối với thế dương còn cực cửa nối đất thì quá trình xảy ra ngược lại: tế bào nhớ phóng điện tích. Intel khẳng định rằng số lượng các chu trình xóa ghi lại là vào khoảng từ 10^4 đến 10^6 . Tế bào nhớ này được thực hiện theo công nghệ NMOS.

Hoạt động của tế bào Flotox được mô tả trên hình 10.26. Mỗi tế bào nhớ gồm hai tranzito: Cái phía dưới là phần tử nhớ, cái phía trên là để bảo vệ và là nơi cung cấp địa chỉ.

Quá trình xóa được biểu diễn trên hình (a): Các đường chọn lựa và đường chương trình mang thế +20V còn các cột được nối đất. Do đó điện tử được tích tụ trong cực cửa để nối. Sự xóa được thực hiện theo octet, theo khối hoặc theo toàn bộ mạch tùy thuộc quan niệm và địa chỉ của nó.

Quá trình ghi cho trong sơ đồ hình (b): Đường đã chọn mang thế +20V, trong khi đường chương trình có thế 0V. Các cột mang thế +18V hoặc 0V tùy theo sự lựa chọn đã thực hiện, dưới thế +18 V cửa để nối phóng điện. Việc đọc các thông tin đã được ghi trong các tế bào nhớ được thực hiện bằng cách cho các đường lựa chọn và các đường chương trình mang thế +5V. Tùy thuộc vào việc cực cửa để nối có tích điện hay không mà tế bào nhớ sẽ ở trong trạng thái dẫn hoặc khóa.

Mạch này cần có hai thế dương là 5V và 20V. Sự biến điệu chỉ một octet yêu cầu 20ms, để xóa toàn bộ bộ nhớ cần 10ms.



Hình 10.26. Hoạt động của tế bào Flotox: a) xóa; b) ghi.

Các thế hệ đầu tiên của EEPROM cần nhiều nguồn nuôi ngoài. Chúng chỉ có các bộ nhớ, các bộ giải mã địa chỉ và các mạch logic vào/ra. Để sử dụng được chúng cần phải dùng các mạch ngoài khá phức tạp và chương trình viết cho chúng cũng rất dài. Các thế hệ về sau này chỉ dùng một nguồn nuôi ngoài +5 V để tạo nên các thế nội cho phép các hoạt động của chúng.

Nhờ có thêm bộ ghi nhiều octet ở lối vào, được gọi là bộ ghi "trang", nên có thể ghi được nhiều octet với một vận tốc có thể so sánh được với các chức năng đọc trong các DRAM và chuyển chúng vào trong các bộ nhớ một cách song song. Điều đó rất cần thiết trong trường hợp mất điện.

Có một số dạng thông minh cũng đã thu được bằng cách tích hợp một đồng hồ để kiểm tra tất cả các chức năng xóa ghi để giải phóng các bộ vi xử lý làm các nhiệm vụ khác. Việc khóa các địa chỉ và các số liệu đã được tích hợp trên một khối riêng cho phép phân cách trực tiếp với bus và bộ vi xử lý; điều đó cho phép sử dụng dễ dàng và sơ đồ đã được đơn giản hóa.

Như vậy, bộ nhớ có khả năng quản lý thời gian lập trình, nó xác định việc xóa toàn bộ

hoặc một phần. Độ dài của xung lập trình vào khoảng 9 ms, vì vậy chương trình được thực hiện chỉ trong khoảng vài giây.

Khi thế nuôi bị sụt dưới 5V, mạch có thể hoạt động sai. Trong trường hợp đó, có một mạch bảo vệ đã được dự kiến để khóa các tín hiệu kiểm tra khi thế hạ thấp hơn 4V.

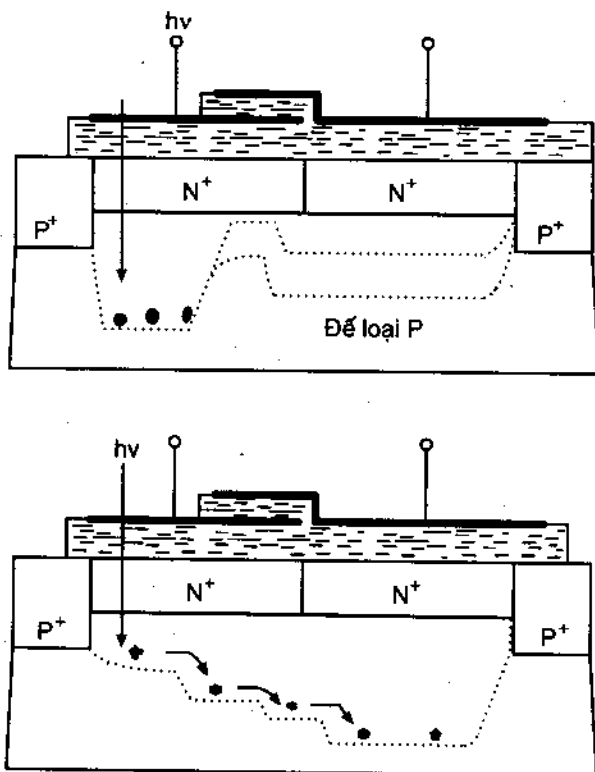
Một điểm cũng rất quan trọng là số lượng các chu trình xóa ghi mà một bộ nhớ chịu đựng được. Trường hợp tốt nhất đã đạt được là một triệu chu trình. Điểm thứ hai liên quan tới chất lượng của lớp SiO_2 rất mỏng sao cho chúng không bị thủng.

Các EEPROM có mặt trên thị trường có dung lượng nhớ từ 82 bit đến 256 Kbit với thời gian truy cập từ 70ns đến 350 ns.

10.10. CÁC LINH KIỆN CHUYỂN DỜI ĐIỆN TÍCH - CCD (CHARGE COUPLED DEVICE)

10.10.1. Nguyên tắc hoạt động

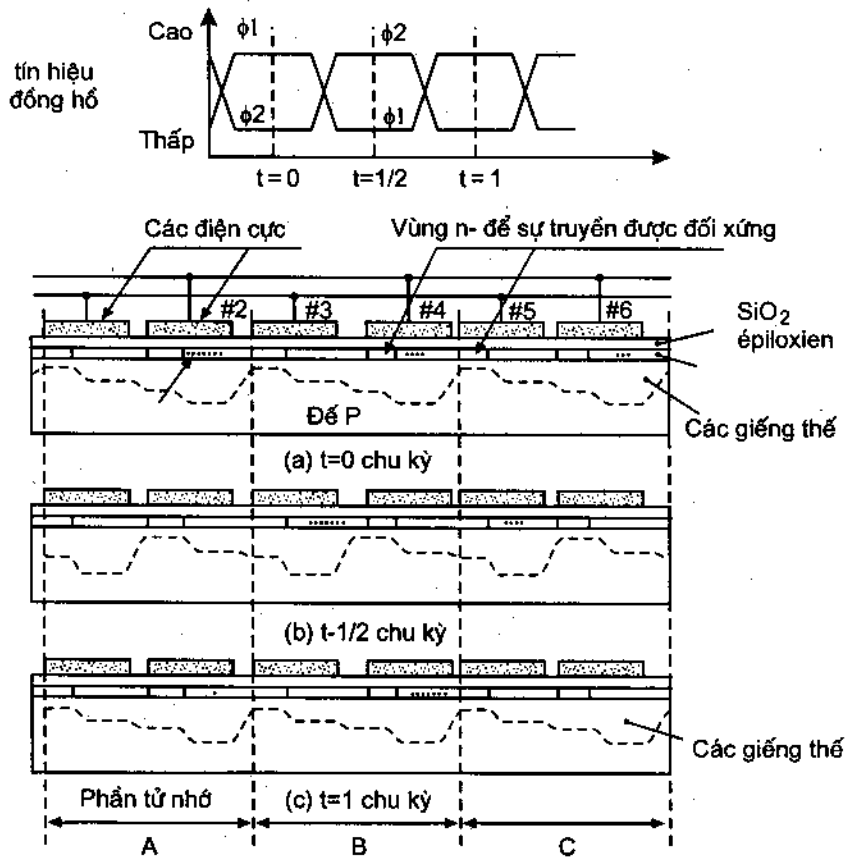
Cấu trúc cơ bản của một linh kiện chuyển dời điện tích CCD là bộ ghi dịch tương tự. Nó được cấu tạo bởi một đế silic loại P, trên đó được phủ một lớp epitaxie loại N dày khoảng $10\mu\text{m}$, lớp này được oxit hóa bề mặt, sau đó được phủ bởi các điện cực nhỏ bằng nhôm hoặc silic đa tinh thể.



Hình 10.27. Cấu tạo cơ bản của linh kiện CCD.

Mỗi điện cực, cùng với silic tạo nên một điện dung MOS chịu một điện thế cho phép tích tụ các điện tích (hình 10.27). Khoảng cách ngăn giữa các điện dung này tạo ra giữa chúng

một sự liên kết sao cho có hiệu điện thế tác dụng giữa hai điện dung liên tiếp nhau cảm ứng theo trục ghi một điện trường chuyển dịch các điện tích từ điện dung này sang điện dung kia. Sự khác nhau về giếng thế gây ra sự bất đối xứng, do vị trí của các điện cực, để đảm bảo các điện tích chỉ dịch chuyển theo một hướng. Nếu tác động tuần tự vào các điện cực kế tiếp nhau các xung đồng hồ Q_1 và Q_2 ngược pha nhau thì các điện tích sẽ dịch chuyển dần dần cho đến khi việc đọc tín hiệu được thực hiện (hình 10.28).



Hình 10.28. Nguyên tắc chuyển dịch điện tích nhờ tín hiệu đồng hồ kép có pha ngược nhau.

Linh kiện CCD có thể xử lý dưới dạng lấy mẫu các tín hiệu tương tự, các điện tích được đưa vào nhờ sự khuếch tán ở lối vào. Các thông tin cũng có thể được phun vào nhờ hiệu ứng quang điện. Thực vậy, khi linh kiện được chiếu sáng bởi ánh sáng có bước sóng trong vùng từ 350 đến 1100nm, thì các photon sẽ tạo ra các cặp điện tử - lỗ trống. Các hạt tải tích điện mới được tạo ra này được định xứ trong tụ điện MOS dưới tác dụng của thế tác động vào các điện cực. Lượng điện tích đã được giữ trong mỗi một giếng thế tỉ lệ với sự chiếu sáng và nhờ việc đọc liên tiếp, cho phép thu nhận tín hiệu tương tự đã được lấy mẫu biểu diễn hình ảnh đã phân tích.

Cũng có thể thực hiện cách đọc song song các thông tin lưu trữ trong một bộ ghi như mô tả trên hình 10.28. Kiểu đọc này cho phép lấy ra các mẫu theo thời gian của tín hiệu tương tự bằng cách đo lường các điện tích đã dịch chuyển từ điện cực này sang điện cực kia. Toàn bộ các mẫu sinh ra tín hiệu tương tự được xử lý theo một định luật lọc lựa đã được xác định.

10.10.2. Ứng dụng của các linh kiện CCD

10.10.2.1. Biến tử nhạy quang

Ứng dụng quan trọng nhất của linh kiện CCD là làm các biến tử nhạy quang trong các máy ảnh số hoặc tương tự.

Khi được chiếu sáng, vùng điện tích không gian của linh kiện CCD (giữa các cực cửa) sinh ra các hạt tải điện với số lượng tỉ lệ với cường độ chiếu sáng đã thu nhận được. Các điện tử bị hút về dưới mỗi cực cửa và tạo nên lớp đảo. Như vậy, trong một khoảng thời gian Δt , một nhóm điện tích mà độ lớn của nó phụ thuộc độ chiếu sáng của mỗi bề mặt cơ sở (pixel) của linh kiện được tạo thành. Người ta có thể đưa ra các thông tin đã thu được trong khoảng thời gian Δt đó nếu thời gian truyền rất ngắn so với Δt . Như vậy người ta đã thực hiện được một hình ảnh hai chiều dưới dạng mật độ điện tích. Trong trường hợp này, linh kiện CCD hoạt động như một biến tử quang học để thu nhận hình ảnh hai chiều như một ống kính của máy ảnh. Dĩ nhiên cần nối biến tử quang học này với các hệ thống điện tử để xử lý và cho phép đọc cũng như thể hiện các lượng thông tin chứa đựng trong các điện tích. Với công nghệ LSI, một tế bào cơ sở có kích thước $10 \times 10\mu\text{m}$.

Để thu được hình ảnh rõ nét nhờ sự chiếu sáng cần thiết phải giảm với độ đồng đều tuyệt đối tín hiệu tối, nhờ đó sẽ giảm nhiễu lên hình ảnh. Điều này được thực hiện nhờ phủ một lớp epitaxie hết sức đồng nhất. Một linh kiện dưới dạng ma trận gồm 256 đường và 384 điểm đã cho phép thu được một hình ảnh có tỉ số tín hiệu/ tạp âm là 30dB với độ chiếu sáng 0,4 lux và vật kính mở F/1,4.

Biến tử nhạy quang theo đường thẳng là linh kiện được cấu tạo bởi một hàng gồm từ 256 đến 2048 phần tử. Các bộ ghi dịch nằm song song với đường nhạy quang; nói chung có hai bộ ghi dịch. Một bộ ghi đọc các điện tích tích tụ trong các photo diốt ở hàng chẵn, còn bộ kia thì đọc các điện tích tích tụ trong các photo diốt ở hàng lẻ. Như vậy, ta sẽ thu được một bước ngắn nhất cho các phần tử quang học và việc đọc thông tin sẽ được thực hiện một cách nhanh nhất. Tín hiệu video thu được sẽ được dồn kênh, lấy mẫu và sửa sang trước khi sử dụng.

Các linh kiện này cần hai pha điều khiển ngoại, còn các tín hiệu điều khiển khác do một mạch logic đã được tích hợp sản sinh ra.

Các biến tử này dùng để thu các hình ảnh trên một đường thẳng hoặc một mặt phẳng bằng cách quét quang học. Đặc tính chủ yếu của chúng là vận tốc đọc. Trong các ứng dụng thông thường như trong các hệ thống nhận biết các đặc tính quang học và phát hiện các đối tượng núp bóng nhau thì tần số 2MHz là phân biệt tốt, trong khi đối với te'le'cine'ma hay để phát hiện các vật thể có vận tốc lớn thì phải cần đến tần số 20MHz.

Một thanh gồm 2048 photo diốt cho phép đọc chiều dài 24 cm (khổ A4) trong te'le'copie, đọc các tờ séc, chọn thư, in laser, hay trong việc phun mực...

Biến tử nhạy quang dạng ma trận có một vùng nhạy quang hình chữ nhật:

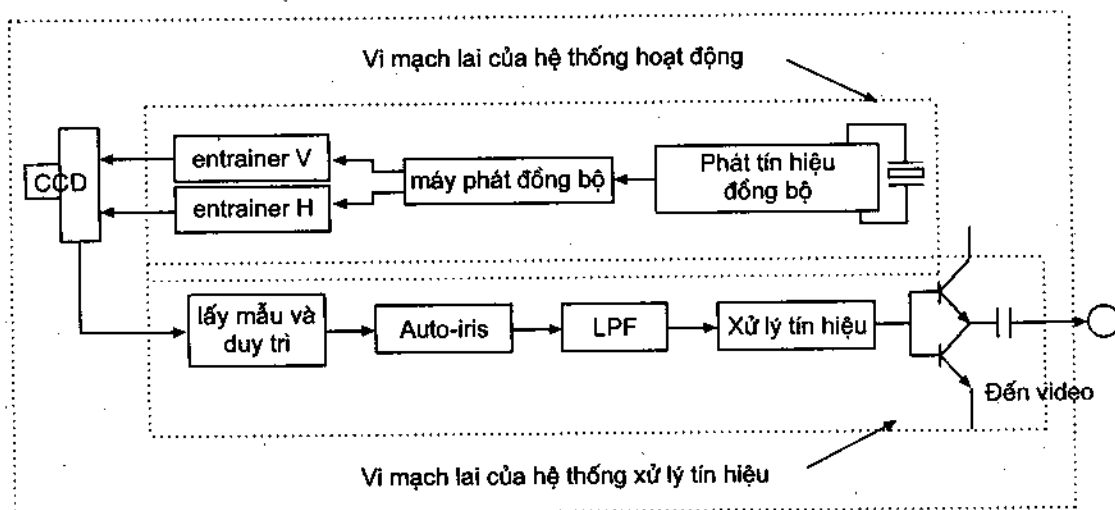
Đó chính là mắt nhìn. Thông tin thu được sẽ được chuyển vào các bộ ghi ở trên cùng một bản tinh thể silic nhưng được phủ một lớp chống ánh sáng. Chính các bộ ghi truyền lưới này đã được sử dụng trong các camera của tivi.

Biến tử này là chất đồng đẳng của ống phân tích vidicon nhưng ở trạng thái rắn. Mỗi

khi hình ảnh được tích hợp trên bề mặt nhạy quang, thì các điện tích sẽ được chuyển một cách song song về một bộ ghi nhớ đồng nhất với vùng nhạy quang nhưng đã bị che bớt. Sau đó, cũng chính nhờ vùng này mà người ta đọc được các điện tích từ đường này sang đường khác với chuẩn T.V.

Tổ chức này cho phép tích hợp một lưới mà trước đó đã được đọc trong vùng nhớ với một nhịp khác.

Trong ti vi, hình ảnh được tích hợp trong vùng nhạy quang trong khoảng 20ms, độ dài một lưới (trame). Các điện tích biểu diễn hình ảnh đã ghi nhận được chuyển vào vùng nhớ trong khoảng 0,47 ms trong khi một lưới bị xóa. Hình ảnh được chuyển dịch giữa đường với đường vào trong các bộ ghi ngang ở lối ra trong khoảng $12\mu s$. Việc từ điểm này đến điểm kia trên mỗi đường trong vòng $52\mu s$ cung cấp tín hiệu video. Người ta thấy rằng đối với các ti vi đã được cải tiến có thể đọc hai lần một lưới trong thời gian thu lưới ấy.



Hình 10.29. Sơ đồ nguyên lý của camera đen - trắng của hãng Sony.

Biến tử CCD NXA 1011 RTC có 288 đường hữu ích cho mỗi lưới và 288 đường bị phủ của bộ ghi. Mỗi đường chứa 604 điểm, có nghĩa là khoảng 350.000 phần tử ảnh (pixel) trong một quần vào nhau. Biến tử cũng được trang bị một bộ phận điều chỉnh độ phân giải và hiệu chỉnh mức tối.

Các biến tử chuyên nghiệp dùng trong quân sự hay trong các công việc đặc biệt có 488×380 phần tử, việc đọc thông tin được tiến hành với tốc độ cực đại 60 trame trong một giây. Hình 10.29 là sơ đồ nguyên lý của một camera đen-trắng của hãng Sony.

Các camera màu được thực hiện nhờ ngưng đọng các dải màu vàng và xanh trên các bộ ghi thẳng đứng (hình 10.30). Bằng cách dùng hai mạch lọc xếp chồng lên nhau, nên ánh sáng được phân thành ba màu cơ bản: xanh cyanic, vàng và xanh lá cây và nhờ phương pháp tổ hợp cộng tính hay bù trừ sẽ tái tạo được các màu trong phổ khả kiến. Các camera màu thực hiện theo cách này rất kinh tế được sử dụng nhiều trong các máy quay phim cũng như trong các máy photo màu.

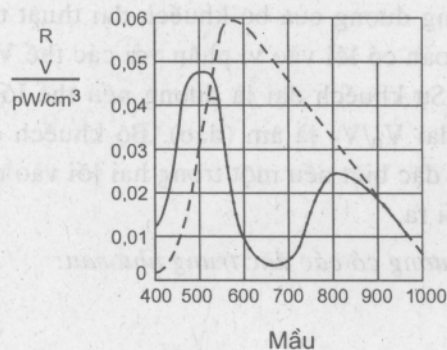
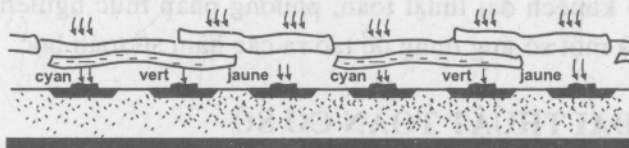
10.10.2.2. Các đường trễ

Các đường trễ do điện tích dịch chuyển rất thích hợp trong việc xử lý tín hiệu hoặc để nhớ các lượng thông tin tương tự, các đường trễ này thường chứa từ 512 đến 1024 cực cửa với các tần số chuyển dịch nằm giữa 10 kHz và 20 MHz.

Tín hiệu tương tự ở lối vào được lấy mẫu với tần số nhịp. Các xung thu được đã được biến đổi thành “các nhóm điện tích”. Mỗi nhóm điện tích tỉ lệ với biên độ của xung điện. Nó lan truyền theo nhịp xung đồng hồ. Ở lối ra, tín hiệu lúc ban đầu được khôi phục lại, nhưng trễ đi một lượng thời gian nào đấy tùy thuộc vào chu kỳ xung nhịp và số lượng các tế bào. Đối với bộ ghi có n tế bào (n cực cửa) và τ là chu kỳ của xung nhịp, thì thời gian trễ $n\tau$ có thể thay đổi trong một tỉ số cỡ 1000.

Trong ti vi có độ phân giải cao, người ta dùng các bộ nhớ lưới (trame) cho phép đọc hai lần tín hiệu của một lưới. Như vậy tần số quét trên bóng hình phải tăng gấp đôi.

Các mạch này cũng rất thích hợp cho việc xử lý các tín hiệu rada, âm, tín hiệu viễn thông hay trong các ti vi chuyên dụng.



Hình 10.30. Cấu tạo và đặc trưng phổ của camera mẫu.

Chương 11

KHUẾCH ĐẠI THUẬT TOÁN

Bộ khuếch đại thuật toán là bộ khuếch đại có độ khuếch đại rất cao và liên kết trực tiếp. Trong bộ khuếch đại này, mạch phản hồi điều khiển toàn bộ các đặc trưng của nó. Bộ khuếch đại thuật toán dùng để tạo nên rất nhiều hàm số tuyến tính cũng như phi tuyến và được làm dưới dạng một vi mạch, vì nó có rất nhiều ích lợi như kích thước nhỏ, độ tin cậy cao, giá thành hạ, ổn định nhiệt độ cao và dòng cũng như thế offset thấp. Trong chương này, ta sẽ mô tả các đặc trưng của bộ khuếch đại thuật toán, phương pháp thực nghiệm để đo các thông số cũng như để cân bằng và một số ứng dụng để tạo ra các hàm số toán học.

11.1. BỘ KHUẾCH ĐẠI THUẬT TOÁN CƠ SỞ

Sơ đồ hệ thống và sơ đồ tương đương của bộ khuếch đại thuật toán cho trên hình 11.1. Phần lớn các bộ khuếch đại thuật toán có lối vào vi phân với các thế V_1 và V_2 đưa vào các lối vào đảo và không đảo tương ứng. Sự khuếch đại là dương nếu thế lối ra V_0 và V_1 là dương (không đảo) trong khi sự khuếch đại V_0/V_2 là âm (đảo). Bộ khuếch đại chỉ có một đầu duy nhất và được coi như là trường hợp đặc biệt nếu một trong hai lối vào nối đất. Phần lớn các bộ khuếch đại thuật toán chỉ có một lối ra.

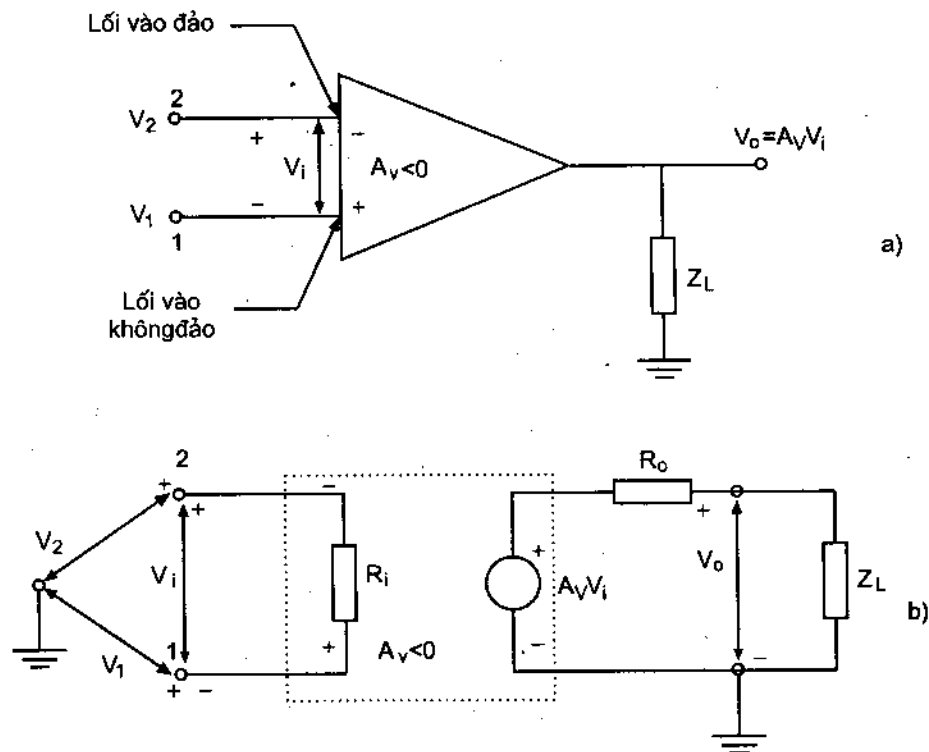
Bộ khuếch đại thuật toán lý tưởng có các đặc trưng như sau:

1. Điện trở lối vào $R_i = \infty$.
2. Điện trở lối ra $R_o = 0$.
3. Hệ số khuếch đại thế $A_v = \infty$.
4. Độ rộng dải thông $= \infty$.
5. $V_0 = 0$ khi $V_1 = V_2$ và không phụ thuộc vào giá trị của V_1 .
6. Các đặc trưng không có độ trôi do nhiệt độ.

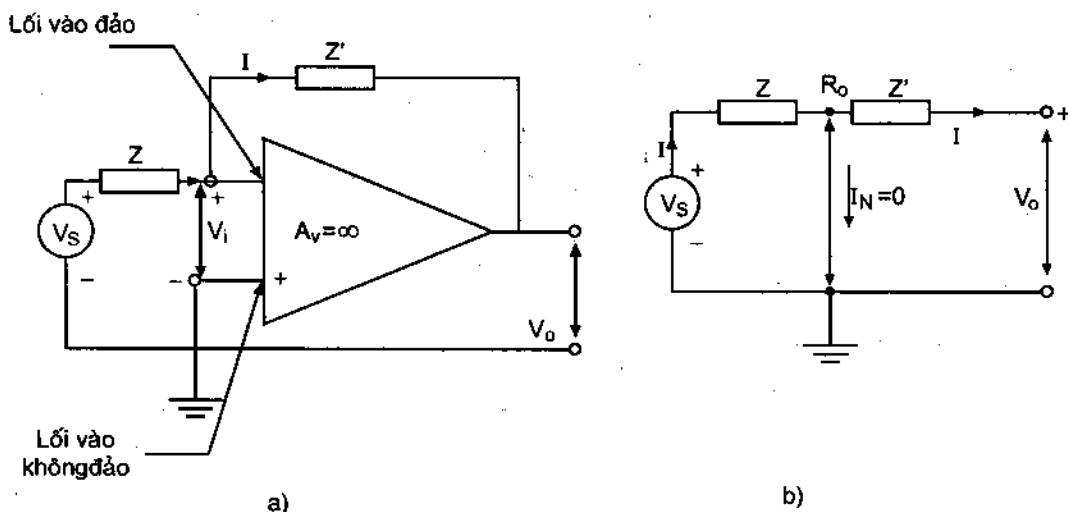
Sơ đồ hình 11.2 là một bộ khuếch đại thuật toán lý tưởng với các trở kháng phản hồi Z và Z' và lối vào + nối đất. Đó là một mạch đảo cơ sở.

Trong bộ khuếch đại này, hệ số khuếch đại thế bằng:

$$A_v = \frac{V_o}{V_s} = -\frac{Z'}{Z}$$



Hình 11.1. Sơ đồ ký hiệu và sơ đồ tương đương của bộ khuếch đại thuật toán.



Hình 11.2. Khuếch đại thuật toán lối vào đảo và sơ đồ tương đương.

Mạch này cho thấy rằng ở trong bộ khuếch đại có một điểm đất tượng trưng. Khái niệm đất tượng trưng được dùng để mô tả điều là mặc dù có mạch phản hồi giữa lối ra và lối vào, nhưng qua Z' để giữ cho thế $V_i = 0$; có nghĩa là trên thực tế không có dòng qua điện trở lối vào. Do đó nếu đoạn mạch hai lối vào đảo và không đảo thì dòng qua đoạn mạch đó bằng không. Như vậy đối với bộ khuếch đại thuật toán lý tưởng thì:

1. Dòng ở mỗi lối vào bằng không.
2. Hiệu thế giữa hai đầu cuối lối vào bằng không.

Đối với bộ khuếch đại thuật toán không đảo (tín hiệu lối vào nối với lối vào không đảo (+) còn mạch phản hồi đưa vào lối vào đảo) hệ số khuếch đại thế thu được:

$$A_V = \frac{V_o}{V_S} = -\frac{Z + Z'}{Z}$$

11.2. BỘ KHUẾCH ĐẠI VI SAI

11.2.1. Đặc tính chung

Chức năng của bộ khuếch đại vi sai là để khuếch đại hiệu giữa hai tín hiệu lối vào. Bộ khuếch đại này được sử dụng rất nhiều trong các phép đo vật lý trải ra trên một dải tần số tương đối rộng từ tín hiệu không đổi (dc) cho đến dải mega héc. Nó cũng là một tầng cơ sở của bộ khuếch đại thuật toán vì mạch với các lối vào vi sai.

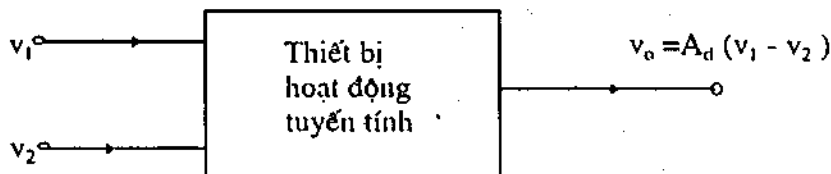
Hình 11.3 mô tả một thiết bị hoạt động tuyến tính với hai tín hiệu vào v_1 , v_2 và một tín hiệu lối ra v_o , mỗi cái được đo so với đất. Đối với bộ khuếch đại vi sai lý tưởng thì tín hiệu lối ra v_o phải được biểu diễn bằng:

$$v_o = A_d (v_1 - v_2).$$

Trong đó A_d là hệ số khuếch đại của bộ khuếch đại vi sai. Như vậy có thể thấy rằng bất kỳ một tín hiệu nào tác động chung trên cả hai lối vào sẽ không có mặt ở lối ra. Tuy nhiên, trên thực tế, bộ khuếch đại vi sai không được biểu thị bởi phương trình trên bởi vì tín hiệu lối ra phụ thuộc không chỉ vào hiệu của các tín hiệu vào v_d mà còn phụ thuộc vào mức trung bình hay còn gọi là tín hiệu mốt - chung v_c nữa, ở đây:

$$v_d \equiv v_1 - v_2 \text{ và } v_c \equiv (1/2)(v_1 + v_2) \quad (11.1)$$

Chẳng hạn, nếu một tín hiệu là $+50\mu\text{V}$ và tín hiệu thứ hai là $-50\mu\text{V}$, thì lối ra sẽ không phải hoàn toàn chính xác như khi $v_1 = 1050\mu\text{V}$ và $v_2 = 950\mu\text{V}$, mặc dù hiệu $v_d = 100\mu\text{V}$ là như nhau trong cả hai trường hợp.



Hình 11.3.

Tỉ số thoát mốt - cộng

Để đặc trưng cho độ tin cậy của một bộ khuếch đại vi sai, người ta dùng một đại lượng gọi là tỉ số thoát mốt - cộng. Tỉ số này được xác định theo cách sau đây:

Ta biểu diễn lối ra của bộ khuếch đại vi sai được biểu thị bằng một tổ hợp tuyến tính của hai thế lối vào:

$$v_0 = A_1 v_1 + A_2 v_2. \quad (11.2)$$

Trong đó $A_1(A_2)$ là hệ số khuếch đại thế từ lối vào 1(2) tới lối ra dưới điều kiện là 2(1) nối với đất. Từ phương trình (11.1) ta có:

$$v_1 = v_c + (1/2)v_d \text{ và } v_2 = v_c - (1/2)v_d \quad (11.3)$$

Thay thế các phương trình 11.3 vào 11.2 ta thu được:

$$v_0 = A_d v_d + A_c v_c \quad (11.4)$$

trong đó:

$$A_d = (1/2)(A_1 - A_2) \text{ và } A_c = A_1 + A_2 \quad (11.5)$$

Hệ số khuếch đại thế đối với tín hiệu vi sai là A_d còn hệ số khuếch đại thế đối với tín hiệu một - cộng là A_c . Người ta có thể đo A_d một cách trực tiếp bằng cách cho $v_1 = -v_2 = 0,5V$, như vậy $v_d = 1V$ và $v_c = 0V$. Dưới điều kiện này thế lối ra v_0 đo được chính là hệ số khuếch đại A_d cho tín hiệu vi sai (phương trình 11.4). Tương tự, nếu cho $v_1 = v_2 = 1V$ khi đó $v_d = 0V$ và $v_c = A_c$. Thế lối ra bây giờ là số đo trực tiếp của hệ số khuếch đại một - cộng A_c .

Rõ ràng ta muốn A_d có giá trị lớn trong khi A_c trong trường hợp lý tưởng bằng không. Như vậy tỉ số A_d/A_c phản ánh độ tin cậy của bộ khuếch đại vi sai. Tỉ số ấy có tên gọi là tỉ số thoát một - cộng và được định nghĩa như sau:

$$CMRR = \rho = \left| \frac{A_d}{A_c} \right| \quad (11.5)$$

Với định nghĩa này, thế lối ra của bộ khuếch đại vi sai được biểu diễn dưới dạng:

$$v_0 = A_d v_d \left(1 + \frac{1}{\rho} \frac{v_c}{v_d} \right) \quad (11.6)$$

Từ biểu thức này ta thấy đối với bộ khuếch đại vi sai phẩm chất cao thì hệ số thoát một - cộng phải có giá trị lớn. Chẳng hạn, nếu $\rho = 1000$, $v_c = 1mV$, $v_d = 1\mu V$, thì số hạng thứ hai trong (11.6) bằng số hạng thứ nhất. Do đó, đối với bộ khuếch đại với tỉ số thoát một - cộng bằng 1000, hiệu thế $= 1\mu V$ giữa hai lối vào sẽ cho cùng một thế lối ra như khi một tín hiệu $= 1mV$ tác động vào cả hai lối vào với cùng chiều phân cực.

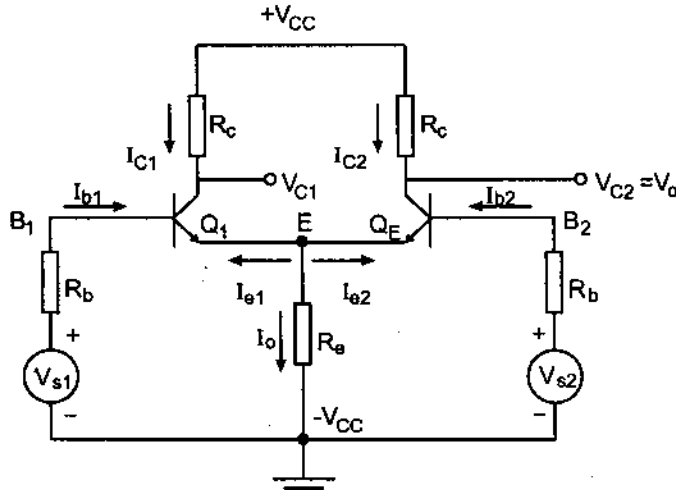
11.2.2. Bộ khuếch đại vi sai liên kết emitor

Bộ khuếch đại thuật toán hoạt động cả ở tần số bằng không, do vậy các bộ khuếch đại liên kết trực tiếp không thể sử dụng tụ điện được. Hơn nữa, trong vi mạch việc thực hiện các tụ điện có điện dung lớn là điều khó khăn. Vì vậy trong bộ khuếch đại liên kết trực tiếp, bất kỳ sự thay đổi nào về giá trị của thông số của mạch, (chẳng hạn do nhiệt độ thay đổi) đều dẫn đến sự thay đổi thế lối ra, thậm chí ngay cả khi thế lối vào được giữ không đổi.

Có rất nhiều kỹ thuật để giảm thiểu những sự thay đổi như vậy ở lối ra, trong số đó bộ khuếch đại vi sai liên kết emitor (hình 11.4) ở lối vào của các bộ khuếch đại thuật toán có độ trôi dịch ở lối ra rất thấp vì tính chất đối xứng trong cấu trúc của các mạch IC. Ngoài ra bộ khuếch đại này còn cho điện trở lối vào có giá trị khá cao và nhiều tính chất khác gần giống với các đặc trưng lý tưởng.

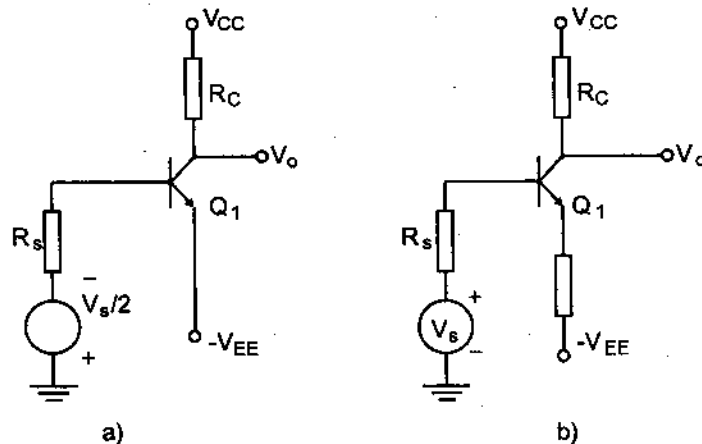
Trong sơ đồ này điện trở R_e có giá trị lớn, do vậy tỉ số thoát một - cộng có giá trị cao. Điều này có thể được kiểm chứng bằng cách như sau:

Nếu $V_{s1} = V_{s2} = V_s$, khi đó từ phương trình (11.1) và (11.4) ta có $V_d = V_{s1} - V_{s2} = 0$ và $V_0 = A_c V_s$. Nhưng nếu $R_c = \infty$, $I_0 \neq 0$ và do tính chất đối xứng, ta thu được: $I_{c1} = I_{c2} = 0$. Nếu $I_{b2} \ll I_{c2}$ thì I_{c2} gần bằng I_{e2} do đó suy ra rằng $V_0 = 0$. Vì vậy hệ số khuếch đại một - cộng A_c sẽ rất nhỏ nên tỉ số thoát một - cộng rất lớn đối với các giá trị R_c lớn và mạch đối xứng tốt.



Hình 11.4. Bộ khuếch đại vi sai liên kết emitter đối xứng.

Hệ số khuếch đại một - vi sai A_d có thể nhận được bằng cách cho $V_{s1} = -V_{s2} = V_s/2$. Do tính đối xứng ta thấy rằng $I_{e1} = -I_{e2}$ và $I_0 = 0$. Do đó sụt thế trên R_c bằng không, có nghĩa là E nối đất. Dưới các điều kiện trên, mạch của hình 11.5a được sử dụng để tính A_d .



Hình 11.5. Mạch điện tương đương của bộ khuếch đại vi sai đối xứng dùng để tính:
a) hệ số khuếch đại vi sai A_d và b) hệ số khuếch đại một - cộng.

Với sơ đồ này, thì hệ số khuếch đại vi sai có thể tính được:

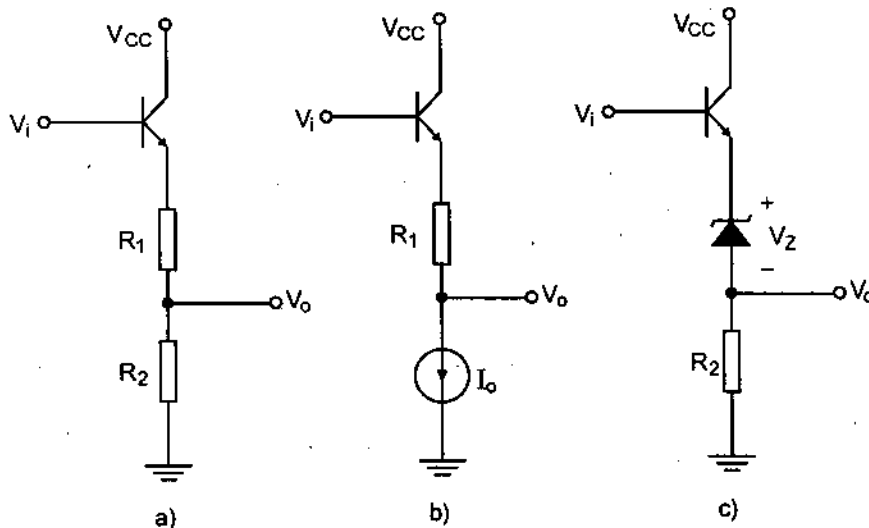
$$A_d = \frac{V_o}{V_s} = \frac{1}{2} \frac{h_{fe} R_c}{R_s + h_{ie}}$$

Trong đó h_{fe} là hệ số khuếch đại dòng tĩnh của tranzito. Hệ số khuếch đại một – cộng được tính khi cho $V_{s1} = V_{s2} = V_s$ và nếu R_e được thay bằng hai điện trở có giá trị bằng $2R_e$ mắc song song: một trong hai cái mắc với phía trái của điểm E, còn cái kia nối về phía phải của điểm ấy. Lúc này sơ đồ tương đương của mạch như trên hình 11.5b và giá trị của A_c tính được:

$$A_c = \frac{-h_{fe}R_c}{R_s + h_{ie} + (1 + h_{fe})2R_e}$$

Từ hai biểu thức trên ta thấy rằng tỉ số $CMRR = A_d/A_c$ tăng không giới hạn khi $R_c \rightarrow \infty$. Trên thực tế, R_c có giới hạn bởi vì nếu quá lớn thì nguồn nạp V_{EE} cũng sẽ có giá trị cao để duy trì dòng phân cực ổn định cho tranzito.

Bù trừ sự trôi mức



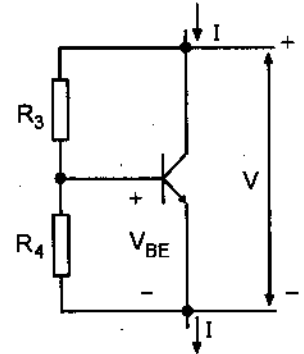
Hình 11.6. Bộ dịch mức dùng bộ đệm lặp lại emitter.

Vì bộ khuếch đại thuật toán hoạt động cả ở tần số bằng không, nên không thể sử dụng liên kết điện dung trong các tầng mà phải dùng liên kết trực tiếp. Liên kết trực tiếp này làm cho sự thay đổi của một tầng có thể ảnh hưởng đến tầng sau. Kết quả làm cho trạng thái tĩnh (chưa có tín hiệu vào) bị xô dịch, điểm không của mức lối ra đã bị trôi đi. Để khắc phục tình trạng này, thông thường áp dụng các bộ đệm có điện trở lối vào cao điện trở lối ra thấp ghép giữa các tầng và ở lối ra của bộ khuếch đại thuật toán. Bộ lặp lại emitter hình (11.6) là một bộ đệm như vậy. Bộ đệm này hoạt động như một bộ điều chỉnh thế. Nếu thế lối ra V_o lấy trên emitter thì thế cần điều chỉnh là $V_o - V_i = -V_{BE} \approx -0,7V$. Nếu sự bù trừ không đủ, thì thế lối ra phải được lấy trên mạch phân thế như trên hình 11.6a. Độ trôi về thế được bù trừ nhờ sụt thế trên điện trở R_1 . Nhược điểm của mạch này là thế lối ra bị suy giảm theo tỉ lệ $R_2/(R_1 + R_2)$, nhược điểm này được khắc phục bằng cách thay R_2 bằng một nguồn dòng I_o như trên hình 11.6b. Độ dịch mức bây giờ là $V_o - V_i = -(V_{BE} + I_o R_1)$. Người ta có thể thay R_1 bằng một diốt Zenen như hình 11.6c. Trên sơ đồ này thì độ trôi mức là $V_o - V_i = (V_{BE} + V_Z)$. Nếu điện trở

động của diốt nhỏ so với R_2 thì độ suy giảm của tín hiệu không đáng kể. Tuy nhiên, việc thay thế R_1 trong sơ đồ hình 11.6a bằng một nguồn thế là hay hơn cả vì nhiều lý do, trước hết là để thực hiện trong vi mạch (hình 11.7). Trong sơ đồ này, nếu dòng bazơ rất nhỏ so với dòng qua R_3 và R_4 thì mạch hoạt động như một “bộ nhân V_{BE} ”, bởi vì:

$$V = \frac{V_{BE}}{R_4}(R_4 + R_3) = V_{BE} \left(1 + \frac{R_3}{R_4} \right).$$

Nguồn thế này có thể được sử dụng để thay thế R_1 trong hình 11.6a hoặc diốt V_Z trong hình 11.6c hoặc bất kỳ một nhánh nào của mạng cân sự chuyển đổi về thế. Giá trị của nguồn thế này độc lập đối với dòng, nên điện trở động của nó có giá trị lý tưởng bằng không ($R_0 = \Delta V / \Delta I = 0 / \Delta I = 0$).

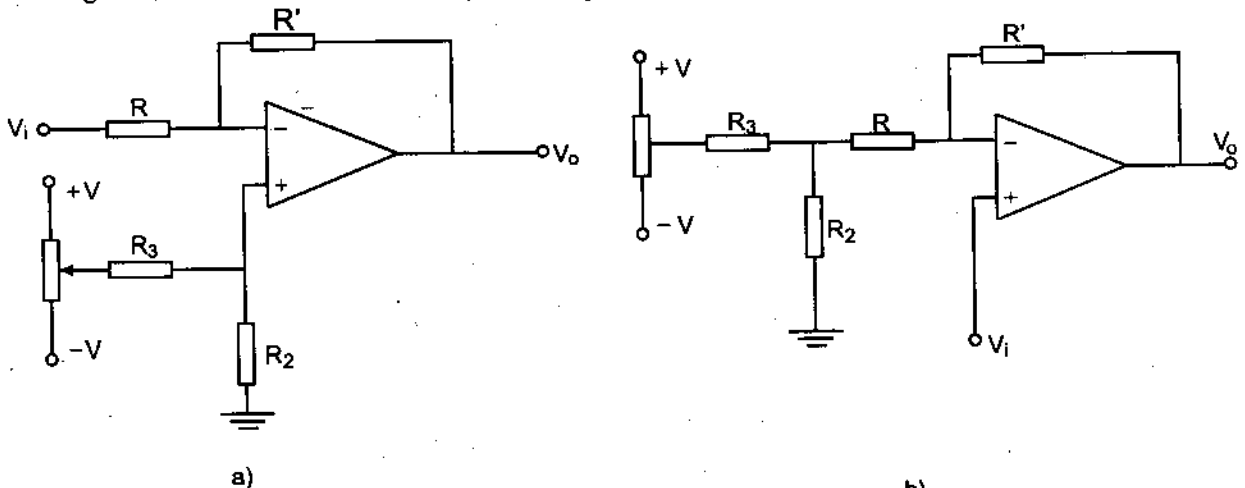


Hình 11.7. Nguồn thế V là bội của V_{BE} .

11.2.3. Dòng và thế sai số offset

Trong phần trước, ta đã thấy rằng bộ khuếch đại thuật toán lý tưởng ở trong hình 11.1a được cân bằng một cách hoàn hảo, có nghĩa là $V_o = 0$ khi $V_1 = V_2 = 0$. Còn trong bộ khuếch đại thuật toán thực thì có sự bất cân bằng do sự không đồng nhất của các tranzito lối vào. Sự không đồng nhất này dẫn đến sự không đồng đều dòng phân cực đi qua các đầu vào của bộ khuếch đại thuật toán và do vậy đòi hỏi một thế offset lối vào tác động vào hai lối vào để cân bằng lối ra của bộ khuếch đại.

Trong phần này, ta đề cập đến các dòng và thế sai số có thể đo được ở lối vào và ở lối ra. Kỹ thuật cân bằng tổng hợp được áp dụng để cân bằng thế offset. Có nghĩa là ta phải tác dụng một thế dc nhỏ ở lối vào để sao cho thế lối ra dc bằng không. Kỹ thuật thiết kế ở đây không phải liên quan đến các mạch ở bên trong bộ khuếch đại. Mạch như vậy được chỉ ra trên hình 11.8a nạp thế nhỏ nối tiếp với lối vào không đảo trong một vùng $\pm V(R_2/R_2 + R_3) = \pm 15$ mV nếu thế nguồn nạp $\pm 15V$ được sử dụng và $R_3 = 100$ k Ω , $R_2 = 100\Omega$. Mạch này rất hiệu dụng để cân bằng các bộ khuếch đại đảo ngay cả khi yếu tố phản hồi R' là một tụ điện hoặc là một phần tử phi tuyến. Nếu bộ khuếch đại thuật toán được sử dụng như một bộ khuếch đại không đảo, thì sơ đồ hình 11.8b được sử dụng để cân bằng thế offset.



Hình 11.8. Kỹ thuật cân bằng thế offset tổng hợp.

$$V = \frac{R + R'}{R} (V_{io} - R_B I_{B1}) \approx 10^3 (V_{io} - 10^4 I_{B1}) \equiv V_4.$$

và từ đó tìm được dòng I_{B1} theo hệ thức sau đây:

$$-I_{B1} = (V_4 - V_3) 10^{-7} \text{ A} = 100 (V_4 - V_3) \text{ nA}$$

Nếu S_2 mở và S_1 đóng và $V' = 0$ thì I_{B2} thu được như trước và bằng $+I_{B2}$. Do đó dòng lệch được cho bởi $I_b = (1/2) (I_{B1} I_{B2})$ và dòng offset là $I_{io} = I_{B1} - I_{B2}$.

11.3.3. Đo hệ số khuếch đại vòng mở $A_v = A_d$

Hệ số khuếch đại vòng mở được định nghĩa như là tỉ số của thế lối ra trên tín hiệu thế lối vào vi sai. Đo trực tiếp A_v dựa trên định nghĩa này là điều cực kỳ khó khăn mà chủ yếu là thế và dòng offset lối vào trong bộ khuếch đại vòng mở bị loại bỏ một cách chính xác vì sự khuếch đại lớn của bộ khuếch đại không cân bằng sẽ đưa đến sự bão hòa thế lối ra của bộ khuếch đại. Nếu ta cần thế lối ra 10 V, với hệ số khuếch đại 10^6 thì thế lối vào phải được điều chỉnh với độ chính xác tới 0,1 mV. Với các tín hiệu nhỏ như vậy thì thế tạp âm có thể lấn át. Tất cả những điều đã nói được khắc phục bằng cách sử dụng AUT với vòng kín của hình 11.9.

Các chuyển mạch S_1 và S_2 đóng và thế V' được đặt để tạo ra thế lối ra chẳng hạn -10V . Khi đó $V_o = -V' = +10\text{V}$. Vì điện trở lối ra của AUT rất nhỏ so với điện trở tải 100 k Ω , nên ta có $A_v V_i = V_o$. Khi đó sụt thế trên R giữa hai cửa lối vào của AUT là $V_{io} + V_i$. Do đó:

$$V = \frac{R + R'}{R} (V_{io} + V_i) \approx 10^3 \left(V_{io} + \frac{V_o}{A_1} \right) \equiv V_5.$$

Thay V_{io} bằng V_3 như đã tính ở trên và $V_o = 10\text{ V}$ vào biểu thức này, ta tìm được:

$$A_v = \frac{10^3 V_o}{V_5 - V_3} = \frac{10^4}{V_5 - V_3}.$$

Nếu điều chỉnh V' tới $+10\text{V}$ và quá trình trên được nhắc lại, thì A_v đối với thế lối ra $V_o = -10\text{V}$ sẽ thu được. Nếu muốn đo hệ số khuếch đại thế A_v khi có tải thì tải R_L được mắc từ lối ra V_o với đất và tiến hành các phép đo như trên.

11.4. CÁC ỨNG DỤNG CƠ BẢN CỦA BỘ KHUẾCH ĐẠI THUẬT TOÁN

Các bộ khuếch đại được sử dụng để tạo nên nhiều toán tử toán học vì vậy nó còn có tên gọi *khuếch đại thuật toán*. Trong phần này, ta sẽ xét một số ứng dụng cơ bản của các bộ khuếch đại thuật toán.

Giả sử bộ khuếch đại thuật toán là lý tưởng và có sơ đồ tương đương như trên hình 11.2.

Từ sơ đồ tương đương, ta tìm được hệ số khuếch đại thế:

$$A_v = \frac{V_o}{V_s} = -\frac{Z'}{Z} \quad (4.1)$$

Dựa trên cơ sở phương trình này, ta có thể thu được các bộ đảo analog, các bộ thay đổi thang chia và các bộ cộng tín hiệu.

11.4.1. Bộ đảo (đổi dấu tín hiệu)

Trong sơ đồ hình 11.2, nếu $Z = Z'$ thì $A_v = -1$, có nghĩa là dấu của tín hiệu vào đã bị thay đổi khi đi qua mạch. Do đó mạch này hoạt động như một bộ đảo pha. Nếu hai bộ khuếch đại như vậy được ghép nối tiếp nhau thì tín hiệu lối ra của tầng thứ hai sẽ cùng dấu với tín hiệu lối vào của tầng trước. Do đó, các tín hiệu lối ra của hai tầng có cùng giá trị biên độ nhưng ngược pha nhau, hệ thống như thế là một bộ khuếch đại *song pha* (*paraphase*).

11.4.2. Bộ thay đổi thang chia

Nếu tỉ số $Z/Z' = k$ và là hằng số thực, thì $A_v = -k$, như vậy thang chia đã được nhân lên một hệ số $-k$. Thông thường, trong trường hợp này, các trở kháng Z và Z' là những điện trở thuần có độ chính xác cao.

11.4.3. Bộ dịch pha

Giả sử rằng, Z và Z' có giá trị như nhau nhưng góc lại khác nhau. Khi đó bộ khuếch đại thuật toán làm dịch pha của thế tín hiệu hình sin lối vào trong khi biên độ của tín hiệu đó tại cùng thời điểm đó vẫn được giữ nguyên. Sự dịch pha có thể được thực hiện từ 0 đến 360°.

11.4.4. Bộ cộng hoặc khuếch đại tổng

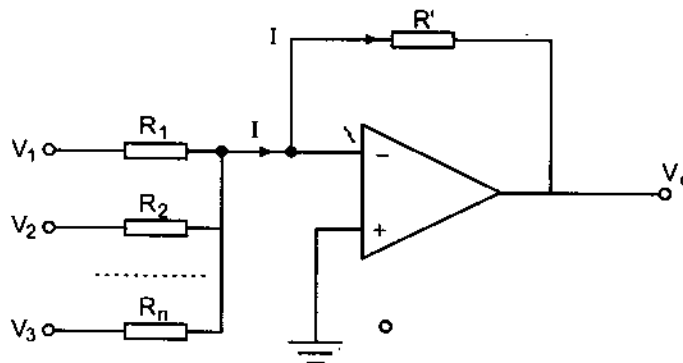
11.4.4.1. Bộ cộng có đảo

Sơ đồ hình (11.10) được sử dụng để thu được tín hiệu lối ra là một tổ hợp tuyến tính của các tín hiệu lối vào. Bởi vì đất nối với lối vào không đảo của bộ khuếch đại thuật toán, nên:

$$I = \frac{v_1}{R_1} + \frac{v_2}{R_2} + \frac{v_3}{R_3} + \dots + \frac{v_n}{R_n}.$$

và

$$v_o = -R' I = -\left(\frac{R'}{R_1} v_1 + \frac{R'}{R_2} v_2 + \frac{R'}{R_3} v_3 + \dots + \frac{R'}{R_n} v_n \right).$$



Hình 11.10. Bộ khuếch đại tổng với lối vào đảo.

Nếu $R_1 = R_2 = \dots = R_n$ thì :

$$v_o = -\frac{R'}{R_1} (v_1 + v_2 + \dots + v_n)$$

Rõ ràng là tín hiệu lối ra tỉ lệ với tổng các tín hiệu lối vào. Có nhiều phương pháp để tổ hợp các tín hiệu, tuy nhiên phương pháp này có ưu điểm là có thể mở rộng đến một số lượng rất lớn các tín hiệu lối vào mà chỉ cần một điện trở cho một lối vào và một điện trở cộng. Ngoài ra, vì đất nối với lối vào cộng của bộ khuếch đại thuật toán, nên các tín hiệu lối vào không bị ảnh hưởng lẫn nhau.

11.4.4.2. Bộ cộng không đảo

Bộ cộng không đảo là một bộ khuếch đại mà tín hiệu lối ra là một tổ hợp tuyến tính của các tín hiệu lối vào nhưng không đổi dấu. Bộ cộng này được thực hiện nhờ bộ khuếch đại không đảo như trên hình 11.11.

$$v_o = \left(1 + \frac{R'}{R}\right)V_+ = \left(\frac{R + R'}{R}\right)V_+$$

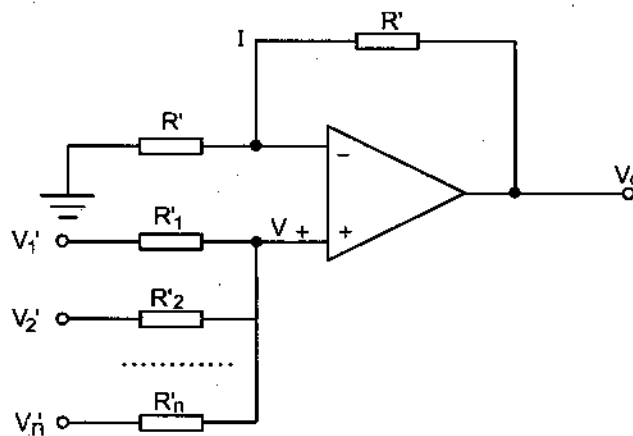
trong đó V_+ là thế ở lối vào không đảo, giá trị của nó có thể được xác định bằng một biểu thức đơn giản nếu tất cả các điện trở lối vào có giá trị như nhau. Khi đó tìm được:

$$V_+ = \frac{1}{n}(v'_1 + v'_2 + \dots + v'_n)$$

Do vậy thế lối ra của bộ cộng không đảo có dạng:

$$V_o = \left(\frac{R + R'}{nR}\right)(v'_1 + v'_2 + \dots + v'_n)$$

Trong đó n là số lối vào.



Hình 11.11. Bộ khuếch đại tổng không đảo.

Người ta cũng có thể tạo được các bộ cộng và trừ analog một cách đồng thời với chỉ một bộ khuếch đại thuật toán bằng cách thay thế điện trở R trong hình 11.11 bằng n lối vào và các điện trở của hình 11.10.

11.5. BỘ CHUYỂN ĐỔI DÒNG THÀNH THỂ VÀ THỂ THÀNH DÒNG

11.5.1. Bộ chuyển đổi thể thành dòng (bộ khuếch đại chuyển đổi độ dẫn)

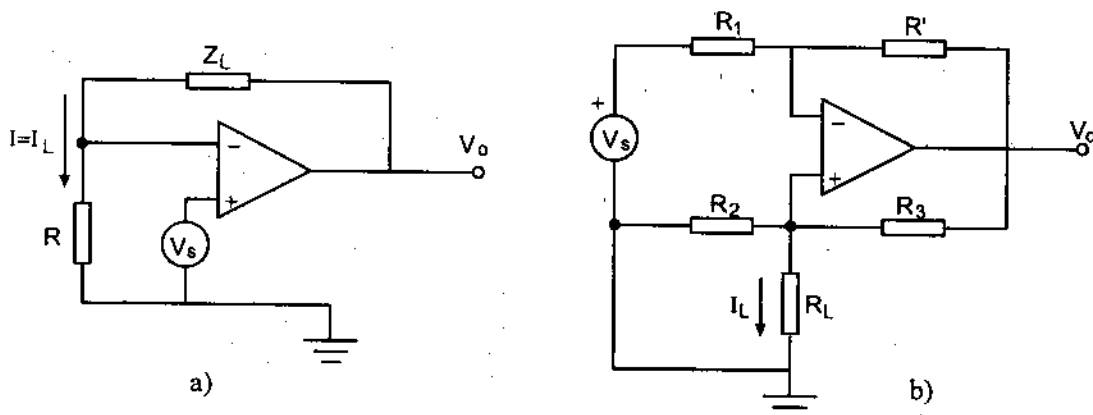
Thông thường người ta muốn chuyển đổi một tín hiệu thể lối vào thành một tín hiệu dòng ở lối ra. Chẳng hạn khi ta làm lệch lối sắt trong đèn hình của tivi. Nếu trở kháng tải để nối không nối đất, thì chúng ta có thể dùng sơ đồ hình 11.12 trong đó điện trở phản hồi R' được thay thế bằng trở tải Z_L (hình 11.12a). Đây là bộ chuyển *thể thành dòng*. Thật vậy, nếu thể lối vào $v_i = v_s(t)$, thì dòng trong trở tải Z_L sẽ là :

$$i_L = \frac{v_s(t)}{R}$$

Rõ ràng là dòng i_L độc lập với trở tải Z_L . Bởi vì dòng chạy qua trở tải và nguồn tín hiệu là như nhau, nên điều quan trọng là nguồn tín hiệu có khả năng cung cấp dòng tải. Mặt khác, bộ khuếch đại hình 11.12a đòi hỏi dòng điện rất nhỏ từ nguồn tín hiệu, vì nguồn tín hiệu lối vào được nối với lối vào không đảo qua điện trở lối vào rất lớn của bộ khuếch đại thuật toán.

Nếu tải nối đất, thì để chuyển đổi thể thành dòng, ta dùng sơ đồ hình 11.12b. Trong đó các điện trở được lựa chọn theo tỉ lệ : $R_3/R_2 = R'/R_1$. Khi đó dòng trên tải là :

$$i_L(t) = -\frac{v_s(t)}{R_2}$$



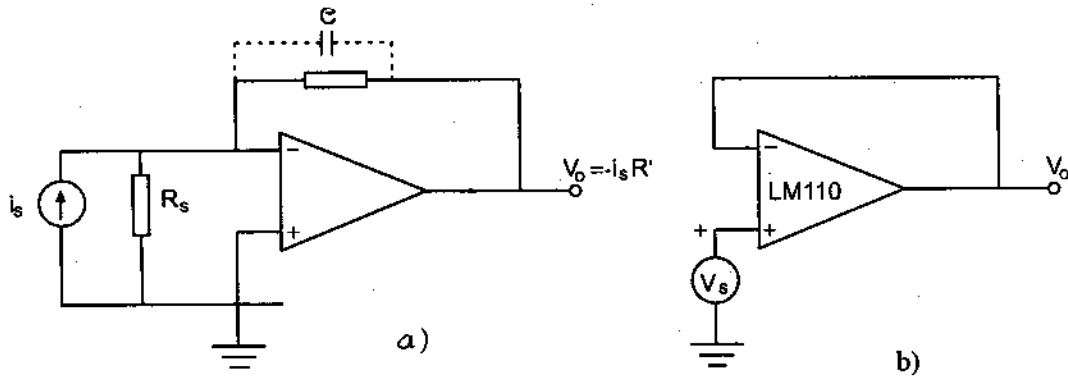
Hình 11.12. Bộ chuyển đổi thể thành dòng: a) tải nối và b) tải nối đất.

11.5.2. Bộ chuyển đổi dòng thành thể (bộ khuếch đại chuyển đổi điện trở)

Các dụng cụ quang học như tế bào quang điện hoặc các bộ nhân quang điện cung cấp dòng điện lối ra độc lập đối với tải. Nhưng các dụng cụ đó lại thường được thực hiện dưới dạng thể lối vào, do vậy phải sử dụng các bộ chuyển đổi dòng thành thể. Để thực hiện các chức năng này, các bộ khuếch đại thuật toán có thể tạo nên các bộ chuyển đổi có cấu tạo đơn giản như trên hình 11.13.

Trong sơ đồ này, do lối vào không đảo nối đất, nên dòng điện qua R_S bằng không, do vậy dòng i_s chạy qua điện trở phản hồi R' , từ đó tính được thể lối ra $v_o = -i_s R'$. Dòng điện lối vào i_s đã được chuyển đổi thành thể lối ra v_o . Cần nhấn mạnh là giá trị thấp nhất của nguồn dòng

lối vào phải được xác định bằng giá trị của dòng lệch của lối vào đảo của bộ khuếch đại thuật toán. Người ta thường mắc song song với điện trở R' một tụ điện C để hạn chế nhiễu cao tần và chống tự kích dao động. Bộ chuyển đổi dòng thành thế tạo nên một công cụ đo dòng tuyệt vời bởi vì nó là một đồng hồ đo ampe với sụt thế bằng không khi qua đồng hồ.



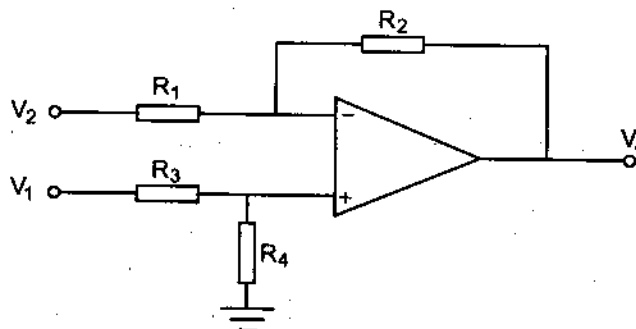
Hình 11.13. Bộ chuyển đổi dòng thành thế: (a) và hệ lặp lại thế (b).

11.5.3. Bộ lặp lại thế dc

Khuếch đại thuật toán có thể được sử dụng để tạo ra các bộ lặp lại thế một chiều dc (hình 11.13b). Thế lối ra $V_o = V_s$ có nghĩa là thế lối ra lặp lại thế lối vào. Bộ khuếch đại thuật toán LM 110 được thiết kế để dành riêng cho mục đích này vì lối ra của nó đã được nối với lối vào ngay từ bên trong vi mạch. Nó có điện trở lối vào cực kỳ cao $10^6 \text{M}\Omega$, dòng lối vào cực kỳ thấp (1nA) và điện trở lối ra rất nhỏ ($0,75\Omega$), độ rộng dải là 10MHz và hệ số khuếch đại là 0,9997. LM 110 có thể tự kích dao động nếu điện trở của nguồn tín hiệu quá nhỏ, vì vậy nên mắc thêm điện trở $10\text{K}\Omega$ nối tiếp với nguồn.

11.6. BỘ KHUẾCH ĐẠI VI SAI THIẾT BỊ (INSTRUMENTATION)

Các bộ khuếch đại lối vào vi sai, lối ra chỉ có một đầu duy nhất thường được sử dụng để khuếch đại các tín hiệu thu được từ các biến trở để đo lường các đại lượng vật lý, có thể là những đại lượng điện hoặc không điện, hình 11.14 là sơ đồ của bộ khuếch đại vi sai thiết bị đơn giản chỉ sử dụng một bộ khuếch đại thuật toán.



Hình 11.14. Bộ khuếch đại vi sai thiết bị đơn giản.

Để tìm thế lối ra ta áp dụng nguyên lý chống chất :

Nếu cho $V_1 = 0$ và giả sử dòng lệch lối vào rất bé có thể bỏ qua, thì thế V_+ ở lối vào

không đảo bằng không do đó $V_0 = -(R_2/R_1)V_2$. Mặt khác nếu $V_2 = 0$ thì $V_+ = [R_4/(R_3+R_4)] V_1$ và $V_0 = [(R_1 + R_2)/R_1]V_+$. Do đó áp dụng nguyên lý chồng chất ta được:

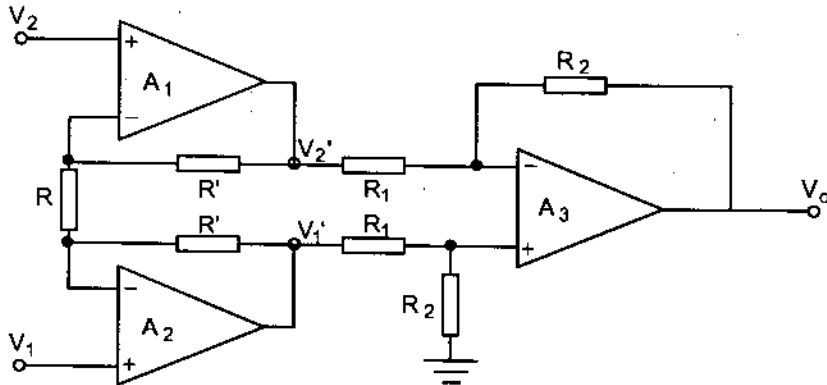
$$V_0 = -\frac{R_2 V_2}{R_1} + \frac{R_4}{R_3 + R_4} \frac{R_1 + R_2}{R_1} V_1$$

$$V_0 = -\frac{R_2}{R_1} \left[V_2 - \frac{1}{\frac{R_3}{R_4} + 1} \left(\frac{R_1}{R_2} + 1 \right) V_1 \right]$$

Nếu $\frac{R_2}{R_1} = \frac{R_3}{R_4}$ thì:

$$V_0 = \frac{R_2}{R_1} (V_1 - V_2)$$

Nếu các nguồn tín hiệu có điện trở thì các điện trở này được cộng thêm vào các điện trở R_3 và R_1 . Cần chú ý rằng nếu $V_1 = 0$ thì lối vào đảo bằng thế đất do đó điện trở R_1 là tải của nguồn tín hiệu V_2 , tải này là quá lớn đối với một nguồn tín hiệu là biến từ vật lý. Vì vậy trước mỗi lối vào cần thiết phải có bộ đệm trở kháng cao. Kết quả này được thực hiện trên hình 11.15. Đó là một bộ khuếch đại thiết bị có điện trở kháng lối vào rất cao và tỉ số thoát một - cộng được cải thiện rất nhiều, mặc dù ba bộ khuếch đại thuật toán được sử dụng, tuy nhiên giá thành của nó vẫn rất thấp vì cả ba đều được làm trên cùng một chip trong cùng một vi mạch.



Hình 11.15. Bộ khuếch đại thiết bị đã được cải tiến.

Ta có thể thấy rằng hệ số khuếch đại của hai bộ đệm A_1 và A_2 bằng 1, nếu $V_1 = V_2$ thì sụt thế trên R bằng không do vậy không có dòng qua R và R_s , vì vậy $V_2' = V_2$ và $V_1' = V_1$ và hai bộ đệm hoạt động như các bộ khuếch đại đơn vị. Nhưng nếu $V_1 \neq V_2$ thì có dòng qua R' và R do đó $V_2' - V_1' > V_2 - V_1$ do đó hệ số khuếch đại vi sai và tỉ số thoát một - cộng của hệ thống hai tầng này đã được tăng cường hơn so với một tầng. Thế lối ra tính được;

$$V_0 = \left(1 + \frac{2R'}{R} \right) \frac{R_2}{R_1} (V_1 - V_2)$$

Hệ số khuếch đại vi sai có thể được thay đổi bằng cách mắc thêm điện trở biến đổi trong nhánh R .

TÀI LIỆU THAM KHẢO

1. Chin-Lin-Chen: Elements of optoelectronics & fiber optics IRWIN (1996) 595p.
2. Millman J. Microelectronics: digital analog circuits and systems (1990) 985p.
3. Susumu.K. Very High Speed MOS Devices. CLARENDON PRESS_oxford (1990). 678p.
4. SZE S.M. Physics of semiconductor Device JOHN WILEY & SONS N.Y (1989) 868p.
5. Yang E.S Fundamentals of semiconductor Device Mc-Graw HILL (1978) 355p.
6. Bernard B. Les composants semiconducteur. Masson (1993). 217p.
7. R.BESSON. Technologie des composants e'lectroniques. Edition RADIO (1995) 729p.
8. DEVOS F. Optoe'lectronique-composants de l'e'lectronique logique (Vol.2). Les Edition de Physics (1990) 99p.
9. Mathiew H.Physique des semiconducteurs et des composants e'lectroniques. Edition Mason (1987) 601p.

MỤC LỤC

LỜI GIỚI THIỆU

Phần một. CÁC LINH KIỆN RỜI

CHƯƠNG 1. Một số tính chất của vật liệu bán dẫn	4
1.1. Năng lượng của điện tử trong đơn tinh thể - Vùng năng lượng	4
1.2. Xác suất chiếm mức năng lượng của điện tử	5
1.3. Điện tử và lỗ trống trong bán dẫn ròng	6
1.4. Nồng độ hạt tải trong bán dẫn ròng	8
1.5. Bán dẫn có tạp chất	11
1.6. Sự pha tạp bán dẫn	16
1.7. Sự chuyển dời các hạt tải trong bán dẫn.	17
CHƯƠNG 2. Điốt P-N	20
2.1. Các đặc tính tổng quát của chuyển tiếp P-N	20
2.2. Chuyển tiếp P-N chưa phân cực	22
2.3. Chuyển tiếp P-N bị phân cực	24
2.4. Điện trở động của điốt	27
2.5. Điện dung của điốt	27
2.6. Điốt P-N trong chế độ chuyển mạch	29
2.7. Các loại điốt đặc biệt	32
CHƯƠNG 3. Chuyển tiếp dị tinh thể và siêu mạng	39
3.1. Sự tạo thành chuyển tiếp dị tinh thể (Hetero-junction)	39
3.2. Giảm độ vùng năng lượng ở xa lớp chuyển tiếp	39
3.3. Giảm độ vùng năng lượng ở gần vùng chuyển tiếp	40
3.4. Chuyển tiếp dị tinh thể bị phân cực	42
3.5. Siêu mạng (superlattice)	43
3.6. Tiếp xúc kim loại-bán dẫn	44
3.7. Điốt Schottky	46
CHƯƠNG 4. Tranzito lưỡng cực	49
4.1. Cấu tạo và một số định nghĩa chung	49
4.2. Hiệu ứng tranzito	49
4.3. Các gần đúng thực nghiệm	51
4.4. Nghiên cứu dòng điện trong chế độ tĩnh. Phương trình Ebers và Moll	56
4.5. Mô hình gợi ý bởi máy tính	59
4.6. Tranzito trong chế độ động	61

4.7. Tranzito trong chế độ chuyển mạch	64
4.8. Các loại tranzito đặc biệt	66
CHƯƠNG 5. Các linh kiện nhiều chuyển tiếp P-N	69
5.1. Điốt P-N-P-N	69
5.2. Thyristor	70
5.3. Các linh kiện cùng họ với thyristor	74
5.4. Triac (Triốt chuyển mạch A-C)	75
5.5. Tranzito một lớp chuyển tiếp P-N (Unijunction tranzito)	76
5.6. Thyristo G.T.O	79
CHƯƠNG 6. Các loại tranzito trường	81
6.1. Một số định nghĩa chung	81
6.2. Tranzito trường JFET	81
6.3. Tranzito trường có cửa Schottky (MESFET)	88
6.4. Tranzito trường có cửa cô lập (MOS)	89
6.5. Nghiên cứu định lượng đặc trưng tĩnh của MOS	92
6.6. Đặc trưng động của tranzito MOS	94
6.7. Các loại MOS đặc biệt	95
CHƯƠNG 7. Các linh kiện quang -điện tử	99
7.1. Các đại lượng quang-điện tử bán dẫn	99
7.2. Các linh kiện phát hiện tia sóng	103
7.3. Các loại linh kiện phát quang	112
7.4. Điốt Laser	118
7.5. Máy phát Laser cho cửa sổ thứ nhất	121
7.6. Máy phát Laser cho các cửa sổ thứ 2 và 3	122

Phần hai. CÁC LOẠI VI MẠCH (IC)

CHƯƠNG 8. Các khái niệm và sự phát triển	126
8.1. Các nguyên tắc cơ bản để xây dựng một vi mạch	126
8.2. Sự tăng trưởng của độ phức tạp trong một vi mạch	127
8.3. Sự phát triển của công nghệ	128
CHƯƠNG 9. Các loại vi mạch lưỡng cực	131
9.1. Tạo các tranzito n-p-n cơ sở	131
9.2. Tranzito VLSI n-p-n (Subilo N)	136
9.3. Thực hiện các điốt trong vi mạch	139

9.4. Chế tạo các loại điện trở	141
9.5. Các vi mạch logic I ² L (Integrated injection Logic)	144
9.6. Các vi mạch logic TTL	145
9.7. Các vi mạch logic ECL	146
9.8. Các vi mạch công suất hoặc cao thế	147
CHƯƠNG 10. Các loại vi mạch MOS	148
10.1. Tranzito MOS	148
10.2. Công nghệ CMOS và SOS	150
10.3. Công nghệ chế tạo các vi mạch GaAs	152
10.4. Công nghệ MESFET	153
10.5. Công nghệ Bi-CMOS	157
10.6. Các vi mạch công suất	160
10.7. Các bộ nhớ dùng hiệu ứng trường	163
10.8. Các bộ nhớ ROM và PROM	168
10.9. Các bộ nhớ EPROM và EEPROM	169
10.10. Các linh kiện chuyển đổi điện tích CCD: charge coupled Device	173
CHƯƠNG 11. Khuếch đại thuật toán	178
11.1. Bộ khuếch đại thuật toán cơ sở	178
11.2. Bộ khuếch đại vi sai	180
11.3. Đo các thông số của bộ khuếch đại thuật toán	184
11.4. Bộ khuếch đại tổng	186
11.5. Bộ chuyển đổi thế thành dòng và dòng thành thế	188
11.6. Bộ khuếch đại vi sai thiết bị (instrumentation)	190
Tài liệu tham khảo	192
Mục lục	193

Chịu trách nhiệm xuất bản :

Chủ tịch HĐQT kiêm Tổng Giám đốc NGÔ TRẦN ÁI
Phó Tổng Giám đốc kiêm Tổng biên tập NGUYỄN QUÝ THAO

Biên tập nội dung :

PHẠM THANH HƯƠNG - NGÔ THANH BÌNH

Biên tập tái bản :

NGÔ THANH BÌNH

Trình bày bìa :

ĐOÀN HỒNG

Sửa bản in :

VƯƠNG BÌNH - TRẦN THỊ OANH

Chế bản :

PHÒNG CHẾ BẢN (NXB GIÁO DỤC)

LINH KIẾN BẢN DẪN VÀ VI MẠCH

Mã số: 7B577 T7 - DAI

In 1.500 bản, khổ 19 x 27 cm, tại Xí nghiệp in Hà Tây.
Số in: 723/DAI; Số XB: 11 - 2007/CXB/121 - 2119/GD.
In xong và nộp lưu chiểu tháng 3 năm 2007.



CÔNG TY CỔ PHẦN SÁCH ĐẠI HỌC - DẠY NGHỀ
HEVOBCO
25 HÀN THUYỀN - HÀ NỘI
Website : www.hevobco.com.vn

TÌM ĐỌC SÁCH THAM KHẢO KỸ THUẬT CỦA NHÀ XUẤT BẢN GIÁO DỤC

- | | |
|--|-----------------------------------|
| 1. Cơ sở kỹ thuật Laser | Trần Đức Hân – Nguyễn Minh Hiền |
| 2. Kỹ thuật điện tử | Đỗ Xuân Thụ (Chủ biên) |
| 3. Bài tập kỹ thuật điện tử | Đỗ Xuân Thụ – Nguyễn Viết Nguyên |
| 4. Kỹ thuật điện tử ứng dụng | Nguyễn Vũ Sơn |
| 5. Kỹ thuật điện tử số | Đặng Văn Chuyết |
| 6. Kỹ thuật mạch điện tử phi tuyến | Phạm Minh Việt – Trần Công Nhượng |
| 7. Hệ thống viễn thông – Tập 1, Tập 2 | Phạm Minh Việt – Thái Hồng Nhị |
| 8. Cơ sở kỹ thuật điện tử số | Vũ Đức Thọ |
| 9. Kỹ thuật chuyển mạch số | Nguyễn Văn Thắng |
| 10. Thiết bị đầu cuối thông tin | Vũ Đức Thọ |
| 11. Kỹ thuật điện tử 2 (Dùng cho Cao đẳng) | Đoàn Nhân Lộ |
| 12. Tính toán mạng thông tin di động số | Vũ Đức Thọ |

Bạn đọc có thể mua tại các Công ty Sách - Thiết bị trường học ở các địa phương hoặc các Cửa hàng của Nhà xuất bản Giáo dục :

Tại Hà Nội : 25 Hàn Thuyên ; 187B Giảng Võ ; 232 Tây Sơn ; 23 Tràng Tiền ;

Tại Đà Nẵng : Số 15 Nguyễn Chí Thanh ; Số 62 Nguyễn Chí Thanh ;

Tại Thành phố Hồ Chí Minh : 104 Mai Thị Lựu, Quận 1 ; Cửa hàng 451B - 453,

Hai Bà Trưng, Quận 3 ; 240 Trần Bình Trọng - Quận 5.

Tại Thành phố Cần Thơ : Số 5/5, đường 30/4 ;

Website : www.nxbgd.com.vn



Giá: 23.000đ