

VỤ GIÁO DỤC CHUYÊN NGHIỆP

GIÁO TRÌNH ĐIỆN TỬ CÔNG NGHIỆP

SÁCH DÙNG CHO CÁC TRƯỜNG ĐÀO TẠO HỆ TRUNG HỌC CHUYÊN NGHIỆP



NHÀ XUẤT BẢN GIÁO DỤC

VŨ QUANG HỒI

Giáo trình

ĐIỆN TỬ CÔNG NGHIỆP

(Sách dùng cho các trường đào tạo hệ Trung học chuyên nghiệp)

(Tái bản lần thứ nhất)

NHÀ XUẤT BẢN GIÁO DỤC

Lời giới thiệu

Năm 2002, Vụ Giáo dục Chuyên nghiệp - Bộ Giáo dục và Đào tạo đã phối hợp với Nhà xuất bản Giáo dục xuất bản 21 giáo trình phục vụ cho đào tạo hệ THCN. Các giáo trình trên đã được nhiều trường sử dụng và hoan nghênh. Để tiếp tục bổ sung nguồn giáo trình đang còn thiếu, Vụ Giáo dục Chuyên nghiệp phối hợp cùng Nhà xuất bản Giáo dục tiếp tục biên soạn một số giáo trình, sách tham khảo phục vụ cho đào tạo ở các ngành : Điện - Điện tử, Tin học, Khai thác cơ khí. Những giáo trình này trước khi biên soạn, Vụ Giáo dục Chuyên nghiệp đã gửi đề cương về trên 20 trường và tổ chức hội thảo, lấy ý kiến đóng góp về nội dung đề cương các giáo trình nói trên. Trên cơ sở nghiên cứu ý kiến đóng góp của các trường, nhóm tác giả đã điều chỉnh nội dung các giáo trình cho phù hợp với yêu cầu thực tiễn hơn.

Với kinh nghiệm giảng dạy, kiến thức tích lũy qua nhiều năm, các tác giả đã cố gắng để những nội dung được trình bày là những kiến thức cơ bản nhất nhưng vẫn cập nhật được với những tiến bộ của khoa học kỹ thuật, với thực tế sản xuất. Nội dung của giáo trình còn tạo sự liên thông từ Dạy nghề lên THCN.

Các giáo trình được biên soạn theo hướng mở, kiến thức rộng và cố gắng chỉ ra tính ứng dụng của nội dung được trình bày. Trên cơ sở đó tạo điều kiện để các trường sử dụng một cách phù hợp với điều kiện cơ sở vật chất phục vụ thực hành, thực tập và đặc điểm của các ngành, chuyên ngành đào tạo.

Để việc đổi mới phương pháp dạy và học theo chỉ đạo của Bộ Giáo dục và Đào tạo nhằm nâng cao chất lượng dạy và học, các trường cần trang bị đủ sách cho thư viện và tạo điều kiện để giáo viên và học sinh có đủ sách theo ngành đào tạo. Những giáo trình này cũng là tài liệu tham khảo tốt cho học sinh đã tốt nghiệp cần đào tạo lại, nhân viên kỹ thuật đang trực tiếp sản xuất.

Các giáo trình đã xuất bản không thể tránh khỏi những sai sót. Rất mong các thầy, cô giáo, bạn đọc góp ý để lần xuất bản sau được tốt hơn. Mọi góp ý xin gửi về : Công ty cổ phần sách đại học - dạy nghề, 25 Hà Nội, Hà Nội.

VỤ GIÁO DỤC CHUYÊN NGHIỆP – NXB GIÁO DỤC

MỞ ĐẦU

Tiến bộ của khoa học kỹ thuật đã từng ngày đổi mới các phần tử, các mạch điều khiển trong từng máy riêng lẻ cũng như công nghệ sản xuất của nhiều lĩnh vực khác nhau.

Điện tử Công nghiệp ngày nay không chỉ bó hẹp trong lĩnh vực Công nghiệp mà còn có mặt ở hầu hết các lĩnh vực kinh tế khác nhau, khi chúng ta phấn đấu xây dựng một nền kinh tế theo phương hướng công nghiệp hoá. Vì vậy giáo trình Điện tử công nghiệp là một nội dung học tập không thể thiếu của những ngành có liên quan đến vận hành, quản lý, sửa chữa các máy móc, trang bị và dây chuyền công nghệ có yêu cầu về khống chế và điều khiển.

Nội dung của giáo trình Điện tử công nghiệp gồm 11 chương, theo trình tự, giáo trình giới thiệu các phần tử rời rạc, các mạch điều khiển và thiết bị cũng như phạm vi ứng dụng của chúng trong thực tế sản xuất mà người học có thể sẽ gặp trong thực tế sản xuất.

Nội dung của giáo trình khá rộng, vì vậy tùy theo yêu cầu của ngành học mà có thể đi sâu vào chương này và có thể tìm hiểu khái quát ở chương kia.

Trong quá trình biên soạn chúng tôi đã cố gắng trình bày các nội dung một cách đơn giản và dễ hiểu nhất, để người đọc có thể tự học khi không có điều kiện tới lớp.

Giáo trình biên soạn chủ yếu cho đối tượng là học sinh các trường Trung học chuyên nghiệp, nhưng nó cũng rất tốt cho học sinh học nghề, tự đào tạo lại của các kỹ thuật viên và là tài liệu tham khảo bổ ích cho sinh viên Cao đẳng.

Trong khi biên soạn chúng tôi cố gắng cập nhật những tiến bộ khoa học kỹ thuật đã được áp dụng vào thực tế sản xuất và diễn đạt những nội dung được trình bày một cách đơn giản, dễ hiểu nhất ; Tuy nhiên vẫn không tránh khỏi còn thiếu sót. Vì vậy, rất mong nhận được ý kiến đóng góp của bạn đọc để lần xuất bản sau được tốt hơn.

Tác giả

Chương I

VẬT LIỆU DÙNG TRONG KỸ THUẬT ĐIỆN TỬ CÔNG NGHIỆP

1.1. VẬT LIỆU DẪN ĐIỆN

Vật liệu dẫn điện dùng trong kỹ thuật điện tử công nghiệp thường là kim loại và các hợp kim. Các thông số kỹ thuật chủ yếu đối với vật liệu dẫn điện là:

- Điện trở suất ρ ở 20°C , đơn vị Ωm hay $\frac{\Omega\text{mm}^2}{\text{m}}$; $1\Omega\text{m} = 10^6 \frac{\Omega\text{mm}^2}{\text{m}}$

- Hệ số nhiệt điện trở α để tính điện trở ở các nhiệt độ khác 20°C :

$$R_t = R_0(1 + \alpha t^{\circ})$$

- Nhiệt độ nóng chảy, tính ra $^{\circ}\text{C}$

- Khối lượng riêng, đơn vị $\frac{\text{kg}}{\text{m}^3}$ hay $\frac{\text{kg}}{\text{dm}^3}$

Bảng 1.1

CÁC THÔNG SỐ KỸ THUẬT CHỦ YẾU CỦA VẬT LIỆU DẪN ĐIỆN THƯỜNG DÙNG

Vật liệu dẫn điện	Điện trở suất (Ωm)	Hệ số $\alpha \left(\frac{1}{^{\circ}\text{C}} \right)$	Nhiệt độ nóng chảy ($^{\circ}\text{C}$)	Khối lượng riêng (kg/m^3)
Đồng (Cu)	$1,72 \cdot 10^{-8}$	0,0040	1083	$8,89 \cdot 10^3$
Nhôm (Al)	$2,82 \cdot 10^{-8}$	0,0049	660	$2,7 \cdot 10^3$
Sắt (Fe)	$9,8 \cdot 10^{-8}$	0,0062	1535	$7,8 \cdot 10^3$
Vàng (Au)	$2,42 \cdot 10^{-8}$	0,0036	1063	$19,3 \cdot 10^3$
Bạc (Ag)	$1,62 \cdot 10^{-8}$	0,0038	961	$10,5 \cdot 10^3$
Thiếc (Sn)	$1,15 \cdot 10^{-8}$	0,0042	230	$8,8 \cdot 10^3$
Chì (Pb)	$2,1 \cdot 10^{-8}$	0,0040	330	$11,4 \cdot 10^3$

1.2. VẬT LIỆU CÁCH ĐIỆN

Vật liệu cách điện dùng trong kĩ thuật điện tử rất đa dạng. Các thông số kĩ thuật chủ yếu đối với vật liệu cách điện là:

- Độ bền về điện : là mức điện áp chịu đựng được của vật liệu trên một đơn vị chiều dày mà không bị phóng điện thủng. Đơn vị thường dùng là kV/mm.

- Nhiệt độ chịu được mà không bị hỏng ($^{\circ}\text{C}$)

- Hằng số điện môi ϵ

- Góc tổn hao (tg δ)

- Khối lượng riêng (kg/m^3)

Bảng 1.2

CÁC THÔNG SỐ CHỦ YẾU CỦA VẬT LIỆU CÁCH ĐIỆN THƯỜNG DÙNG

Vật liệu cách điện	Độ bền về điện (kV/mm)	Nhiệt độ chịu đựng ($^{\circ}\text{C}$)	Hằng số điện môi ϵ	Góc tổn hao (tg δ)	Khối lượng riêng (kg/m^3)
Không khí	3		81		$1,29 \cdot 10^{-3}$
Mi ca	50 ÷ 100	600	6 + 8	0,0004	$2,8 \cdot 10^3$
Sứ	20 + 28	150 + 170	6 + 7	0,03	$(2,5 + 3,3) \cdot 10^3$
Thuỷ tinh	20 + 30	500 + 1700	4 + 10	0,0005 ÷ 0,001	$(2,2 + 4) \cdot 10^3$
Ba-kê-lit	10 + 40		4 + 4,6	0,05 ÷ 0,12	$1,2 \cdot 10^3$
Ê-bô-nit	20 + 30	50 + 60	2,7 + 3	0,01 ÷ 0,015	$(1,2 + 1,4) \cdot 10^3$
Bìa cách điện Pret-xơ-pan	9 + 12	100	3 + 4	0,15	$1,6 \cdot 10^3$
Cao su	20	55	3	0,15	$1,6 \cdot 10^3$
Lụa cách điện	8 + 60	105	3,8 + 4,5	0,04 + 0,08	$1,5 \cdot 10^3$
Sáp	20 + 25	65	2,5	0,0002	$0,95 \cdot 10^3$
Paraphin	20 + 30	49 + 55	1,9 + 2,2		
Nhựa thông	10 + 15	60 + 70	3,5	0,01	$1,1 \cdot 10^3$
Ê-pô-xi	18 + 20	140	3,7 + 3,9	0,013	$(1,1 + 1,2) \cdot 10^3$

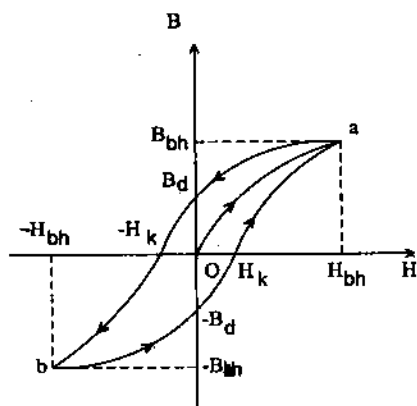
1. 3. VẬT LIỆU TỪ

Trong kĩ thuật điện tử, vật liệu từ được sử dụng rất nhiều trong các thiết bị như cuộn hút, máy biến áp, nam châm, loa, micro...

Các vật liệu từ đều thuộc nhóm chất sắt từ. Các chất sắt từ có : sắt (Fe), kền (Ni), Coban (Co) và các hợp kim của chúng.

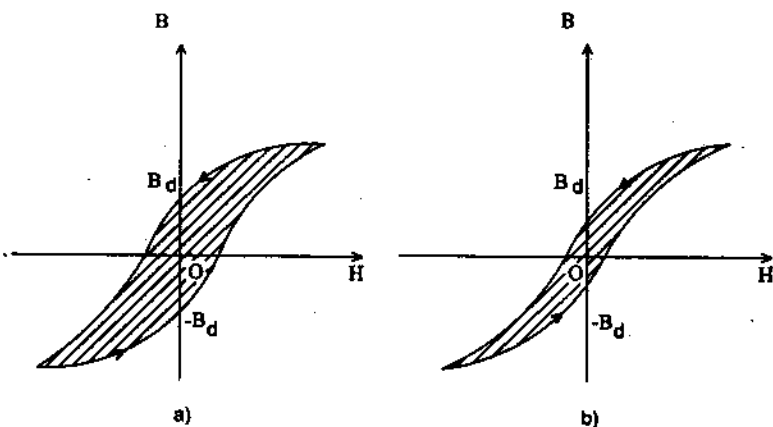
Khi có từ trường ngoài, các chất sắt từ sẽ nhiễm từ mạnh và rất mạnh (hàng trăm, hàng ngàn hoặc hơn nữa so với từ trường ngoài). Thay đổi cường độ từ trường ngoài thì sự nhiễm từ của chất sắt từ cũng thay đổi.

Quan hệ phụ thuộc biểu thị sự thay đổi của cảm ứng từ B của từ trường của chất sắt từ theo cường độ từ trường ngoài (từ trường từ hoá) được biểu thị bởi một đường cong gọi là đường cong từ hoá (hình 1.1).



Hình 1.1: Đường cong từ hoá chất sắt từ

Bắt đầu tăng cường độ từ trường ngoài H thì cảm ứng từ B tăng nhanh từ 0 rồi đạt bão hoà (điểm a). Giảm H thì B giảm (đoạn aB_d). Khi $H = 0$ thì B không giảm về 0 mà còn có giá trị B_d . Nguyên nhân là chất sắt từ đã bị từ hoá. Lượng B_d gọi là cảm ứng từ dư. Để khử từ dư này, cần một từ trường ngoài ngược lại với cường độ H_k . Sau đó là từ hoá ngược lại...



Hình 1.2: Vòng từ trễ của vật liệu : a) Từ cứng ; b) Từ mềm.

Đường từ hoá khép kín $aB_d(-H_k)b(-B_d)H_k a$ gọi là vòng từ trễ.

Vật liệu từ chia làm 2 loại:

1. **Vật liệu từ cứng** : vòng từ trễ có diện tích lớn (hình 1.2a), từ dư của vật liệu lớn. Vật liệu từ cứng thường dùng làm các lõi nam châm, loa, micro, nam châm vĩnh cửu.v.v...

2. **Vật liệu từ mềm** : vòng từ trễ có diện tích nhỏ (hình 1.2b), từ dư của vật liệu nhỏ. Vật liệu từ mềm thường dùng làm các lõi cuộn hút (rơ le, công tắc tơ...), lõi máy biến áp.v.v...

CÂU HỎI CHƯƠNG I

1. Khác nhau cơ bản của vật liệu dẫn điện và vật liệu cách điện là gì?
2. Có mấy loại vật liệu từ? ứng dụng của chúng có gì khác nhau? Chúng có dùng để dẫn điện không?

Chương II

KHÁI QUÁT VỀ CÁC LINH KIỆN ĐIỆN TỬ TƯƠNG TỰ

2.1. CÁC LINH KIỆN ĐIỆN TỬ THỤ ĐỘNG

Trong mạch điện, trạng thái điện của một linh kiện (hay phần tử) được thể hiện bởi 2 thông số trạng thái là điện áp u đặt (hay rơi) trên linh kiện và dòng điện i chạy qua nó.

Các phần tử tự tạo ra u hay i gọi là nguồn điện áp (nguồn áp) hay nguồn dòng điện (nguồn dòng). Các phần tử không tạo được điện áp hay dòng điện là các phần tử tiêu thụ điện (các phụ tải).

Tùy yêu cầu sử dụng, các linh kiện được chế tạo dưới nhiều hình dạng khác nhau và có những đặc tính kỹ thuật tương ứng với lĩnh vực sử dụng.

Các linh kiện điện tử chia ra làm 2 loại:

- Loại thụ động : điện trở, tụ điện, cuộn dây
- Loại tích cực : diốt (diode), tranzito (transistor), thyristo (thyristo), diac, triac...

2.1.1. Điện trở

a) Điện trở được sản xuất với nhiều giá trị danh định, từ vài phần ôm (Ω) tới hàng trăm megaôm (M Ω) với các công suất khác nhau.

b) Trong mạch điện, điện trở thường được sử dụng với 2 mục đích:

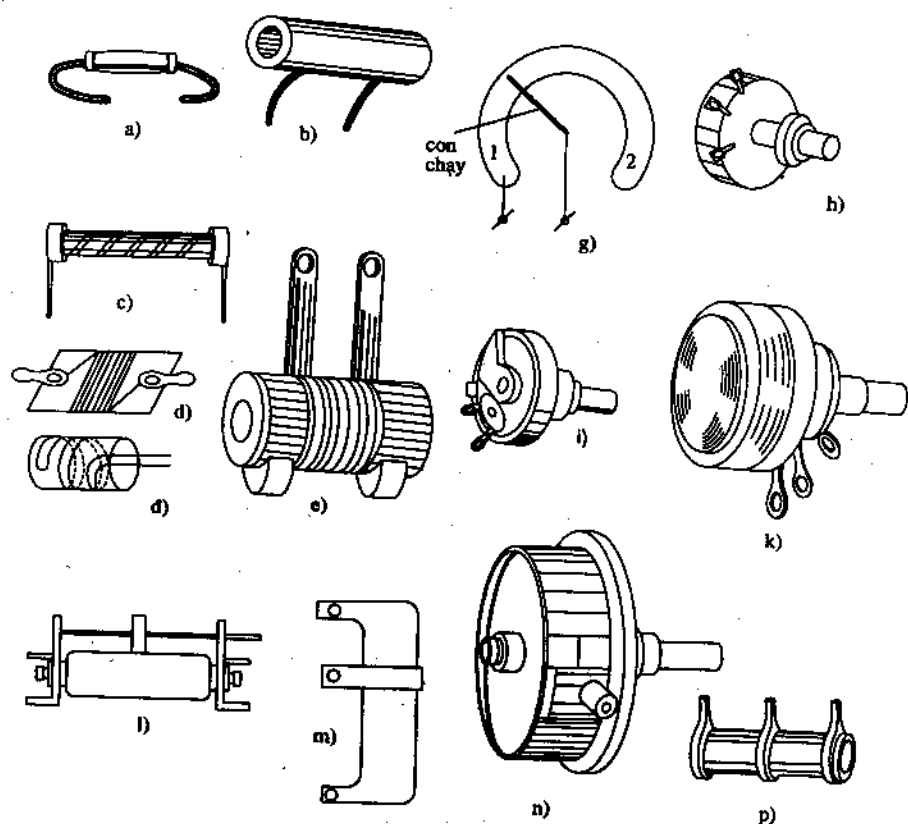
- Để tạo dòng điện mong muốn (tại một mạch nhánh).
- Để tạo điện áp mong muốn (tại một đoạn mạch).

c) Giá trị của điện trở không phụ thuộc vào tần số dòng điện, nghĩa là giá trị điện trở không thay đổi khi dùng ở mạch một chiều cũng như xoay chiều.

d) Khi sử dụng điện trở, cần quan tâm tới các tham số sau:

- Giá trị của điện trở ;

- Sai số của điện trở (tính theo %) hay độ chính xác của điện trở ;
 - Công suất tối đa cho phép (mà điện trở tiêu thụ) ;
 - Các tham số về đặc điểm cấu tạo, vật liệu chế tạo.
- d) Điện trở được chia làm 2 loại theo sự thay đổi giá trị điện trở :
- Điện trở có giá trị điện trở cố định (hình 2.1a, b, c, d, đ, e) ;
 - Điện trở có giá trị điện trở thay đổi được (biến trở) (hình 2.1g, h, i, k, l, m, n, p).



Hình 2.1: Các loại điện trở cố định và biến trở :
a) Điện trở than ; c) Điện trở than phun ;
b, l, m, p, e, đ) Điện trở dây quấn ; g, h, i, k, n) biến trở.

e) Về cấu tạo, điện trở có nhiều loại :

- Điện trở than trộn : Bột than trộn với keo được ép thành thỏi, hai đầu có dây dẫn ra. Loại này rẻ nhưng độ chính xác thấp (hình 2.1a).

- Điện trở than phun : Bột than được phun theo rãnh trên ống sứ. Loại này dùng phổ biến hơn vì độ chính xác cao hơn (hình 2.1c)

- Điện trở dây quấn : Dây kim loại có điện trở suất cao được quấn trên ống cách điện rồi tráng men phủ toàn bộ (hình 2.1b) hoặc chứa một khoảng để dịch một con chạy trên thân điện trở nhằm điều chỉnh trị số (hình 2.1m, l, p). Cũng có loại điện trở dây quấn không phủ men (hình 2.1e).

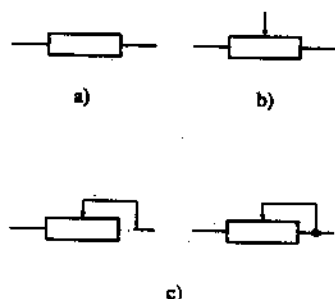
Vì điện trở dây quấn có nhiều vòng dây nên gây ra cảm kháng. Để giảm và trừ khử cảm kháng này, người ta thường dùng 2 cách : hoặc quấn dây trên tấm cách điện thật dẹt (hình 2.1d), hoặc quấn chập đôi (hình 2.1d) để 2 vòng dây cạnh nhau có dòng điện chạy ngược chiều.

Điện trở dây quấn chịu được công suất tiêu tán lớn, bền và chính xác nhưng giá thành cao.

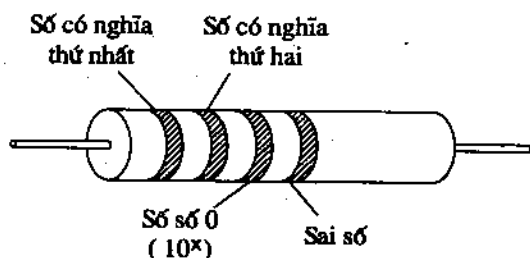
- Biến trở : là điện trở dây quấn hay than phun hình vòng cung, trên đó có một con chạy có thể thay đổi vị trí khi xoay trục. Biến trở thường có 3 đầu ra, đầu giữa ứng với con chạy (hình 2.1g).

Con chạy chia điện trở vòng cung thành 2 phần : 1 và 2. Tùy theo vị trí con chạy mà các điện trở phần 1 và 2 sẽ tăng hoặc giảm và ta có thể sử dụng tùy theo cách nối đầu ra. Hình 2.1h, i, k, n là hình dáng một số biến trở phổ biến. Biến trở làm nhiệm vụ phân áp còn gọi là chiết áp.

g) Trên các bản vẽ điện, điện trở được kí hiệu như hình 2.2.



Hình 2.2: Kí hiệu điện trở :
a) Điện trở ; b) Biến trở 3 đầu dây ;
c) Biến trở 2 đầu dây.



Hình 2.3: Luật vòng màu trên thân điện trở

h) Cách đọc trị số (hay giá trị) điện trở

Có nhiều cách ghi trị số điện trở trên thân điện trở. Phổ biến là quy luật ghi theo màu. Trên thân điện trở thường có 4 vòng màu (hình 2.3). Vòng thứ nhất chỉ con số có nghĩa thứ nhất. Vòng thứ hai chỉ con số có nghĩa thứ hai. Vòng thứ ba chỉ số số 0 tiếp theo (hoặc chỉ số mũ lũy thừa của 10). Vòng thứ tư chỉ sai số. Con số tương ứng với 3 vòng màu đầu như bảng 2.1.

Bảng 2.1

Màu	Con số	Màu	Con số
Đen	0	Xanh lá cây	5
Nâu	1	Xanh lơ	6
Đỏ	2	Tím	7
Cam	3	Xám	8
Vàng	4	Trắng	9

Vòng thứ tư có màu chỉ % như sau:

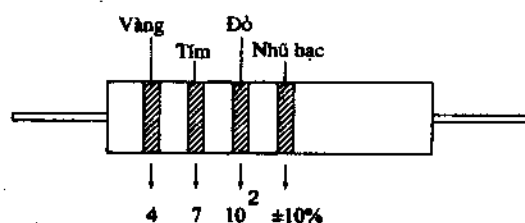
- Màu của thân điện trở (không vòng) - sai số 20%
- Vòng ngân nhũ (nhũ bạc) - sai số 10%
- Vòng kim nhũ (nhũ vàng) - sai số 5%
- Vòng đỏ - sai số 2%
- Vòng nâu - sai số 1%

Cách đọc một giá trị điện trở như hình 2.4 và hình 2.5.

Trường hợp chỉ có 3 vòng mà vòng thứ 3 có màu kim nhũ hay ngân nhũ thì đó là điện trở có trị số nhỏ hơn

10Ω. Vòng kim nhũ : $\times \frac{1}{10}$;

vòng ngân nhũ : $\times \frac{1}{100}$



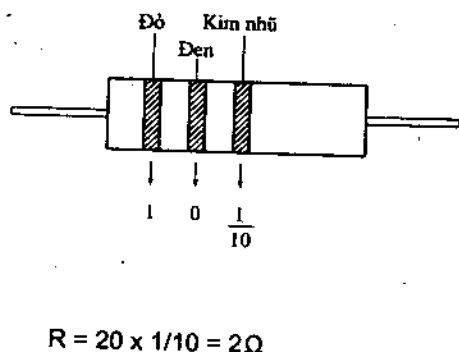
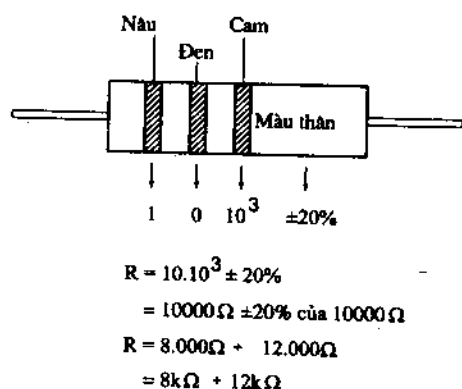
$$\begin{aligned}
 R &= 47.10^2 \pm 10\% \\
 &= 4700\Omega \pm 10\% \text{ của } 4700\Omega \\
 R &= 4230\Omega \sim 5170\Omega
 \end{aligned}$$

Hình 2.4: Cách đọc điện trở khi có 4 vòng màu

Người ta cũng sử dụng cách ghi trực tiếp trên thân điện trở giá trị điện trở tính theo Ω với chữ cái chỉ bội số của Ω ($R = 10^0\Omega$; $K = 10^3\Omega$; $M = 10^6\Omega$), chữ tiếp theo chỉ sai số ($M = 20\%$; $K = 10\%$; $J = 5\%$; $H = 2,5\%$; $G = 2\%$; $F = 1\%$). Ví dụ : 4K7J là $4,7k\Omega \pm 5\%$ của $4,7k\Omega$. Điện trở 4K7J có giá trị từ 4465Ω đến 4935Ω .

i) Trị số điện trở và công suất tiêu tán của điện trở thường được ghi trên bản vẽ điện như hình 2.7.

- Giá trị điện trở tính bằng Ω , ghi con số.
- Giá trị điện trở tính bằng $k\Omega$, ghi chữ k sau con số.



Hình 2.5: Cách đọc điện trở khi có 3 vòng màu Hình 2.6: Cách đọc điện trở nhỏ hơn 10Ω

- Giá trị điện trở tính bằng $M\Omega$, ghi chữ M sau con số.
- Công suất tiêu tán tính bằng W, ghi chữ số La mã. Khi công suất nhỏ hơn 1W thì gạch ngang hay gạch chéo trong kí hiệu điện trở.

k) Điện trở của một dây dẫn phụ thuộc vào kích thước dây dẫn:

$$R = \rho \frac{l}{s} [\Omega] \quad (2.1)$$

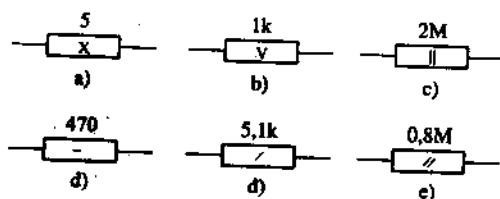
Trong đó :

ρ - điện trở suất của vật liệu làm dây, Ωm

l - chiều dài dây, m

s - thiết diện dây, m^2 .

Điện trở còn thay đổi theo nhiệt độ:



Hình 2.7: Cách ghi giá trị điện trở và công suất tiêu tán trên điện trở: a) $5\Omega - 10W$; b) $1k\Omega - 5W$; c) $2M\Omega - 2W$; d) $470\Omega - 1/2W$; e) $5,1k\Omega - 1/4W$; f) $0,8M\Omega - 1/8W$

$$R_t = R_0(1 + \alpha t^0)$$

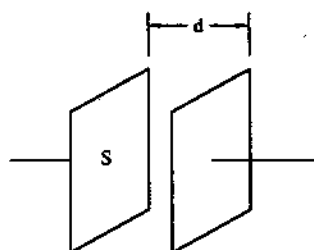
$$= R_0 + R_0 \alpha t^0 = R_0 + \Delta R \quad (2.2)$$

Trong đó: R_t - điện trở ở t^0 , Ω ; R_0 - điện trở ở 0^0C , Ω ;

α - hệ số nhiệt điện trở, $^0C^{-1}$.

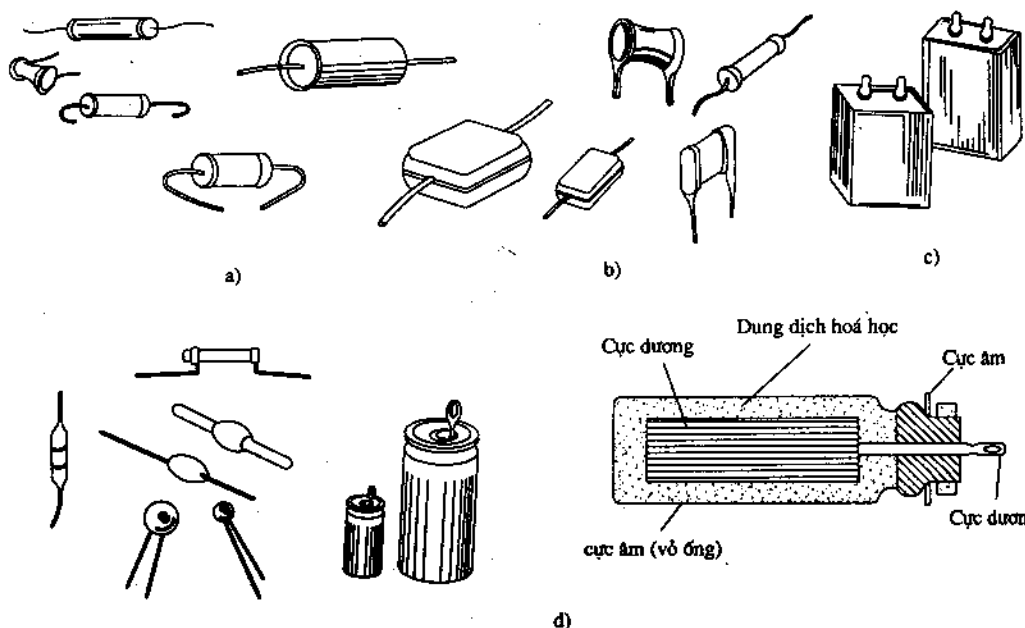
2.1.2. Tụ điện

a) Hai vật dẫn (thường là hai tấm kim loại) đặt gần nhau và cách điện nhau tạo thành một tụ điện (hình 2.8). Các tấm kim loại gọi là bản cực của tụ điện.



Hình 2.8: Nguyên lý cấu tạo một tụ điện

b) Tùy theo chất cách điện (điện môi) giữa hai bản cực mà tụ điện chia ra nhiều loại: tụ không khí, tụ giấy, tụ mica, tụ dầu, tụ gốm, tụ sứ, tụ hoá hay tụ điện phân (tụ có điện môi là dung dịch hoá học)v.v... (hình 2.9).



Hình 2.9: Các loại tụ điện :

a) Tụ giấy ; b) Tụ mica ; c) Tụ dầu ; d) Tụ gốm ; đ) Tụ hoá ; e) Cấu tạo tụ hoá.

c) Điện dung của tụ điện tăng theo diện tích đối diện giữa hai bản cực nên để tăng điện dung phải tăng diện tích bản cực. Khi đó, kích thước sẽ tăng. Để kích thước gọn lại, người ta làm hai bản cực là hai lá kim loại đặt xen kẽ giữa hai bản giấy cách điện rồi cuộn tròn lại (như hình 2.10).

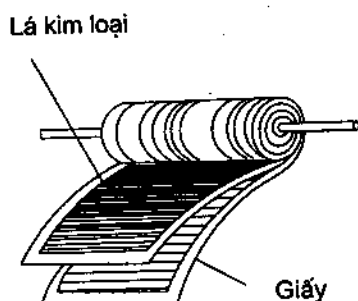
d) Theo giá trị điện dung, tụ điện còn chia ra :

- Tụ có điện dung cố định ;

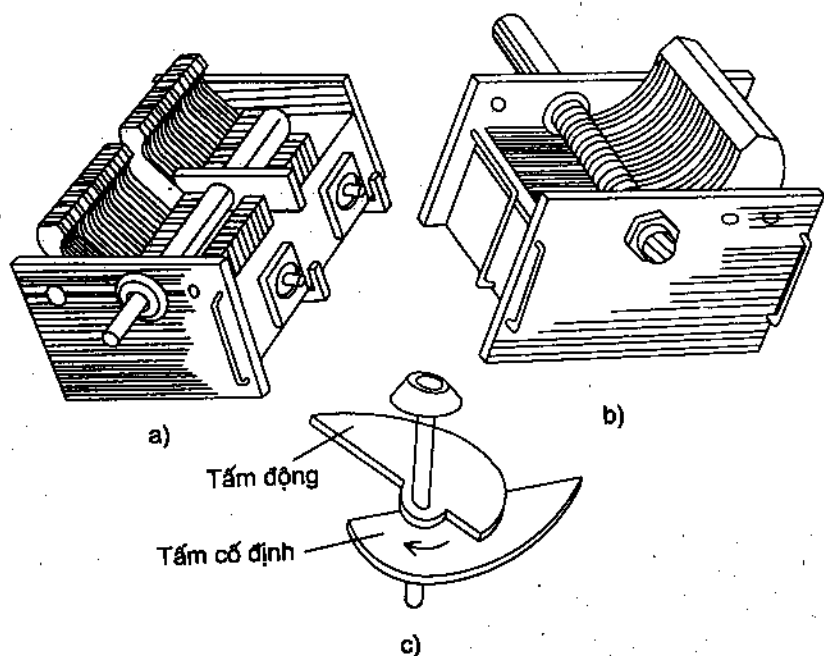
- Tụ có điện dung thay đổi được (trong phạm vi nào đó).

Tụ có điện dung thay đổi được chia ra làm hai nhóm :

- Tụ xoay : gồm hai hệ lá nhôm xen kẽ nhau, một hệ cố định, một hệ động xoay được quanh một trục (hình 2.11), cách điện bằng không khí. Khi xoay, diện tích đối diện giữa lá động và lá tĩnh thay đổi nên thay đổi được điện dung của tụ điện.



Hình 2.10: Cấu tạo của tụ giấy



Hình 2.11: Tụ xoay :

a) Tụ xoay hai ngăn ; b) Tụ xoay một ngăn ; c) Kết cấu tụ xoay

- Tụ tĩnh chỉnh : cũng gồm hai hay nhiều lá nhôm xen kẽ. Điện môi cách li các lá bằng mica. Vị trí lá động thay đổi nhờ tuốc nơ vít xoay trục vít (hình 2.12).



Hình 2.12: Tụ tĩnh chỉnh

d) Khi sử dụng tụ điện, cần quan tâm tới các thông số sau :

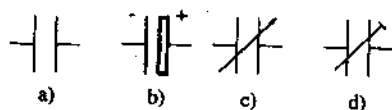
- Giá trị điện dung ;
- Sai số của điện dung (%) ;
- Điện áp làm việc ;
- Các tham số khác cũng như loại tụ (xoay chiều hay một chiều).

e) Tụ điện được kí hiệu trên bản vẽ điện như hình 2.13.

g) Giá trị điện dung của tụ điện được ghi trên tụ điện cũng có hai cách tương tự như điện trở:

- Bằng các chấm màu hoặc vòng màu (bảng 2.1).

- Bằng số ghi trực tiếp.



Hình 2.13: Kí hiệu tụ điện :

a) Tụ thông thường ; b) Tụ hoá ;
c) Tụ xoay ; d) Tụ tinh chỉnh.

Lưu ý : Các tụ thông thường là loại không phân cực. Tụ hoá là tụ có cực tính và khi làm việc phải nối đúng cực tính. Nếu nối ngược cực tính, tụ hoá sẽ bị hỏng.

h) Quá trình nạp điện và phóng điện của tụ điện

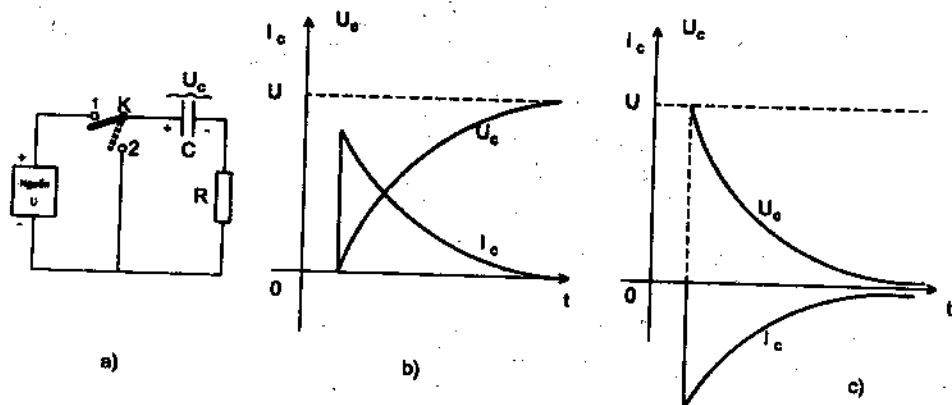
Đóng khoá K về vị trí 1 (hình 2.14a), tụ điện C được nạp điện từ nguồn điện áp U qua điện trở R. Lúc đầu $U_c = 0$ nên dòng điện nạp i_c là lớn nhất:

$$i_c = i_R = \frac{U}{R}$$

Trong quá trình nạp thì u_c tăng dần và dòng nạp giảm dần vì:

$$i_c = i_R = \frac{u_R}{R} = \frac{U - u_c}{R}$$

Đường biểu diễn i_c và u_c theo hàm mũ như trên hình 2.14b và phụ thuộc các thông số R, C.



Hình 2.14: Sơ đồ mạch (a) và đồ thị nạp điện (b), phóng điện (c) của tụ điện.

Thời gian nạp đầy của tụ (khi $u_c = U$) tăng khi R tăng (vì dòng nạp nhỏ) và C tăng (vì phải nạp lâu). Tích RC gọi là hằng số thời gian của mạch.

$$\tau = RC$$
$$[s] = [\Omega] \cdot [F] \quad (2.3)$$

Thực tế, có thể coi giá trị nạp đầy của tụ là 5τ .

Khi đóng khoá K về vị trí 2, tụ điện C sẽ phóng điện qua điện trở R từ bản cực dương (+) sang bản cực âm (-). Dòng phóng có chiều ngược với chiều dòng nạp.

Lúc đầu, dòng phóng có trị số lớn nhất:

$$i_c = \frac{U}{R}$$

Trong quá trình phóng điện, điện áp u_c giảm dần và dòng phóng cũng giảm (hình 2.14c).

Thời gian phóng sẽ lâu nếu $\tau = RC$ lớn.

Thực tế, có thể coi thời gian phóng hết của tụ là 5τ .

2.1.3. Cuộn cảm

a) Cuộn cảm là cuộn dây dẫn điện có lõi bằng chất sắt từ hay không có lõi (lõi không khí).

b) Khi có dòng điện chạy qua, cuộn cảm trở thành một nam châm điện. Từ trường của cuộn cảm mạnh hay yếu tùy theo số vòng dây cuộn cảm nhiều hay ít, dòng điện chạy qua cuộn cảm lớn hay bé và cuộn cảm có lõi sắt từ hay không.

c) Dòng một chiều không đổi chạy qua cuộn cảm sẽ sinh ra một từ trường không đổi.

Dòng một chiều biến thiên hoặc dòng xoay chiều qua cuộn cảm sẽ sinh ra một từ trường biến thiên. Từ trường này gây ra sức điện động cảm ứng (sức điện động tự cảm) trong cuộn cảm. Dòng tự cảm có xu hướng chống lại sự biến thiên của dòng điện chính đã sinh ra nó. Khi dòng điện trong cuộn cảm tăng lên, dòng tự cảm ngược chiều làm dòng điện cuộn cảm tăng chậm. Khi dòng điện trong cuộn cảm giảm xuống, dòng tự cảm cùng chiều làm dòng điện cuộn cảm giảm chậm.

d) Do có sức điện động tự cảm khi dòng xoay chiều hoặc dòng một chiều biến thiên chạy qua cuộn cảm nên đối với dòng xoay chiều hay dòng một chiều biến thiên, cuộn cảm ngoài trở kháng do điện trở R của dây quấn tạo ra, còn có trở kháng do tự cảm gây ra gọi là cảm kháng.

$$X_L = 2\pi fL \quad (2.4)$$

Trong đó: f - tần số của dòng điện, Hz

L - độ tự cảm của cuộn dây, H

X_L - cảm kháng của cuộn dây, Ω

Tổng trở toàn bộ của cuộn cảm sẽ là:

$$Z = \sqrt{R^2 + X_L^2} \quad (2.5)$$

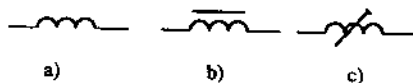
Với dòng một chiều không đổi ($f = 0$) thì $X_L = 0$ và $Z = R$. Như vậy, đối với dòng một chiều và dòng biến đổi tần số thấp thì cuộn cảm có tổng trở nhỏ, còn đối với dòng biến đổi tần số cao thì cuộn cảm có tổng trở lớn.

d) Các tham số cần quan tâm khi sử dụng cuộn cảm là:

- Giá trị độ tự cảm L
- Dòng điện làm việc của cuộn cảm
- Số vòng dây

cuộn cảm

- Các tham số về cấu tạo



e) Ký hiệu cuộn cảm trên sơ đồ điện như hình 2.15.

Hình 2.15: Ký hiệu cuộn cảm :
a) Không có lõi sắt từ ; b) Có lõi sắt từ ;
c) Loại điều chỉnh được độ tự cảm.

2.2. CÁC LINH KIỆN ĐIỆN TỬ TÍCH CỰC

Hiện nay, các linh kiện điện tử tích cực đều được sản xuất từ các chất bán dẫn.

Chất bán dẫn được chia thành hai loại theo phân tử mang điện dịch chuyển :

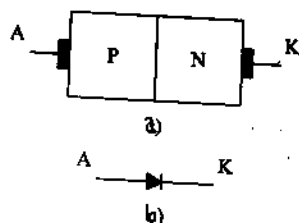
- Bán dẫn N (Negative) : còn gọi là bán dẫn âm hay bán dẫn điện tử. Bán dẫn N có phân tử mang điện là điện tử (electron) âm.
- Bán dẫn P (Positive) : còn gọi là bán dẫn dương hay bán dẫn "lỗ trống" (hole). Bán dẫn P có phân tử mang điện là "lỗ trống" dương.

Khi hai miếng bán dẫn P và N ghép lại với nhau thì tại chỗ hai mặt ghép nhau sẽ hình thành một lớp tiếp xúc P-N. Lớp tiếp xúc này có tính chất đặc biệt là chỉ cho dòng điện chạy qua theo chiều từ P sang N mà không cho chạy qua theo chiều ngược lại. Tính chất đặc biệt của lớp tiếp xúc P-N được ứng dụng trong các linh kiện điện tử tích cực.

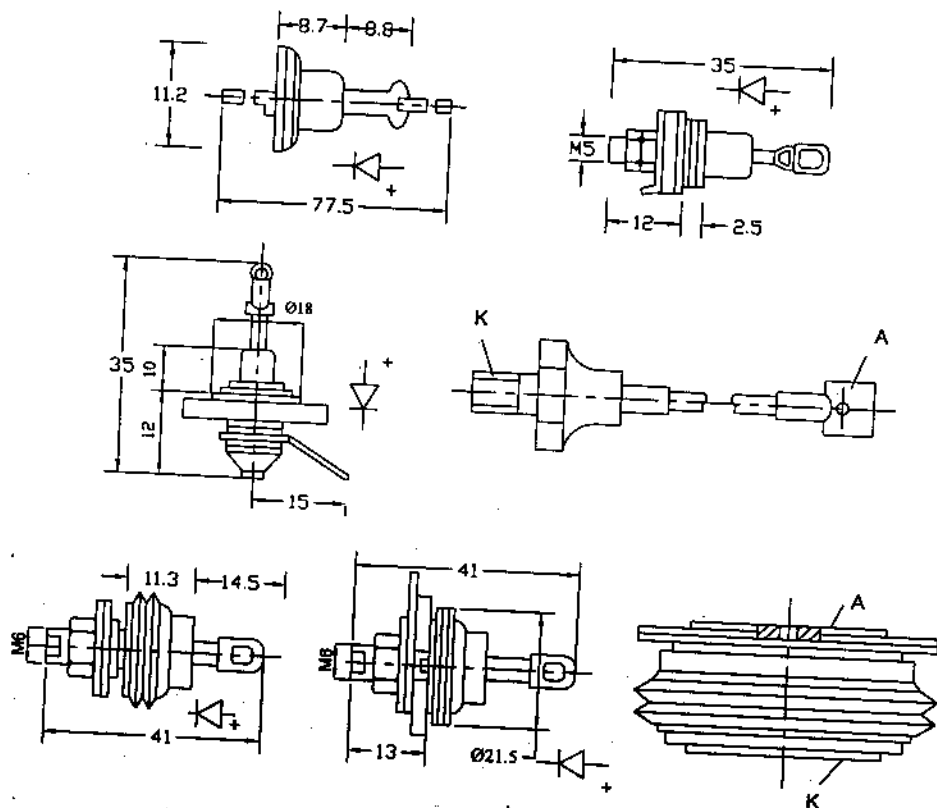
2.2.1. Đốt

a) Diốt là dụng cụ bán dẫn gồm hai lớp bán dẫn P và N ghép lại với nhau (hình 2.16). Đầu nối với bán dẫn P gọi là anốt (A). Đầu nối với bán dẫn N gọi là catốt (K).

Hình 2.17 trình bày một số diốt lực (còn gọi là diốt tiếp mặt).



Hình 2.16 : Nguyên lý cấu tạo (a) và kí hiệu (b) của diốt.

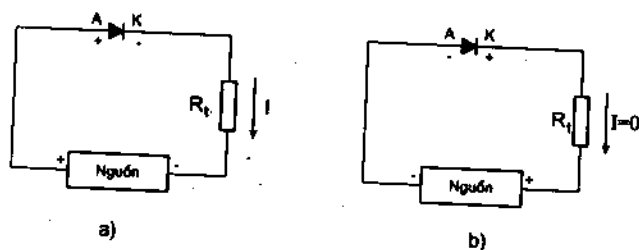


Hình 2.17 : Hình dạng một số diốt lực

b) Nguyên lý làm việc của diốt khá đơn giản. Khi diốt được phân áp thuận (hình 2.18a) tức là cực dương của nguồn một chiều nối với anốt, cực âm của nguồn nối với catốt thì diốt sẽ thông và dẫn điện qua phụ tải. Trị số dòng điện phụ thuộc vào điện trở của tải và của mạch.

Khi đốt được phản áp ngược (hình 2.18b), tức là cực dương của nguồn nối với catốt, cực âm của nguồn nối với anốt thì đốt sẽ khoá và không cho

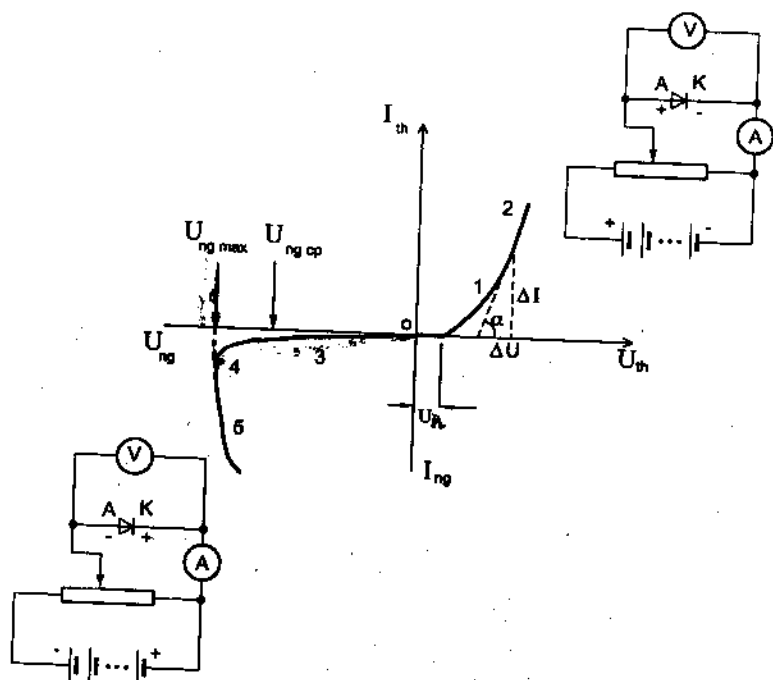
dòng điện qua phụ tải ($I = 0$). Thực tế, trong trường hợp này, vẫn có một dòng điện rất nhỏ qua diốt theo chiều từ K sang A gọi là dòng điện ngược hay dòng điện rò.



Hình 2.18: Diốt thông (a) khi phân áp thuận và khoá (b) khi phân áp ngược.

Vậy, diốt chỉ cho dòng điện chạy qua từ A sang K khi phân áp thuận và không cho dòng điện chạy qua từ K sang A khi phân áp ngược.

c) Đặc tuyến Von-Ampe của diốt là đường biểu thị quan hệ $I(U)$ giữa dòng điện qua diốt và điện áp đặt vào hai cực diốt (hình 2.19).



Hình 2.19: Đặc tuyến Von-Ampe của diốt

Đặc tuyến Von-Ampe tĩnh của diốt có hai nhánh:

- *Nhánh thuận* : ứng với phân áp thuận.

Sơ đồ nối mạch ở góc I. Dòng điện qua diốt tăng theo điện áp. Khi điện áp đặt vào diốt vượt qua một ngưỡng U_n khoảng $0,1V \div 0,5V$ và chưa lớn lắm thì đặc tính có dạng parabol (đoạn 1). Khi điện áp lớn hơn thì đặc tính gần như đường thẳng (đoạn 2).

- *Nhánh ngược* : ứng với phân áp ngược.

Sơ đồ nối mạch ở góc III. Lúc đầu, điện áp ngược tăng thì dòng điện ngược (dòng điện rò) rất nhỏ cũng tăng nhưng rất chậm (đoạn 3), cỡ vài mA. Khi điện áp ngược đủ lớn $|U_{ng}| > |U_{ng,max}|$ thì dòng điện ngược tăng nhanh (đoạn khuỷu 4) và cuối cùng thì diốt bị đánh thủng (đoạn 5). Lúc này, dòng ngược tăng vọt dù có giảm điện áp. Diốt bị hỏng.

Để đảm bảo an toàn cho diốt, nên cho diốt làm việc với điện áp ngược không quá $0,8U_{ng,max}$. Với $|U_{ng}| < |0,8U_{ng,max}|$ thì dòng rò nhỏ không đáng kể và diốt coi như ở trạng thái khoá.

Đặc tuyến Von-Ampe cho thấy, tùy theo điều kiện phân áp mà diốt có thể dẫn dòng hay không dẫn dòng. Diốt là một van (valve) bán dẫn. Sự chuyển đổi thông $\leftrightarrow$ khoá của diốt là không tức thời mà cần có một thời gian nhất định.

t_{off} - thời gian cần để diốt chuyển từ trạng thái thông sang trạng thái khoá

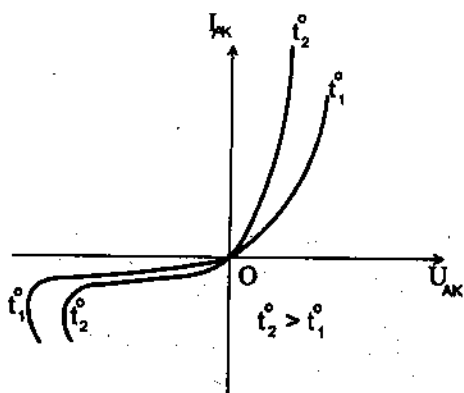
t_{on} - thời gian cần để diốt chuyển từ trạng thái khoá sang trạng thái thông

Vì thế, nếu chu kỳ thông $\leftrightarrow$ khoá quá ngắn thì diốt bình thường có thể không tạo được chế độ khoá.

Đặc tính Von-Ampe của diốt còn thay đổi theo nhiệt độ (hình 2.20).

d) Khi sử dụng diốt, cần quan tâm tới các thông số:

- Dòng điện định mức chạy qua diốt khi phân áp thuận : là dòng trung bình qua diốt lâu dài khi diốt thông mà không làm diốt nóng quá nhiệt độ cho phép.

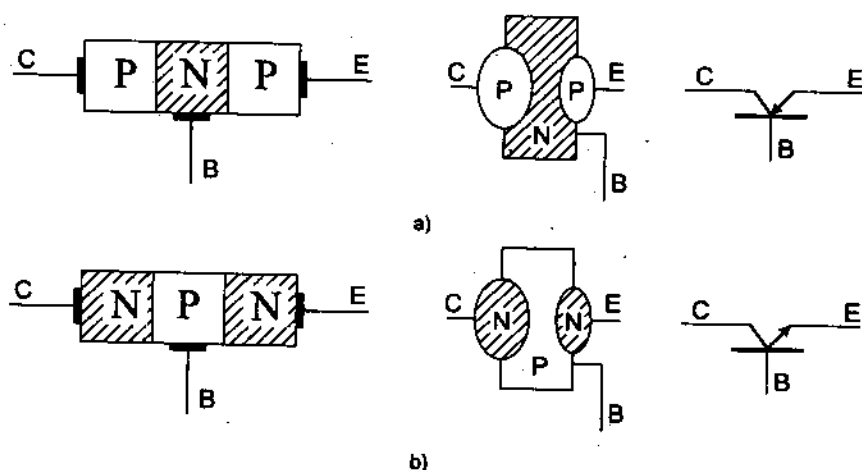


Hình 2.20: Đặc tuyến Von-Ampe của diốt phụ thuộc nhiệt độ

- Điện áp ngược cho phép lớn nhất : là điện áp ngược đặt lên diốt lâu dài mà diốt không bị thủng.
- Tần số làm việc.
- Sức áp trên diốt khi dẫn dòng thuận định mức.
- Công suất tiêu tán trên diốt khi dẫn dòng định mức.

2.2.2. Tranzito

a) Tranzito là dụng cụ bán dẫn gồm 3 lớp bán dẫn ghép liên tiếp lại với nhau như sơ đồ trên hình 2.21. Có 2 cách ghép là P-N-P và N-P-N tương ứng với tên gọi tranzito thuận và tranzito ngược. Tranzito dẫn điện bằng cả điện tử (bán dẫn N) và lỗ trống (bán dẫn P) nên còn gọi là tranzito lưỡng cực (Bipolar Transistor).



Hình 2.21: Nguyên lý cấu tạo và ký hiệu các tranzito thuận (a) và ngược (b).

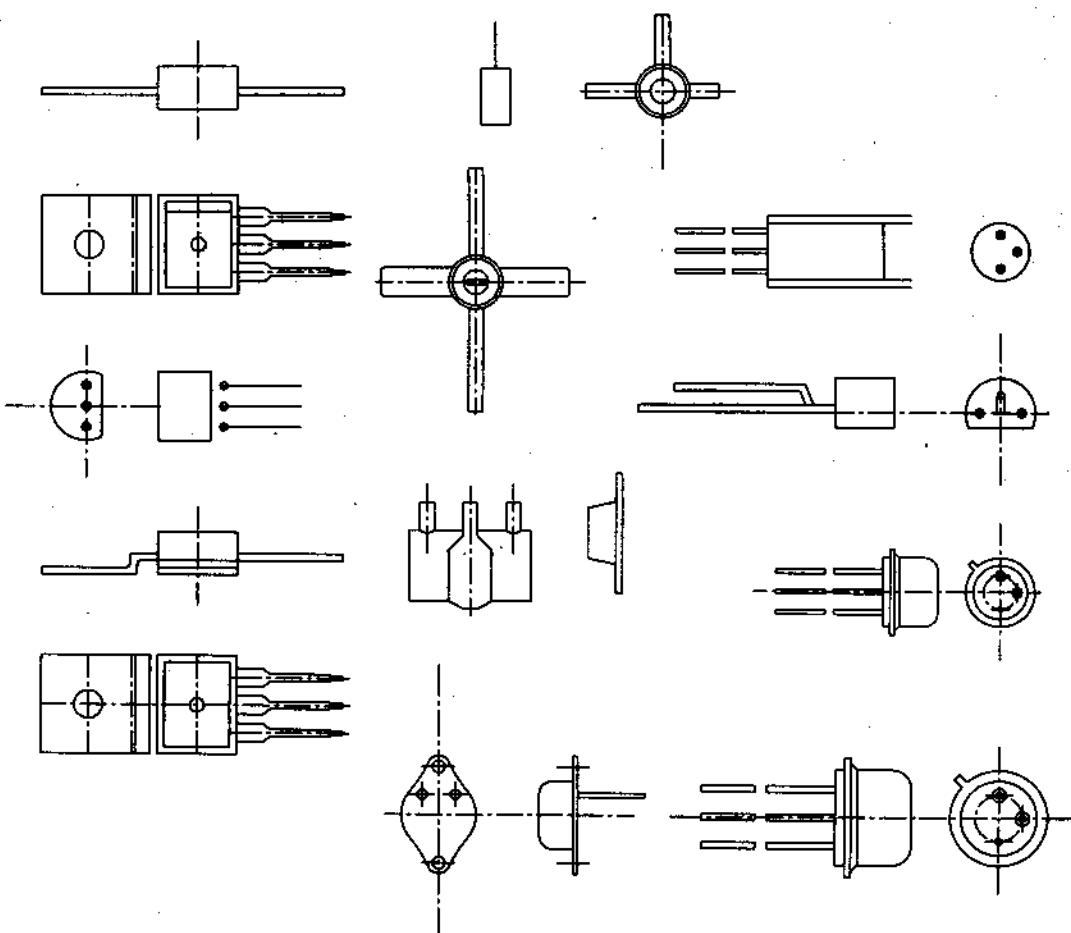
Tranzito có 3 cực (hình 2.21) :

- Cực phát (cực emitơ, cực E : Emitter)
- Cực góp (cực coléctơ, cực C : Collector)
- Cực gốc (cực bazơ, cực B : Base)

Hiện nay, tranzito NPN được dùng phổ biến hơn vì khả năng chịu nhiệt tốt hơn và trong mạch cực E nối mát (masse) cùng với âm nguồn.

Hình 2.22 là hình dáng bề ngoài của một số tranzito.

b) Để hiểu cách làm việc của tranzito, ta xét mạch cực phát chung với tranzito ngược NPN (hình 2.23). Nguồn E_1 gây ra phân cực thuận cho lớp tiếp xúc J_1 . Nguồn E_2 gây ra phân cực ngược cho lớp tiếp xúc J_2 và phân cực thuận cho lớp tiếp xúc J_1 .



Hình 2.22: Một số kiểu dáng tranzito

Lớp J_1 phân cực thuận bởi nguồn E_1 nên có dòng I_B chạy từ B sang E, tức là điện tử tự do e từ cực E tới cực B qua lớp J_1 .

Lớp J_2 bị phân cực ngược bởi E_2 nhưng vì $E_2 \gg E_1$ nên điện trường do E_2 tạo ra khá mạnh. Hơn nữa, lớp P cực gốc lại mỏng nên chỉ một số nhỏ điện tử tự do từ cực E tới cực B, còn phần lớn vượt qua lớp P cực gốc, qua lớp tiếp xúc J_2 tới cực góp C để về cực dương nguồn E_2 . Vì vậy, dòng cực góp I_C qua phụ tải R_L được tạo ra.

Mạch dòng E_1 qua B, E gọi là mạch điều khiển. Mạch dòng E_2 qua tải, qua C, E gọi là mạch tải. Vì cực E chung nên : $I_E = I_C + I_B$

Khi tăng U_{BE} thì I_B tăng và I_C tăng. Ngược lại, giảm U_{BE} thì I_B giảm và I_C giảm. Một lượng thay đổi nhỏ của I_B cũng gây ra một lượng thay đổi lớn của I_C nên tranzito có tác dụng khuếch đại.

Nếu đảo cực tính U_{BE} , tức là nối cực B vào cực âm của nguồn điều khiển E_1 và nối cực E vào cực dương của E_1 thì tranzito không thể làm việc được (tranzito bị khoá) và dòng $I_C = 0$.

Ở chế độ khoá, tổn hao công suất trên tranzito rất nhỏ. Tổn hao công suất trên tranzito bằng tích giữa I_C với điện áp rơi U_{CE} giữa cực C và cực E.

c) Hệ số khuếch đại dòng điện của tranzito trong mạch cực phát chung, theo định nghĩa, là tỷ số giữa độ tăng của dòng góp với độ tăng của dòng gốc:

$$\alpha = \frac{\Delta I_C}{\Delta I_B} \quad (2.6)$$

Các tranzito công suất thường có $\alpha = 10 \div 100$.

Tương tự, hệ số khuếch đại điện áp :

$$\beta = \frac{\Delta U_C}{\Delta U_B} \quad (2.7)$$

Hệ số khuếch đại công suất:

$$k_p = \frac{P_C}{P_B} \quad (2.8)$$

d) Đặc tuyến ra của tranzito là quan hệ : $I_C = f(U_{CE})$ khi $I_B = \text{invar}$.

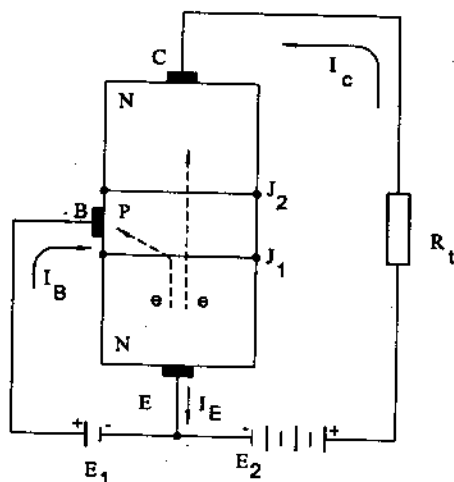
Với các giá trị I_B khác nhau, ta có một họ các đặc tính tĩnh $I_C = f(U_{CE})$ (hình 2.24).

Qua họ đặc tuyến ra, có thể thấy:

- Với một giá trị của I_B , dòng I_C tăng nhanh trong khoảng giá trị nhỏ của U_{CE} , sau đó hầu như không tăng theo U_{CE} .

- Với cùng một giá trị của U_{CE} (đường a) thì I_C tăng theo I_B (chế độ khuếch đại).

- Với U_{CE} quá lớn thì tranzito có thể bị đánh thủng và I_C tăng vọt.



Hình 2.23: Nguyên lý làm việc của transistor

đ) Khi sử dụng tranzito, cần quan tâm tới các thông số sau:

- Loại transistor : PNP hay NPN.

- Dòng góp lớn nhất cho phép $I_{C,max}$.

- Điện áp cực góp lớn nhất cho phép $U_{C,max}$ khi hở cực gốc ($I_B = 0$).

- Độ sụt áp trong tranzito khi dẫn dòng bão hoà ΔU_{CEbh} .

- Thời gian thông

t_{on} - thời gian cần để U_{CE} từ $U_{nguồn}$ giảm xuống $\Delta U_{CEbh} \sim 0$.

- Thời gian khóa t_{off} : thời gian cần để I_C từ giá trị đang dẫn giảm về 0.

- Công suất tiêu hao trong tranzito ΔP .

Các thông số của tranzito thay đổi theo nhiệt độ. Nói chung, dòng điện qua tranzito tăng khi nhiệt độ tăng.

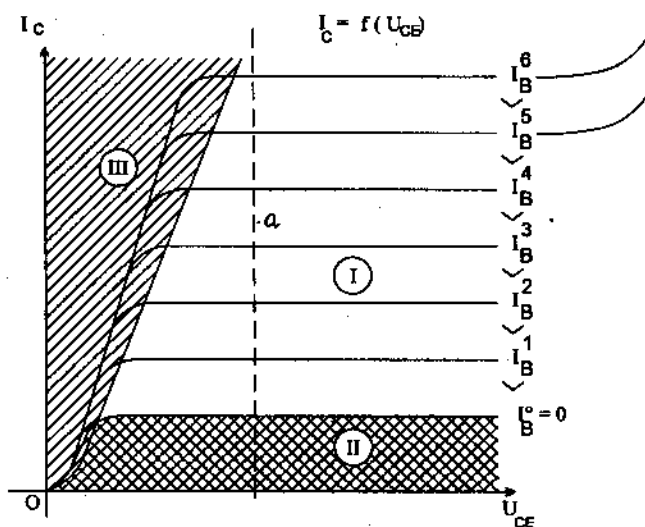
e) tranzito có thể làm việc ở 2 chế độ:

- Chế độ khuếch đại:

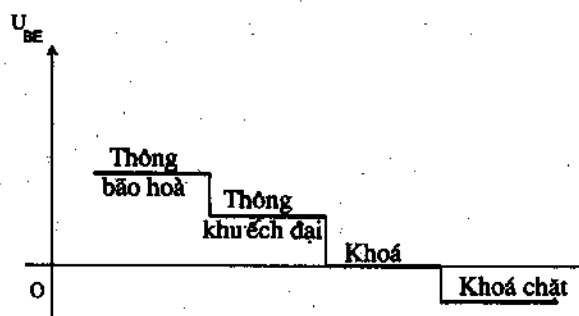
Ở chế độ này (như đã nêu ở mục 2.2.2b), dưới tác động của tín hiệu vào nhỏ, điện áp U_{BE} thay đổi sẽ gây ra sự thay đổi dòng điều khiển I_B . Từ đó, dòng điện ra I_C lớn cũng thay đổi theo tín hiệu vào và tỷ lệ với tín hiệu vào $U_{BE} = 0,3 \div 0,8V$.

Vùng I (hình 2.24) là vùng làm việc khuếch đại của tranzito.

Vùng II là vùng khoá vì tranzito không làm việc trong vùng này.



Hình 2.24: Đặc tuyến ra của tranzito



Hình 2.25: Mức điện áp U_{BE} để tranzito thông và khoá

Vùng III là vùng bão hoà và vùng gần bão hoà (vùng khuỷu) của tranzito vì ở vùng này, sự tăng tiếp tục của dòng điện bazơ I_B không gây ra sự thay đổi (hay không thay đổi nhiều) của dòng I_C .

- Chế độ xung:

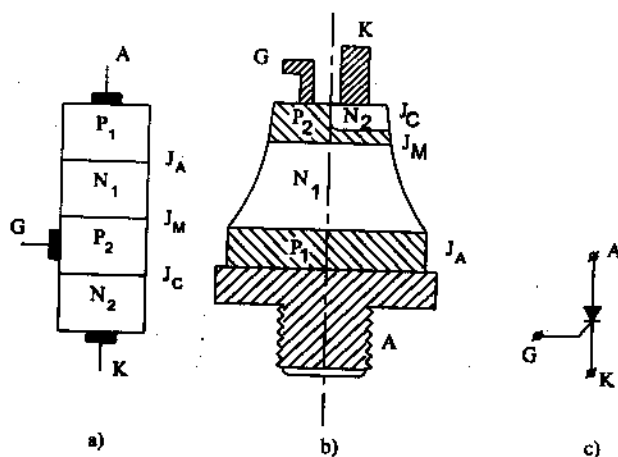
Ở chế độ này, tranzito chỉ có 2 trạng thái trái ngược : hoặc thông (dẫn) hoặc khoá. Làm việc ở chế độ này, tranzito được gọi là khoá bán dẫn (hay khoá điện tử) không tiếp điểm. Chế độ xung còn gọi là chế độ rơ le (relay).

Để tranzito làm việc tốt ở chế độ xung, khi chuyển mạch thông cần phải đảm bảo tranzito thông bão hoà (hay thông hoàn toàn) và khi chuyển mạch khoá, cần phải đảm bảo tranzito khoá hoàn toàn (hay khoá chặt) (hình 2.25).

2.2.3. Thyristo

a) Thyristo là dụng cụ bán dẫn gồm 4 lớp bán dẫn ghép liên tiếp lại với nhau như sơ đồ trên hình 2.26. Thyristo có 3 cực:

- Anốt gắn với lớp P_1 .
- Catốt gắn với lớp N_2 .
- Cực điều khiển G gắn với lớp P_2 .

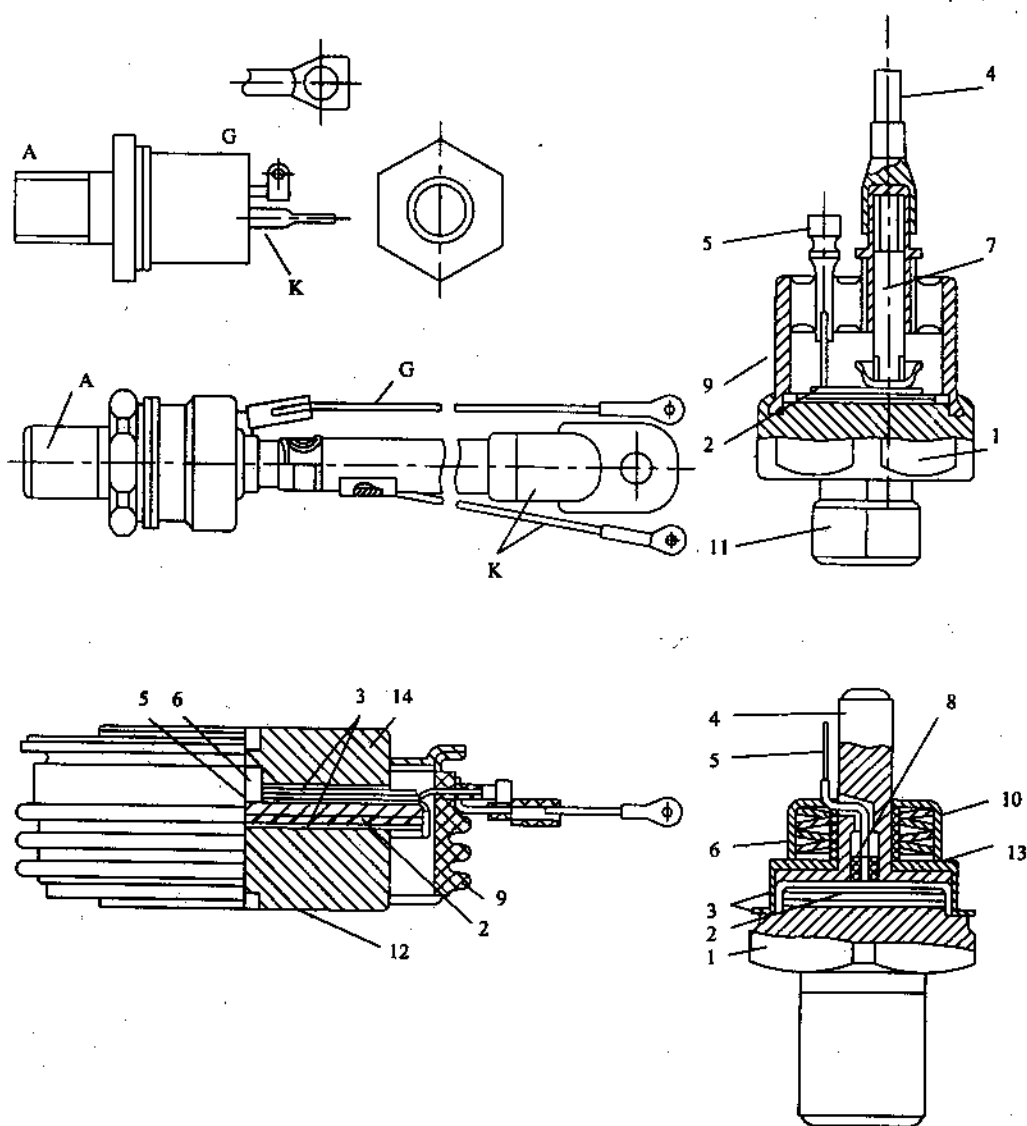


Hình 2.26: Nguyên lý cấu tạo và ký hiệu của thyristo

Hình 2.27 biểu thị một số hình dáng bên ngoài của vài kiểu thyristo.

b) Tùy theo cực tính của nguồn điện nối với anốt và catốt mà thyristo có thể được phân áp thuận hay phân áp ngược.

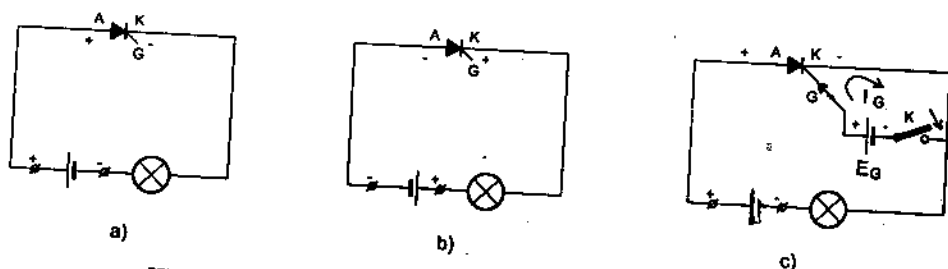
Khi phân áp ngược (hình 2.28b) thì thyristo không cho dòng điện qua từ K sang A. Thực tế thì vẫn có một dòng điện rò rất nhỏ, cỡ vài mA chạy từ K sang A. Bóng đèn không sáng. Đặc tuyến Von-Ampe khi phân áp ngược là đoạn ON trên hình 2.29.



Hình 2.27: Hình dáng và kết cấu của vài kiểu thyristo :

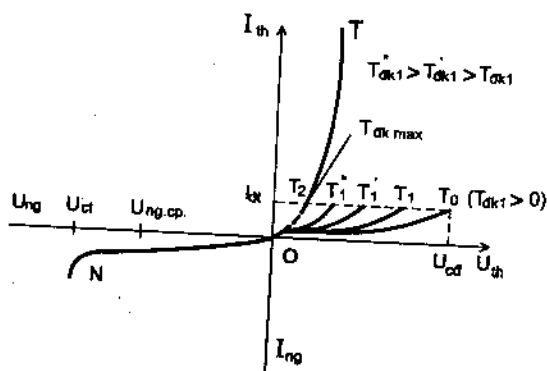
1 - Anốt ; 2 - Phần tử chỉnh lưu (cực điều khiển ở giữa) ; 3 - Tấm đệm bằng bạc ; 4 - Catốt ; 5 - Cực điều khiển ; 6 - Lò xo ; 7 - Dây mềm ; 8, 13 - Tấm cách điện ; 9 - Thân ; 10 - Lò xo đĩa ; 11 - Ốc ; 12 - Lỗ chốt định vị ; 14 - Nắp.

Khi điện áp ngược tăng tới trị số đủ lớn U_{on} thì thyristo bị chọc thủng (như trường hợp diốt). Dòng điện ngược tăng nhanh và mạnh.



Hình 2.28: Sơ đồ phân áp thuận (a) và ngược (b) của một thyristo

Khi phân áp thuận (hình 2.28a), thyristo cũng không cho dòng điện chạy qua và thực tế cũng chỉ có một dòng điện rò rất nhỏ (đoạn OT_1 trên hình 2.29). Đèn không sáng. Điều này khác với diốt: Diốt dẫn điện ngay khi được phân áp thuận, còn thyristo có phân áp thuận cũng chưa dẫn điện. Muốn thyristo thông phải có điều kiện. Điều kiện gì? Đó là phải cấp một xung điện áp dương vào cực điều khiển G của thyristo. Xung dương điều khiển có thể tạo một cách đơn giản nhờ nguồn E_G khi đóng công tắc K (hình 2.28c). Điểm làm việc chuyển từ T_1 sang T_2 rồi T (hình 2.29). Thyristo chuyển sang trạng thái thông, đèn sáng. Trị số dòng thuận I_{th} phụ thuộc vào điện trở của mạch phụ tải (điện trở bóng đèn).



Hình 2.29: Đặc tuyến Von - Ampe của thyristo

Khi thyristo thông thì điện trở thuận R_{AK} rất nhỏ (cỡ vài phần chục hay phần trăm của 1Ω) và sụt áp trên thyristo ΔU_{AK} không đáng kể (không quá 1V).

Khi cho xung dòng điều khiển vào cực G để kích thông thyristo mà điện áp thuận giảm thấp, đoạn OT_1 trở thành OT_1' , OT_1'' ... thì cần phải tăng dòng điều khiển lên lớn hơn $I_{dk1}'' > I_{dk1}' > I_{dk1}$. Khi dòng điều khiển tăng tới giá trị cực đại cho phép I_{dkmax} (thường khoảng từ vài chục tới trên một trăm mA tùy loại thyristo) thì đoạn OT_1 , OT_1' , OT_1'' ... trở thành OT_2 , nghĩa là đặc tuyến Von-Ampe của thyristo sẽ như đặc tính Von-Ampe của diốt (so sánh hình 2.29 và 2.19). Thyristo còn gọi là diốt có điều khiển.

Lưu ý: Khi thyristo đã thông, dòng điều khiển không còn tác dụng gì vì có cắt dòng điều khiển thì thyristo vẫn thông.

Để khoá một thyristo thường dùng 2 cách:

- Khoá bằng điện áp : đặt điện áp ngược lên thyristo đang dẫn dòng.

- Khoá bằng dòng điện : giảm dòng I_{th} xuống nhỏ hơn giá trị của dòng điện duy trì I_{dt} (hình 2.29). Dòng điện I_{dt} là dòng điện nhỏ nhất mà thyristo vẫn giữ được trạng thái thông khi không có dòng điều khiển. Để giảm dòng anốt xuống dưới giá trị dòng duy trì I_{dt} thì có thể hoặc tăng điện trở mạch phụ tải lên rất lớn (như ngắt mạch) hoặc giảm điện áp thuận về gần 0 hay bằng 0.

Có thể tóm tắt phương pháp thường dùng để thông và khoá một thyristo như sau:

- Thyristo thông khi được phân áp thuận và có xung dương điều khiển. (Thyristo thông nhờ mạch điều khiển).

- Thyristo khoá khi bị phân áp ngược hoặc bị giảm dòng anốt I_a xuống nhỏ hơn dòng duy trì I_{dt} . (Thyristo khoá nhờ mạch lực).

c) Khi nhiệt độ thyristo thay đổi thì đặc tuyến Von-Ampe của thyristo sẽ thay đổi. Thyristo dẫn dòng mạnh hơn (hình 2.30).

d) Khi sử dụng một thyristo, cần quan tâm tới các tham số sau:

- Dòng điện định mức (I_{dm}) : là dòng điện trung bình lớn nhất qua thyristo lâu dài mà không gây ra tăng nhiệt quá mức cho phép.

- Điện áp thuận cực đại ($U_{th,max}$) : là điện áp thuận lớn nhất có thể đặt lâu dài lên thyristo mà thyristo vẫn giữ được trạng thái khoá.

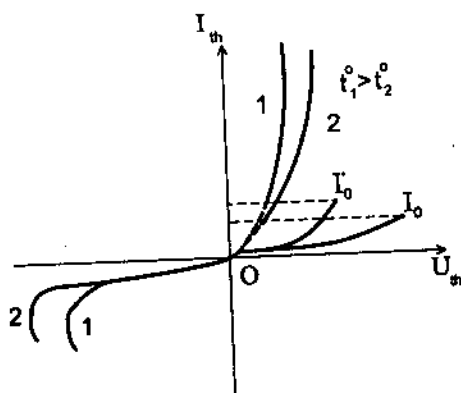
- Điện áp ngược cực đại ($U_{ng,max}$) : là điện áp ngược lớn nhất có thể đặt lâu dài lên thyristo mà thyristo không bị đánh thủng. Dòng điện ngược tương ứng với điện áp này là (10 ÷ 20) mA.

- Điện áp định mức (U_{dm}) : là điện áp cho phép đặt lâu dài lên thyristo ở cả chiều thuận và chiều ngược:

$$U_{dm} \sim \frac{2}{3} U_{th,max}$$

- Sụt áp định mức (ΔU_{dm}) : là điện áp rơi trên thyristo ở trạng thái thông với dòng điện định mức.

- Điện áp chuyển đổi ($U_{chđ}$) : là điện áp thuận nhỏ nhất làm thyristo chuyển từ trạng thái khoá sang trạng thái thông mà không cần dòng điều khiển.



Hình 2.30: Đặc tuyến Von-Ampe của thyristo thay đổi theo nhiệt độ.

- Điện áp (U_{Gmin}) và dòng (I_{Gmin}) điều khiển : là giá trị tối thiểu của điện áp và dòng điều khiển để mở thông thyristo.

- Thời gian mở thông (t_{on}) : là thời gian cần để thyristo thông, tăng dòng từ 0 đến $0,9 I_{dm}$.

- Thời gian khoá (t_{off}) : là khoảng thời gian từ lúc $I_{AK} = 0$ đến lúc có lại điện áp thuận mà thyristo không chuyển sang trạng thái thông.

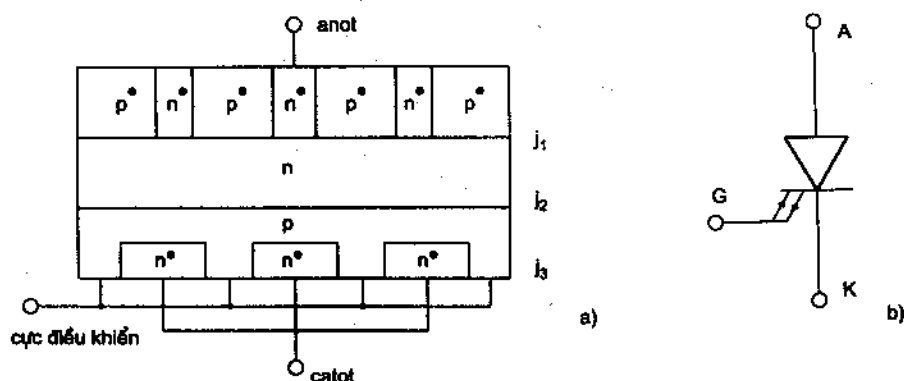
- Tốc độ tăng trưởng điện áp thuận cho phép $\left(\frac{dU_{th}}{dt} \right)$: là giá trị lớn nhất của tốc độ tăng trưởng điện áp thuận mà không làm thyristo chuyển từ trạng thái khoá sang trạng thái thông.

- Tốc độ tăng trưởng dòng điện thuận cho phép $\left(\frac{di_{th}}{dt} \right)$: là giá trị lớn nhất của tốc độ tăng trưởng dòng điện thuận (cỡ $100 A/\mu s$) mà không gây ra đốt nóng cục bộ làm hỏng thyristo.

Thyristo có tuổi thọ cao, gọn, công suất điều khiển nhỏ, tổn hao vận hành không đáng kể, tác động nhanh... nên rất tiện dụng.

Thyristo thường được dùng trong các mạch chỉnh lưu có điều khiển nên còn có tên là SCR (Silicon Controlled Rectifier).

d) Thyristo thông nhờ xung điều khiển ở mạch điều khiển nhưng khi khoá lại phải nhờ vào mạch lực (thay đổi cực tính mạch lực hoặc giảm dòng mạch lực xuống dưới I_{at}) nên phức tạp, gây tổn hao công suất, giảm hiệu suất. Do vậy, người ta đã nghiên cứu sản xuất ra loại thyristo có thể khoá lại bằng mạch điều khiển. Các thyristo này gọi là GTO (Gate Turn-off Thyristo). Nhờ các GTO nên chỉ cần các mạch điện tử công suất nhỏ để điều khiển thông - khoá, không chế những dòng điện lớn hoặc rất lớn trong mạch động lực.



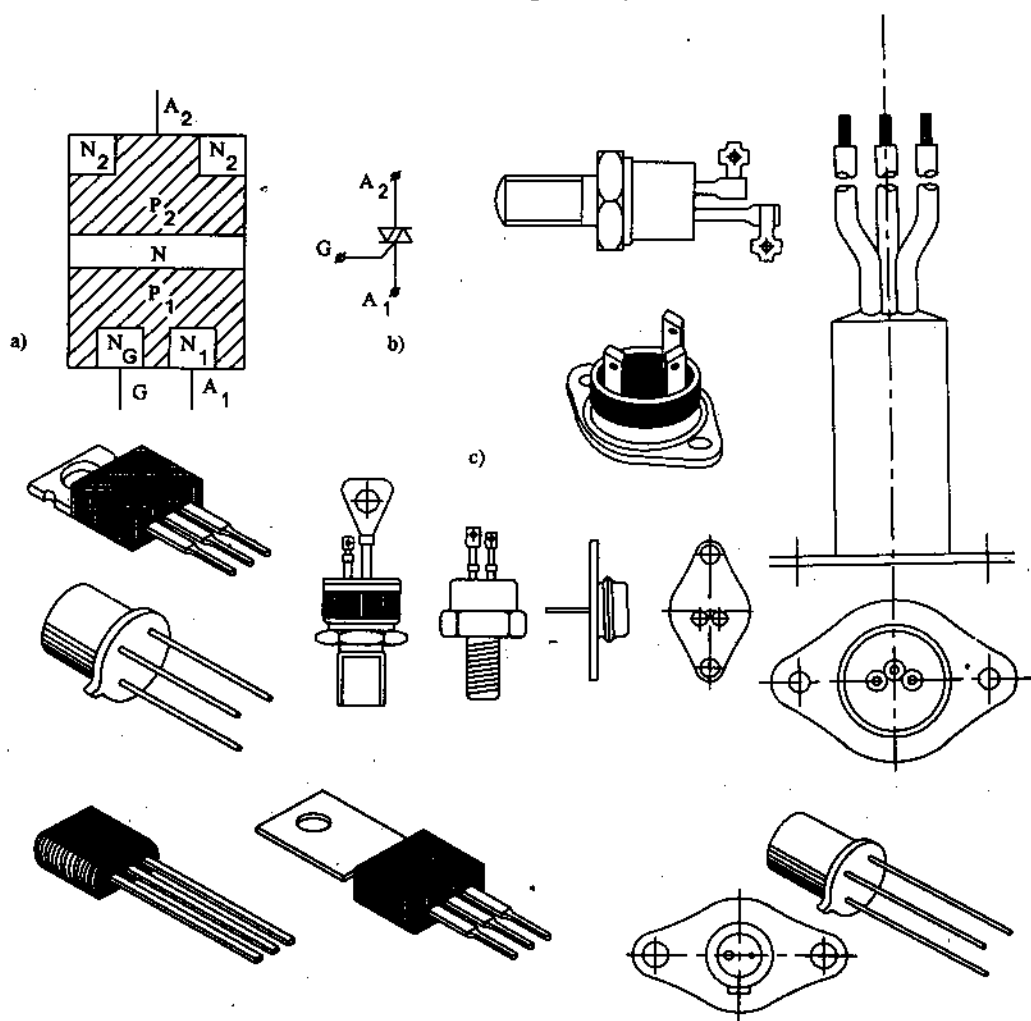
Hình 2.31: Nguyên lý cấu tạo (a) và kí hiệu (b) của GTO

Cấu tạo của GTO phức tạp hơn nhiều so với thyristo thường (hình 2.31). Dòng điện đi vào cực điều khiển G để làm thông GTO, dòng điện đi ra khỏi cực G để khoá GTO.

Dòng điều khiển GTO cần có biên độ lớn hơn và phải duy trì trong thời gian dài hơn so với thyristo thường. Khả năng chịu điện áp ngược của GTO kém và dòng duy trì I_{dt} của GTO cũng lớn so với thyristo thường.

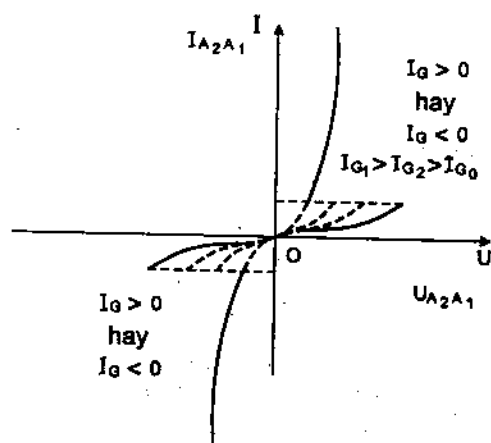
2.2.4. Triac

a) Triac là một dụng cụ bán dẫn gồm 5 lớp bán dẫn, thông thường là N-P-N-P-N với sơ đồ nguyên lý cấu tạo và kí hiệu như trên hình 2.32. Triac có 3 cực : anốt 1 (A_1), anốt 2 (A_2) và cực điều khiển G.



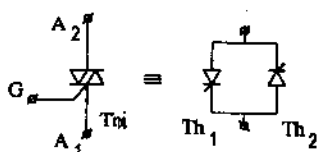
Hình 2.32: Triac :

a) Nguyên lý cấu tạo ; b) Kí hiệu trên sơ đồ điện ; c) Một số dạng triac.



Hình 2.33: Đặc tuyến Von-Ampe của triac

Triac có đặc tuyến Von-Ampe đối xứng. Hình 2.33 biểu thị đặc tính Von-Ampe của triac với các giá trị khác nhau của dòng điều khiển.



Hình 2.34: Sơ đồ tương đương của triac

Khả năng dẫn dòng cả hai chiều cho phép sử dụng triac trong mạch xoay chiều như một khoá điện tử hoặc bộ biến đổi trị số dòng điện xoay chiều.

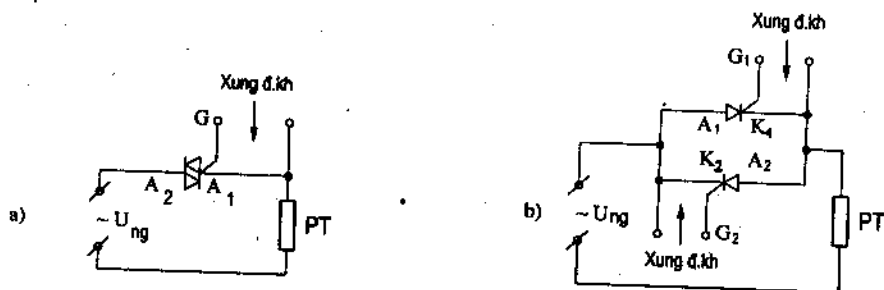
Triac dẫn dòng được theo cả hai chiều nên có tác dụng như hai thyristo mắc song song ngược (hình 2.34).

b) Mở triac

Triac thông trong các điều kiện sau:

- Điện áp U_{A2A1} dương với I_G dương hay âm ;
- Điện áp U_{A2A1} âm với I_G dương hay âm.

Như vậy, có tất cả bốn khả năng mở thông triac.



Hình 2.35: Điều chỉnh dòng xoay chiều dùng triac (a) hoặc 2 thyristo mắc song song ngược (b)

c) Khoá triac

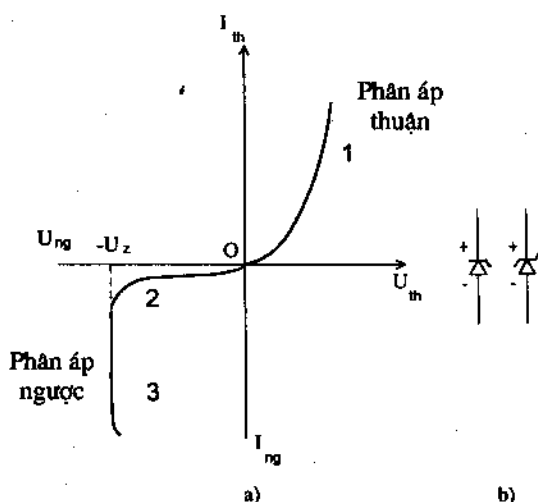
Vì triac dẫn dòng cả hai chiều nên không có phân áp ngược. Do vậy, khoá triac chỉ bằng cách giảm dòng đang dẫn xuống dưới giá trị dòng điện duy trì.

2.2.5. Các linh kiện bán dẫn khác và mạch thường dùng

a) Điốt Zener

Điốt bình thường đã xem xét ở mục 2.2.1 làm việc theo đặc tuyến Von-Ampe (hình 2.19) ứng với nhánh thuận ở góc vuông I. Điốt thông thường không được phép làm việc trong vùng sát chế độ đánh thủng (vùng khuỷu 4).

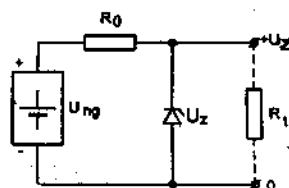
Điốt Zener là loại điốt đặc biệt, làm việc được ở vùng đánh thủng với điện áp phân cực ngược. Đặc tuyến Von-Ampe của điốt Zener như trên hình 2.36. Khi phân áp thuận, điốt Zener làm việc như điốt thông thường (đoạn 1). Khi phân áp ngược, điốt Zener không dẫn điện mà chỉ có dòng rò không đáng kể (đoạn 2). Khi điện áp ngược vượt qua giới hạn đánh thủng - U_Z thì dòng điện qua điốt Zener tăng vọt, nhưng điện áp - U_Z gần như giữ nguyên (đoạn 3). Tính chất này của điốt Zener được ứng dụng làm phần tử ổn định điện áp - điốt ổn áp (điện áp ổn định là U_Z).



Hình 2.36 : Đặc tuyến Von-Ampe (a) và kí hiệu (b) của điốt Zener

Hai thông số quan trọng của điốt Zener là điện áp ổn áp U_Z và công suất tiêu tán trên điốt Zener P_Z . Từ U_Z và P_Z có thể tính dòng ngược cực đại cho phép qua điốt Zener là:

$$I_{Z,max} = \frac{P_Z}{U_Z} \quad (2.9)$$



Hình 2.37: Sơ đồ thông thường mắc điốt Zener

Điốt Zener được mắc trong mạch ổn áp thông thường như hình 2.37. Nguồn cấp điện áp cần có điện áp lớn hơn điện áp ổn áp ($U_{ng} > U_Z$).

Vì tải mắc song song với điốt Zener và cùng có điện áp U_Z nên dòng qua R_0 giữ không đổi (coi nguồn có $R_{ng} \approx 0$).

$$I_{R_0} = \frac{U_{ng} - U_Z}{R_0} = I_1 + I_Z \approx \text{in var}$$

Từ đó, khi dòng tải tăng (giảm) bao nhiêu thì dòng qua diốt Zener giảm (tăng) bấy nhiêu. Nói cách khác, giá số biến thiên của dòng điện trên tải và trên diốt Zener luôn bằng nhau với hướng biến thiên ngược chiều nhau.

b) Diốt phát quang

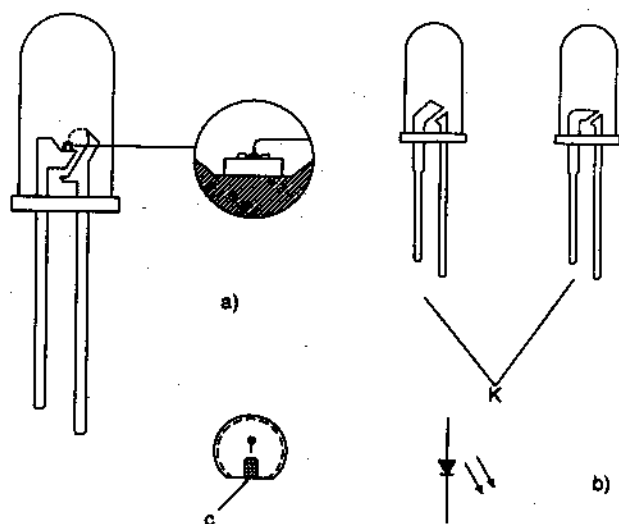
Diốt phát quang còn gọi là đèn LED (Light - Emitting - Diode). Diốt phát quang cũng có cấu trúc P-N và đặc tính Von-Ampe tương tự như diốt thông thường nhưng ngưỡng dẫn điện khi phân áp thuận cao hơn ($1,6V \div 3,0V$), chịu điện áp ngược kém hơn ($3V \div 15V$) và khi dẫn điện theo chiều thuận thì phát sáng. Màu ánh sáng phụ thuộc vào vật liệu chế tạo (bảng 2.2).

Bảng 2.2

Vật liệu chế tạo LED	Màu	Bước sóng λ (μm)
Gallium - Arsenid	Hồng ngoại	0,91
Gallium - Arsenid Phosphid	Đỏ	0,65
Gallium - Phosphid	Xanh lá cây	0,56
Sillizium - Karbid	Xanh da trời	0,49
Gallium - Nitrit	Tím	0,40

Dạng phổ biến của LED và kí hiệu LED trên sơ đồ điện được biểu thị như trên hình 2.38.

LED được sử dụng rộng rãi trong nhiều lĩnh vực quang báo do thể tích nhỏ, công suất tiêu tán thấp, thích hợp với các mạch logic. LED có thể sử dụng để báo hiệu trạng thái làm việc của một mạch hay báo một linh kiện bị hỏng. Tuổi thọ của LED cao ($\approx 10^5$ giờ).



Hình 2.38: Dạng phổ biến của LED (a) và kí hiệu LED (b) trên sơ đồ điện

Khi sử dụng LED, cần lưu ý điện áp một chiều đặt lên LED theo chiều thuận không nên vượt quá điện áp ngưỡng ($\approx 3V + 5V$) và dòng điện khoảng $10\text{ mA} + 20\text{ mA}$. Do vậy, thường có một điện trở mắc nối tiếp với LED:

$$R = \frac{U_{ng} - U_{LED}}{I_{LED}} \quad (2.10)$$

trong đó : U_{ng} - điện áp nguồn nuôi ;

U_{LED} - điện áp ngưỡng của LED ;

I_{LED} - dòng điện qua LED.

Ví dụ 2.1:

Một LED có ngưỡng điện áp $3V$ và dòng 10 mA mắc vào nguồn một chiều $12V$ thì điện trở cần nối tiếp với LED (hình 2.39) là:

$$R = \frac{U_{ng} - U_{LED}}{I_{LED}} = \frac{12 - 3}{0,01} = 900\Omega$$

Thực tế, không có sẵn điện trở 900Ω nên ta chọn điện trở $1000\Omega = 1\text{ k}\Omega$. Công suất điện trở là:

$$P = RI^2 = 900 \cdot (0,01)^2 = 0,09W$$

Chọn loại điện trở $1\text{ k}\Omega$ có công suất $\frac{1}{8}W = 0,125W$.

Ví dụ 2.2:

Một LED có ngưỡng điện áp $3V$ và dòng 20 mA mắc vào nguồn xoay chiều $220V$ thì phải mắc thế nào?

Điện trở cần mắc nối tiếp là:

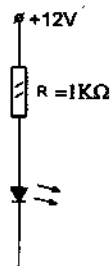
$$R = \frac{220 - 3}{0,02} = 5850\Omega$$

Vì không có sẵn điện trở này, nên ta chọn điện trở $6,8\text{ k}\Omega$ với công suất:

$$P = 5850 \times 0,02^2 = 2,34W \rightarrow \text{chọn } P = 3W \text{ (hình 2.40a)}$$

Vì điện áp đánh thủng của LED thấp ($3V + 15V$) nên ở nửa chu kì phản áp ngược, LED sẽ bị đánh thủng. Do vậy, cần mắc thêm một diốt silicon song song ngược với LED (hình 2.40b). Nhờ đó, điện áp ngược đặt lên LED sẽ bằng điện áp rơi trên diốt ở nửa chu kì phản áp ngược ($\approx 0,5V$). Diốt cần chịu dòng

$$\frac{220V}{6800\Omega} \approx 0,033A.$$

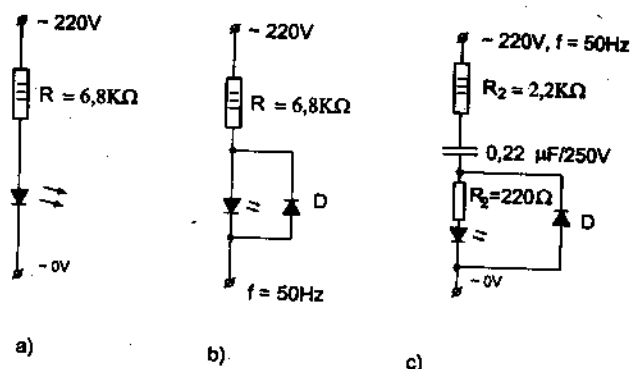


Hình 2.39: LED nối vào nguồn $12V$

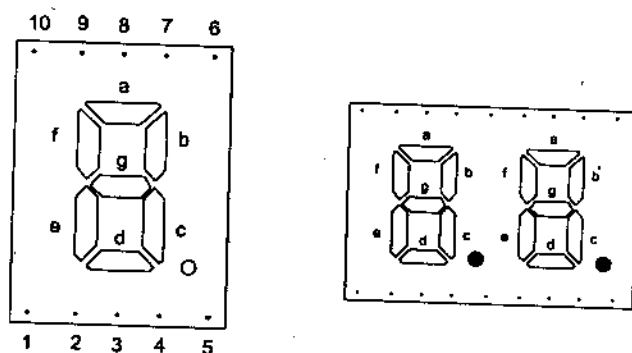
Sử dụng LED trong mạch xoay chiều 220V, có thể tham khảo mạch ở hình 2.40c.

Một chú ý khác khi sử dụng LED là: Catốt của LED thường ở chân ngắn hoặc ở phía vỏ bị cắt xén (hình 2.38a) và điện cực của catốt thường lớn hơn điện cực của anốt.

LED còn được dùng trong các hiển thị số và chữ qua các hình dáng LED dạng chấm hay dạng gạch dài. Hình 2.41 là hai dạng số đơn và số kép dùng bảy thanh LED biểu thị một con số.



Hình 2.40: LED nối vào nguồn 220V



Hình 2.41: LED bảy thanh

c) Tranzito trường

Tranzito thường đã trình bày ở mục 2.2.2 là phần tử được điều khiển bằng dòng điện và dẫn điện bằng cả hai loại phần tử mang điện: điện tử và lỗ trống. Tranzito trường, còn gọi là tranzito hiệu ứng trường hay FET (Field - Effect Transistor) là phần tử điều khiển bằng điện áp. Tranzito hiệu ứng trường làm việc trên cơ sở dòng điện qua lớp bán dẫn mỏng sẽ bị biến đổi nhờ tác động của một điện trường vuông góc với lớp bán dẫn đó.

FET dẫn điện chỉ bằng một loại phần tử mang điện (hoặc điện tử, hoặc lỗ trống) nên còn có tên là tranzito đơn cực.

FET có ba cực là: cực máng D (Drain), cực nguồn S (Source) và cực cửa G (Gate). Loại FET dùng trong bộ tần số có bốn cực vì có hai cực cửa riêng biệt (G_1 và G_2).

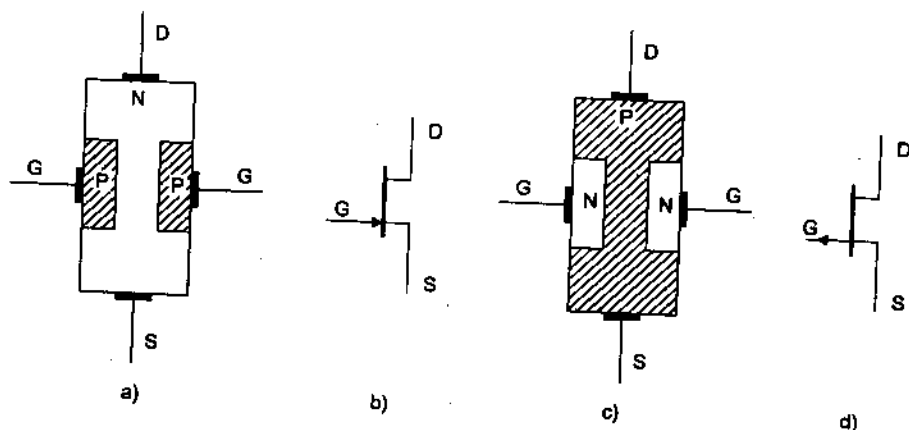
FET chia ra làm hai loại:

- Loại có cực cửa G là lớp tiếp xúc P-N (JFET: Junction Field - Effect Transistor).

- Loại có cực cửa cách li (MOSFET : Metal Oxide Semiconductor Field - Effect Transistor).

JFET

Hình 2.42 trình bày nguyên lý cấu tạo và kí hiệu của JFET kênh N (hình 2.42a, b) và kênh P (hình 2.42c, d). Giữa cực nguồn S và cực máng D có vùng bán dẫn tạo thành cực cửa G. Do đó, trên đường đi giữa các cực S và D có một vùng tiếp giáp P-N tạo bởi kênh dẫn và lớp bán dẫn cực cửa.



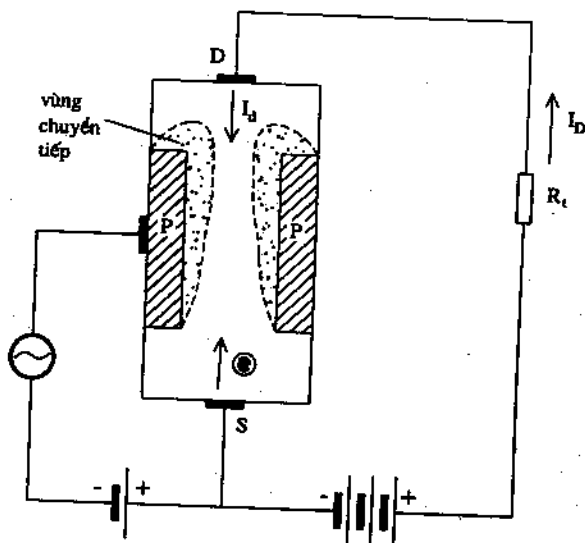
Hình 2.42: Nguyên lý cấu tạo và ký hiệu của FET

Xét JFET kênh N theo sơ đồ trên hình 2.43. Tùy theo điện áp giữa cực G và cực S âm nhiều hay ít mà vùng chuyển tiếp rộng hay hẹp và dòng I_D từ D sang S nhỏ hay lớn.

JFET có trở kháng từ vài $M\Omega$ đến vài chục $M\Omega$.

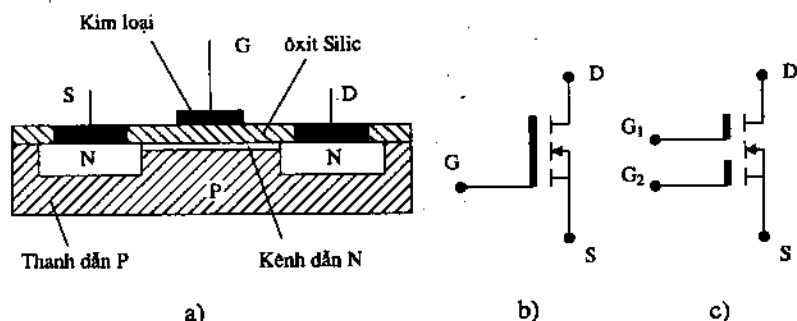
MOSFET

Để tăng trở kháng vào cao hơn (đến hàng ngàn $M\Omega$), người ta cải tiến FET nhờ dùng cực cửa cách điện có nguyên lý cấu tạo như trên hình 2.44. Cực G cách



Hình 2.43: JFET kênh N

ly với thanh bán dẫn P bởi lớp oxyt silic cách điện. Thanh bán dẫn loại P (cũng có thể là loại N khi S, D loại P).



Hình 2.44: Nguyên lý cấu tạo (a) và kí hiệu (b, c) của MOSFET

Khi đặt vào cực G một điện áp so với cực S thì trong thanh bán dẫn P hình thành một kênh dẫn loại N thông giữa cực S và cực D. Kênh này rộng hay hẹp là tùy điện áp đưa vào cực G lớn hay nhỏ.

Tranzito trường có hai cực cửa tách biệt được kí hiệu như hình 2.44c.

Các tranzito trường có một số đặc điểm:

- Điện trở vào rất lớn (vài $M\Omega$ đến hàng ngàn $M\Omega$).
- Táp âm nhỏ.
- Sự biến đổi của dòng điện theo nhiệt độ ngược với tranzito thường : nhiệt độ tăng thì sự thông dẫn lại giảm.

Tranzito trường được ứng dụng để khuếch đại, tạo dao động, phối hợp trở kháng, khoá điện tử.v.v.. Ứng dụng đa dạng của tranzito trường là nhờ dựa vào các đặc điểm đã nêu và các ưu điểm sau:

- Tranzito trường MOSFET là phần tử điều khiển bằng điện áp, trong khi các tranzito thường (mục 2.2.2) là phần tử điều khiển bằng dòng điện.
- Tranzito trường MOSFET có tần số đóng cắt rất cao (tới vài trăm kHz) mặc dù khả năng chịu tải về dòng điện và điện áp kém hơn tranzito thường. Với ưu thế này, nó được dùng trong các bộ nguồn xung của máy tính PC.
- Tổn hao công suất khi làm việc nhỏ

Khi sử dụng tranzito trường cần lưu ý:

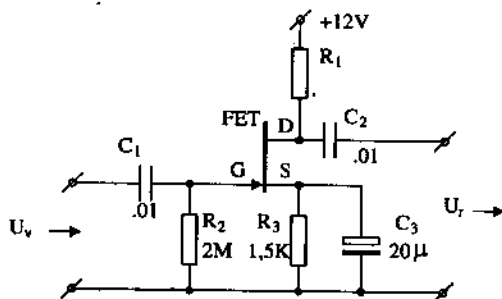
- Tranzito trường nhạy cảm với trường tĩnh điện ngoài. Điều này cần đặc biệt lưu ý khi dùng MOSFET.

- Tiếp đất mỏ hàn khi hàn, tháo tranzito trường ;
- Ngắn mạch các chân tranzito trường khi chưa sử dụng ;
- Không tháo, lắp tranzito trường khi có nguồn ;
- Không thử tín hiệu khi không có nguồn.

Ví dụ 2.3:

Mạch khuếch đại âm tần dùng FET (hình 2.45)

Tranzito trường kênh N. Tín hiệu (xoay chiều) vào qua tụ C_1 . Tụ C_1 là tụ cách li một chiều giữa FET và nguồn tín hiệu vào. Khi có tín hiệu (xoay chiều) vào, ngắn mạch qua C_1 , tới cực G thì trên cực máng D có tín hiệu xoay chiều, lấy ra qua tụ C_2 . Tụ C_3 nhằm ngắn mạch điện trở R_3 về xoay chiều nhằm đảm bảo trở kháng cực S so với OV là nhỏ. Đây là mạch khuếch đại cực S chung.

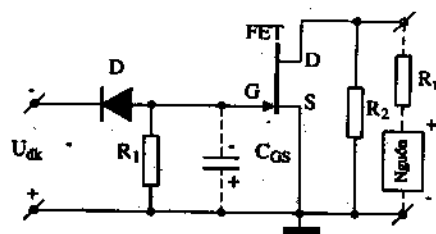


Hình 2.45: Mạch khuếch đại dùng FET

Ví dụ 2.4 :

Khoá điện tử dùng FET (hình 2.46)

Khi điện áp điều khiển $U_{dk} = U_{GS} = 0$ thì FET thông bão hoà, tải coi như được cấp điện đầy đủ ($U_i \approx U_{ng}$). Khi U_{dk} âm FET khoá (thường $-4V \div -5V$) thì tải coi như bị ngắt điện ($U_i \approx 0$).



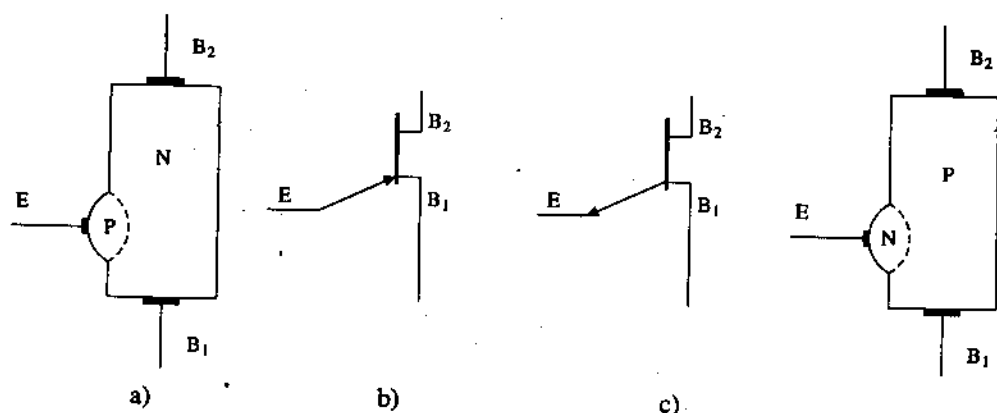
Hình 2.46: Khoá điện tử dùng FET

Giá trị $R_1 \approx 1M\Omega$, R_2 chọn sao cho lớn hơn nhiều R_{DS} lúc thông bão hoà.

Do không tránh được sự có mặt của điện dung C_{GS} giữa cực G và cực S nên có trễ thời gian khi FET chuyển mạch (vì C_{GS} nạp khi $U_{dk} < 0$ và cực G sẽ bị âm trong thời gian C_{GS} phóng điện). Để đảm bảo cực tính U_{dk} không dương mạch có mắc thêm diốt D.

d) Tranzito một tiếp giáp

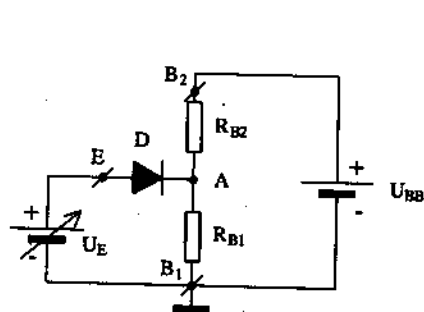
Transistor một tiếp giáp còn gọi là UJT (UniJunction Transistor) có nguyên lý cấu tạo trình bày ở hình 2.47.



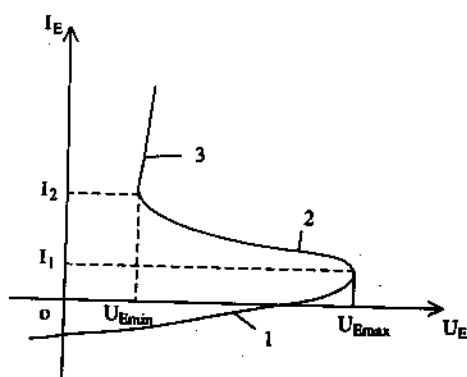
Hình 2.47: Nguyên lý cấu tạo (a) và kí hiệu (b, c) của UJT

UJT có ba cực : hai cực bazơ (B_1 , B_2) và một cực phát (E). Như hình 2.47a, để nối giữa hai cực bazơ là bán dẫn N, cực phát E là bán dẫn P. Loại UJT kênh N này có kí hiệu như hình 2.47b. Nếu đế là bán dẫn P, cực E là bán dẫn N thì UJT được kí hiệu như hình 2.47c. Đó là UJT kênh P.

Có thể coi UJT (hình 2.47a) như một diốt có hai đầu ra B_1 và B_2 với phân áp R_{B1} và R_{B2} (hình 2.48). R_{B1} và R_{B2} được coi là điện trở để N từ E tới R_{B1} và tới R_{B2} .



Hình 2.48: Sơ đồ tương đương của một UJT



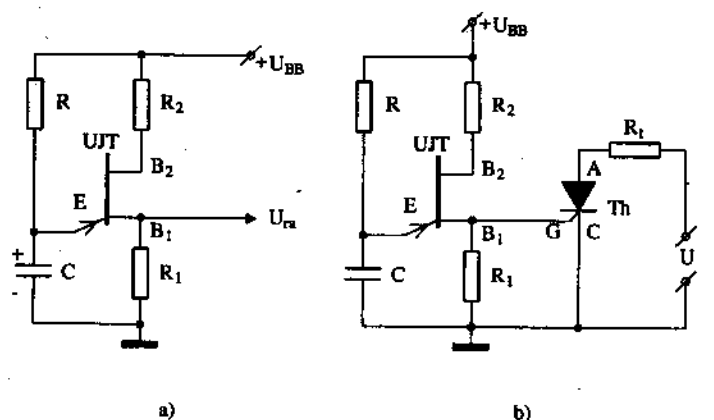
Hình 2.49: Đặc tuyến Von-Ampe của UJT

Đặt một điện áp biến thiên U_E vào giữa hai cực E và B_1 thì dòng I_E sẽ biến thiên. Quan hệ $U_E(I_E)$ thu được gọi là đặc tuyến Von - Ampe của UJT (hình 2.49).

Khi hở mạch EB_1 thì : $U_A = \frac{R_{B1}}{R_{B1} + R_{B2}} \cdot U_{BB} = \eta U_{BB}$ với $\eta = \frac{R_{B1}}{R_{B1} + R_{B2}}$

Thường $\eta = 0,45 \div 0,75$ và η rất ít phụ thuộc vào nhiệt độ.

Khi $U_E < \eta U_{BB} + U_D$ (với U_D là điện áp ngưỡng của lớp tiếp giáp P-N - cũng là điện áp ngưỡng để dẫn dòng thuận của diốt D, thường khoảng $(0,5V \div 0,7V)$) thì UJT còn chưa làm việc (khóa). Qua UJT chỉ có dòng rò rất nhỏ (đoạn 1).

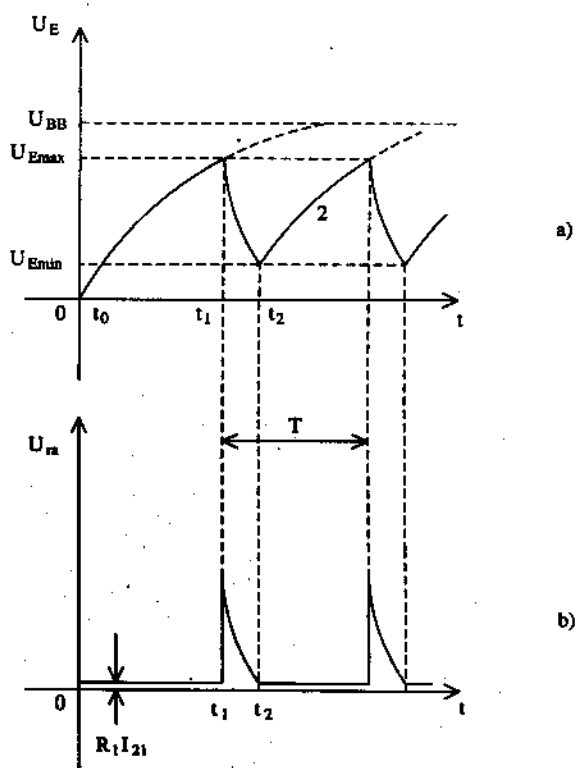


Hình 2.50: Mạch tạo xung răng cưa của (a) và mạch điều khiển thyristo (b)

Khi $U_E > \eta U_{BB} + U_D$, UJT chuyển sang dẫn điện (thông) với đặc điểm I_E tăng dần trong khi U_E tăng tới U_{Emax} rồi giảm xuống U_{Emin} (đoạn 2). Ở đoạn này, trị số I_E do điện trở mạch ngoài quyết định. Đây là vùng UJT có điện trở âm (cỡ $-1\text{ k}\Omega \div -2\text{ k}\Omega$). Nguyên nhân là diốt D dẫn làm R_{B2} và R_{B1} giảm, đặc biệt là R_{B1} . Do đó, η giảm và U_A giảm, dòng I_E tăng.

Khi $I_E > I_2$ thì UJT có điện trở dương nhỏ, cỡ 10Ω (đoạn 3).

Transistor một tiếp giáp thường được ứng dụng trong mạch tạo xung (kiểu dao động tích thoát) hoặc dùng để thông thyristo.



Hình 2.51: Biểu đồ thời gian của mạch tạo xung hình 2.50

Ví dụ 2.5:

Mạch tạo xung răng cưa (xung tam giác) (hình 2.50).

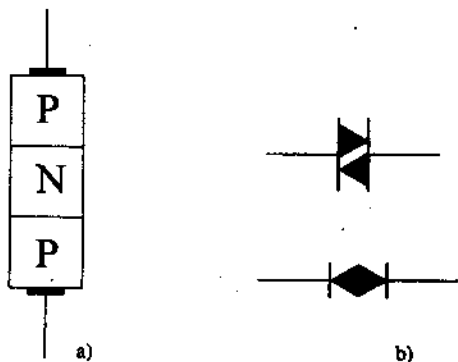
Tại thời điểm t_0 , cấp nguồn $+U_{BB}$ cho mạch. Tụ C được nạp điện qua điện trở R. Điện áp U_E tăng dần theo hàm mũ (hình 2.51a) nhưng UJT vẫn ở chế độ khoá chừng nào U_E còn nhỏ hơn $U_{E_{max}}$. Điện áp ra U_{ra} trên B_1 như trên hình 2.51b. Khi tụ C được nạp tới điện áp $U_E > U_{E_{max}}$ (thời điểm t_1) thì UJT thông. Giữa B_2 và B_1 có dòng I_{21} , đồng thời tụ C phóng điện từ E qua B_1 và R, với dòng điện dạng hàm mũ suy giảm và U_E giảm nhanh. Đầu ra B_1 có điện áp dạng xung nhọn. Khi $U_E < U_{E_{min}}$ (thời điểm t_2) thì UJT khoá và tụ C lại được nạp điện qua R. Quá trình cứ thế tiếp diễn.

Tần số xung (do đó chu kỳ T) phụ thuộc R, C. Xung ra U_{ra} - về nguyên tắc - có thể dùng để mở thông thyristo như sơ đồ hình 2.50b. Vấn đề còn lại là phối hợp và chọn thời điểm phát xung.

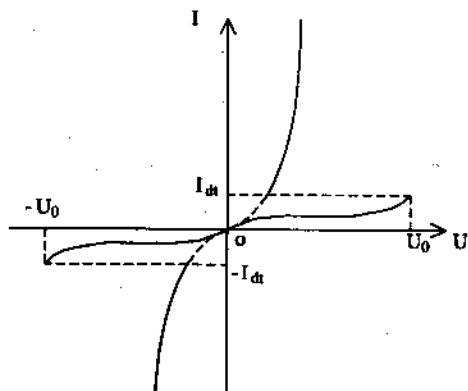
e) Diac

Diac là dụng cụ bán dẫn gồm ba lớp bán dẫn (hình 2.52a) như tranzito nhưng chỉ có hai cực. Kí hiệu diac như hình 2.52b.

Diac có khả năng dẫn điện theo cả hai chiều. Đặc tuyến Von-Ampe của diac như hình 2.53. Đặc tuyến này tương tự triac nhưng không cần điều khiển.



Hình 2.52: Nguyên lý cấu tạo (a) và kí hiệu (b) của diac



Hình 2.53: Đặc tuyến Von-Ampe của diac

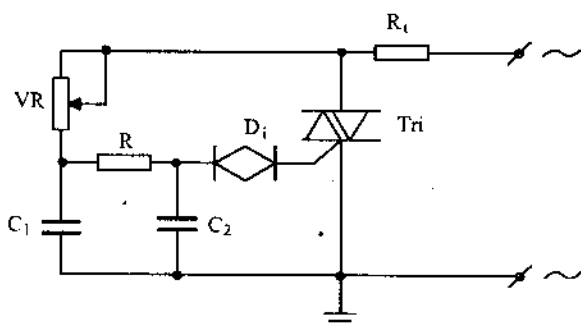
Khi điện áp U đặt lên diac theo chiều này hay chiều kia nhỏ hơn giá trị ngưỡng U_0 : $|U| < |U_0|$ thì diac không dẫn điện (khoá).

Khi điện áp đặt lên diac : $|U| \geq |U_0|$ thì diac dẫn điện (thông). Lúc này, điện áp rơi trên diac nhỏ hơn $|U_0|$. Dòng qua diac phụ thuộc mạch tải. Khi dòng qua diac (dòng tải) $|I| < |I_{dt}|$ thì diac tự khoá.

Ví dụ 2.6 :

Hình 2.54 là mạch dùng diac điều khiển một triac.

Qua mạch VR- C_1 và R- C_2 , điện áp xoay chiều u_{C2} đặt lên diac. Khi $|u_{C2}|$ bằng hoặc lớn hơn điện áp ngưỡng $|U_0|$ của diac thì diac thông, tạo dòng xung làm triac thông, cấp điện cho tải ở cả hai nửa chu kỳ xoay chiều.



Hình 2.54. Mạch dùng diac điều khiển triac.

Góc mở triac được điều chỉnh bởi biến trở VR.

CÂU HỎI CHƯƠNG 2

1. Tính chất của điện trở, tụ điện và cuộn dây trong mạch điện một chiều ($f = 0$) và xoay chiều ($f \neq 0$) có gì khác nhau?
2. Tần số dòng điện có ảnh hưởng gì tới tính chất của ba loại linh kiện thụ động?
3. Nêu luật màu để đọc các giá trị của điện trở và tụ điện?
4. Nêu nguyên lý cấu tạo của các linh kiện điện tử tích cực : diốt, tranzito, thyristo, triac? Nêu tên các cực của chúng?
5. So sánh đặc tuyến Von-Ampe của các linh kiện điện tử tích cực đã biết?
6. Nêu điều kiện thông, khoá của các linh kiện điện tử tích cực?
7. Nêu ứng dụng của các linh kiện điện tử tích cực?
8. Diốt Zener khác diốt thường thế nào? Nêu ứng dụng của diốt Zener?
9. JFET và MOSFET khác nhau thế nào? Đặc điểm của tranzito trường là gì? Phân biệt sự khác nhau giữa tranzito trường và với tranzito thường? Nêu ứng dụng của chúng?
10. Phân biệt sự khác nhau giữa diac và diốt? So sánh diac và triac?
11. UJT là gì? Nêu ứng dụng của UJT?

Chương 3

KHÁI QUÁT VỀ CÁC LINH KIỆN ĐIỆN TỬ SỐ

3.1. KHÁI QUÁT VỀ KỸ THUẬT SỐ

3.1.1. Hệ đếm

Người ta thường đếm để xác định một số lượng. Thông thường một số lượng được biểu thị bằng một con số. Đó là một tập hợp các chữ số (kí tự) được sắp xếp theo một quy tắc nhất định. Cách đếm phổ biến trong đời sống là dùng hệ đếm mười (hệ thập phân) với mười chữ số Ả rập, kí hiệu theo thứ tự là: 0, 1, 2, 3, 4, 5, 6, 7, 8, 9. Đây là hệ thống đếm theo vị trí ^(*) vì giá trị mỗi chữ số phụ thuộc vào vị trí của nó nằm trong con số.

Ví dụ : Chữ số 6 có giá trị khác nhau trong 2 con số sau:

369 : chữ số 6 chỉ 60 đơn vị

456 : chữ số 6 chỉ 6 đơn vị

Để biểu diễn các con số trong hệ đếm mười, người ta đã dùng 10 chữ số Ả rập từ 0 đến 9. Số chữ số này (mười) gọi là cơ sở của hệ đếm. Giá trị mỗi chữ số trong một con số được xác định theo vị trí của nó trong con số đó. Mỗi vị trí tương ứng với một trọng số. Điều đó thể hiện qua ví dụ sau:

... hàng nghìn	hàng trăm	hàng chục	hàng đơn vị	
$(10^3 = 1000)$	$(10^2 = 100)$	$(10^1 = 10)$	$(10^0 = 1)$	$\rightarrow$ trọng số
2	3	4	5	
$2 \cdot 10^3$	+	$3 \cdot 10^2$	+	$4 \cdot 10^1$ + $5 \cdot 10^0$
2000	+	300	+	40 + 5 = 2345

(*) Còn có hệ thống đếm không theo vị trí. Giá trị mỗi chữ số trong hệ thống này không phụ thuộc vào vị trí nó nằm trong con số.

Ví dụ: Hệ đếm theo chữ số La mã XV: 15

XX: 20

Chữ số X (10) không phụ thuộc gì vào vị trí của nó.

Ví dụ:

$$(8^3 = 512) \mid (8^2 = 64) \mid (8^1 = 8) \mid (8^0 = 1) \rightarrow \text{trọng số}$$

$$\quad \quad \quad 2 \quad \quad \quad 0 \quad \quad \quad 0 \quad \quad \quad 4$$

$$2.8^3 + 0.8^2 + 0.8^1 + 4.8^0$$

$$1024 + 0 + 0 + 4 = 1028$$

Vậy: $2004_8 = 1028_{10}$

Đọc là: Hai, không, không, bốn

Sự tương ứng giữa các con số của 4 hệ đếm được cho trên bảng 3.1.

Bảng 3.1:

Hệ đếm mười	Hệ đếm hai	Hệ đếm mười sáu	Hệ đếm tám
0	0	0	0
1	1	1	1
2	10	2	2
3	11	3	3
4	100	4	4
5	101	5	5
6	110	6	6
7	111	7	7
8	1000	8	10
9	1001	9	11
10	1010	A	12
11	1011	B	13
12	1100	C	14
13	1101	D	15
14	1110	E	16
15	1111	F	17
16	10000	10	20
17	10001	11	21
18	10010	12	22
...	...	...	...

$$= \frac{1.2^4}{16} + 0.2^3 + 0.2^2 + \frac{1.2^1}{2} + \frac{1.2^0}{1} + 0.2^{-1} + 0.2^{-2} + \frac{1.2^{-3}}{\frac{1}{8}}$$

$$19,125_{10} = 10011001_2 (\times 2^{-3}) \quad (\text{dấu phẩy tĩnh, phần nguyên})$$

$$= \left(\frac{1.2^7}{128} + 0.2^6 + 0.2^5 + \frac{1.2^4}{16} + \frac{1.2^3}{8} + 0.2^2 + 0.2^1 + 1.2^0 \right) \cdot \frac{2^{-3}}{\frac{1}{8}}$$

$$19,125_{10} = ,10011001 \times 2^5 \quad (\text{dấu phẩy tĩnh, phần lẻ})$$

$$= \left(\frac{1.2^{-1}}{\frac{1}{2}} + 0.2^{-2} + 0.2^{-3} + \frac{1.2^{-4}}{16} + \frac{1.2^{-5}}{32} + 0.2^{-6} + 0.2^{-7} + \frac{1.2^{-8}}{256} \right) \cdot \frac{2^5}{32}$$

b) Dấu: Để biểu thị số dương (+) hay âm (-) trong hệ đếm hai, người ta quy ước thêm vào số cần biểu thị dấu một chữ số ở đầu phía trước con số (1 cho số âm và 0 cho số dương).

Ví dụ:

Khi dùng dấu phẩy tĩnh dạng nguyên:

$$1 \quad 10001 = -17_{10}$$

$$0 \quad 11001 = +25_{10}$$

Đây là cách biểu diễn theo dấu và trị số thật.

3.1.3. Chuyển đổi số giữa hệ đếm mười và hệ đếm hai

a) Chuyển đổi số hệ hai sang hệ mười

Tương tự như biểu thức (3.1), ta có biểu thức chuẩn hoá dạng lũy thừa trong hệ đếm hai với $B = 2$:

$$A = a_{n-1}2^{n-1} + a_{n-2}2^{n-2} + \dots + a_12^1 + a_02^0 \quad (3.2)$$

trong đó: $a_k = 0, 1$ ($k = 0, 1, \dots, n-1$).

Theo (3.2), việc chuyển đổi từ hệ hai sang hệ mười rất dễ dàng.

$$\text{Ví dụ: } 10001_2 = \frac{1.2^4}{16} + 0.2^3 + 0.2^2 + 0.2^1 + \frac{1.2^0}{1} = 17_{10}$$

$$110,01_2 = \frac{1.2^2}{4} + \frac{1.2^1}{2} + 0.2^0 + 0.2^{-1} + \frac{1.2^{-2}}{\frac{1}{4}} = 6,25_{10}$$

b) Chuyển đổi số hệ mười sang hệ hai

Sử dụng quy tắc chia và lấy phần dư đối với phần nguyên: đặt số hệ mười cần chuyển đổi ở tận cùng bên phải (xem ví dụ) rồi chia cho 2. Phần dư mỗi lần chia được ghi xuống hàng dưới theo thứ tự từ phải qua trái. Kết quả phần dư liên tiếp nhận được là số đã chuyển đổi sang hệ hai.

Ví dụ:

Chuyển đổi số 21_{10} sang hệ hai.

Chia 2	$\frac{1}{2}=0$	$\frac{2}{2}=1$	$\frac{5}{2}=2$	$\frac{10}{2}=5$	$\frac{21}{2}=10$	$21_{10} \leftarrow$ Số hệ mười
Số dư	1	0	1	0	1	$\leftarrow$ Số hệ hai

Vậy: $21_{10} = 10101_2$

Sử dụng quy tắc nhân 2 trừ 1 đối với phần lẻ: đặt phần lẻ số hệ mười cần chuyển đổi ở tận cùng bên trái (xem ví dụ) rồi nhân với 2. Nếu tích số lớn hơn 1 thì lấy tích đó trừ 1 và ghi 1 xuống dưới. Nếu tích số nhỏ hơn 1 thì ghi 0 xuống hàng dưới. Các số sau khi chia, trừ 1 (hoặc không trừ) được chuyển sang cột bên phải và tiếp tục cách làm cho tới khi hiệu bằng 0 hoặc đạt số lẻ theo yêu cầu.

Ví dụ:

Chuyển đổi $0,6875_{10}$ sang hệ hai.

Nhân 2 trừ 1 (hoặc không trừ 1)	$0,6875 \times 2 = 1,375$ $1,375 - 1 = 0,375$	$0,375 \times 2 = 0,75$ $0,75 < 1$	$0,75 \times 2 = 1,75$ $1,75 - 1 = 0,5$	$0,75 \times 2 = 1$ $1 - 1 = 0$
Số hệ 2	1	0	1	1

Vậy $0,6875_{10} = ,1011_2$

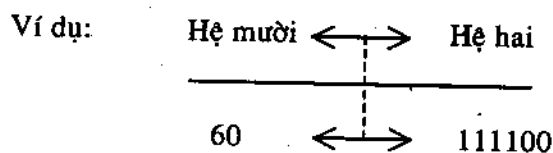
Với số có cả phần nguyên và phần lẻ thì chuyển đổi riêng từng phần rồi ghép lại.

Ví dụ : Chuyển đổi $21,6875_{10}$ sang hệ hai

Số hệ mười		Số hệ hai
21,	$\rightarrow$	10101
0,6875	$\rightarrow$	0,1011
21,6875	$\rightarrow$	10101,1011

3.1.4. Mã hoá các số hệ mười

Ở mục 3.1.3, ta đã biết cách chuyển đổi một số từ hệ đếm mười sang hệ đếm hai và ngược lại.



Ta quen với hệ đếm mười nên hiểu ngay con số 60, khó hiểu hay hiểu một cách khó khăn con số 111100. Trong khi đó, máy kĩ thuật số không thể hiểu con số 60 mà chỉ hiểu con số 111100.

Để thực hiện phân giao tiếp người - máy (tính), người ta phải thực hiện mã hoá các con số hệ mười, nghĩa là sử dụng một nhóm kí hiệu đặc biệt để biểu diễn một con số.

Trong kĩ thuật, để thực hiện chuyển đổi các con số giữa hai hệ đếm mười và hai một cách tự động người ta mã hoá các con số trong hệ mười bằng các nhóm mã hệ hai (BCD: Binary - coded decimal).

Từ bảng 3.1 ta có thể trích ra bảng 3.2.

Bảng 3.2:

Số hệ mười	Mã BCD				
	Trọng số	$2^3 = 8$	$2^2 = 4$	$2^1 = 2$	$2^0 = 1$
0	0	0	0	0	0
1	0	0	0	0	1
2	0	0	0	1	0
3	0	0	0	1	1
4	0	0	1	0	0
5	0	0	1	0	1
6	0	0	1	1	0
7	0	0	1	1	1
8	1	0	0	0	0
9	1	0	0	0	1

Các chữ số hệ mười từ 0 đến 9 đều được biểu diễn (mã hoá) bằng các nhóm 4 chữ số trong hệ hai. Do 4 chữ số được xếp theo các vị trí ứng với trọng số 8 - 4 - 2 - 1 nên mã BCD này còn gọi là mã BCD - 8421 (hay mã BCD trọng số tự nhiên).

Ví dụ:

Hệ số mười Biểu diễn bằng mã BCD - 8421

72 → 0111 0010

319 → 0011 0001 1001

2004 → 0010 0000 0000 0100

v.v...

Đây là kiểu viết con số theo hệ mười nhưng chữ số 0 ÷ 9 được mã hoá theo hệ hai. Mỗi nhóm kí hiệu gọi là *một từ mã* (code). Cách mã hoá này giúp người và máy đều dễ dàng tiếp nhận thông tin. Một từ mã có sử dụng 4 chữ số trong hệ hai, còn gọi là *một từ bốn bit* (Bit).

Trong thực tế kĩ thuật, đôi khi trọng số 8421 tỏ ra thiếu thuận lợi nên người ta còn dùng các mã BCD với dãy trọng số khác, chẳng hạn 5121, 7421...

Mã BCD sử dụng 10 tổ hợp bốn bit đầu tiên ở bảng 3.1. Ta có thể sử dụng 6 tổ hợp bốn bit còn lại trong tổng số 16 tổ hợp bốn bit. Khi đó, sẽ có các mã khác: mã thừa 3, mã Gray. Ngoài ra, cũng có thể mã hoá nhờ từ mã năm bit. Đó là các mã 2 trên 5, mã Johnson. Ta không xem xét các mã này.

3.2. CÁC PHẦN TỬ LÔGIC CƠ BẢN VÀ CÁC CỔNG IC SỐ

Xét một công tắc: Trạng thái đầu ra được quyết định bởi sự đóng - mở của tiếp điểm của công tắc đó (còn gọi là trạng thái rơ le).

- Tiếp điểm đóng: mạch điện được nối thông, có dòng điện hoặc có điện áp.

- Tiếp điểm mở: mạch điện bị cắt, không có dòng điện hoặc không có điện áp

Như vậy, đầu ra chỉ có 2 trạng thái trái ngược nhau: thông hoặc khoá. Ta gọi đó là 2 trạng thái lôgic, kí hiệu tương ứng là:

1 - là trạng thái thông (đóng tiếp điểm)

0 - là trạng thái khoá (mở tiếp điểm)

Chú ý: 1 và 0 ở đây là các kí hiệu mức lôgic chứ không phải các con số với ý nghĩa của nó.

Biện pháp kĩ thuật để thực hiện các giá trị lôgic phụ thuộc vào việc chọn các trị số vật lí để biểu diễn. Thông thường người ta chọn tín hiệu thế (hay điện áp) để biểu diễn.

Trạng thái đầu ra làm mạch có điện áp gọi là trạng thái có mức lôgic 1. Trạng thái đầu ra làm mạch không có điện áp (hay điện áp bằng 0) gọi là trạng thái có mức lôgic 0.

Tùy theo điện thế mức 1 là dương hay âm so với mức 0, người ta chia ra logic dương và logic âm như hình 3.1.

Phương pháp logic dương được dùng phổ biến hơn phương pháp logic âm. Trong một hệ thống logic, người ta dùng hoặc logic dương hoặc logic âm nhưng cũng có hệ thống logic dùng thời cả logic dương và logic âm.

Thực tế, điện áp ở mức logic 1 không phải là một hằng số, điện áp ở mức logic 0 không phải bằng 0 mà giá trị thuộc một khoảng nào đó. Khoảng này còn tùy thuộc vào điện áp làm việc của hệ thống logic (hình 3.2).

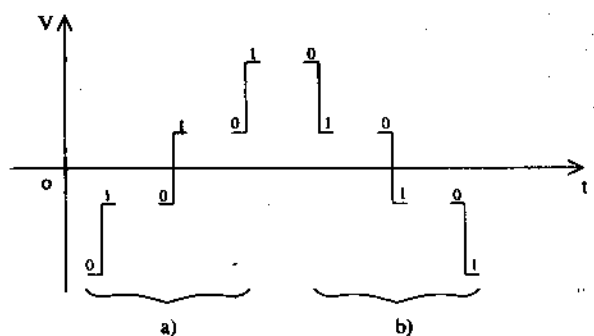
Khi nguồn nuôi của hệ thống logic là 5V thì mức logic 1 là $(3 \div 5)V$, là mức cao (H - High); Mức logic 0 là $(0 \div 1,5)V$, là mức thấp (L - Low).

Khi nguồn nuôi của hệ thống logic là 12V thì mức cao là $(8 \div 12)V$, mức thấp là $(0 \div 3)V$.

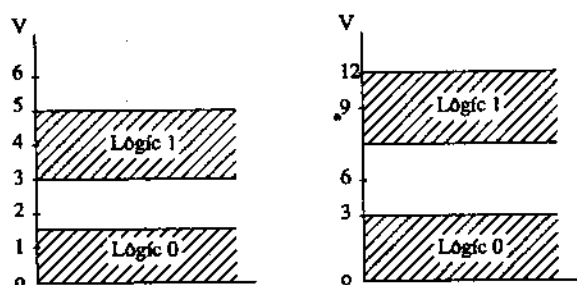
Mức logic 1 và 0 còn có thể biểu thị bằng sự xuất hiện hoặc không xuất hiện của xung điện (hình 3.3).

3.2.1. Phân tử AND (VÀ)

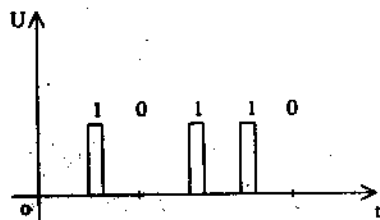
Để hiểu phân tử AND (VÀ), có thể xét mạch trên hình 3.4.



Hình 3.1: Logic dương (a) và logic âm (b)



Hình 3.2: Khoảng giá trị logic 1 và 0 phụ thuộc điện áp làm việc của hệ thống logic



Hình 3.3: Biểu diễn mức logic bằng tín hiệu xung

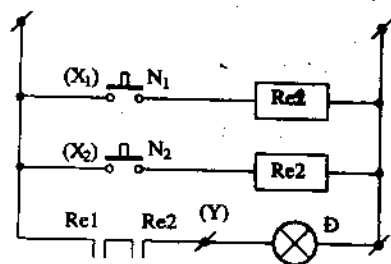
Rõ ràng rằng, chỉ khi nào ấn nút N1 đồng thời với nút N2 thì cả hai rơ le Re1 và Re2 cùng có điện và cùng tác động đóng mạch cho đèn Đ sáng.

Mạch AND tương ứng với mạch nối tiếp các tiếp điểm.

Nếu quy ước:

- Ấn nút là logic 1 ($X = 1$), nhả ra là logic 0 ($X = 0$);

- Đèn sáng là logic 1 ($Y = 1$), đèn tắt là logic 0 ($Y = 0$)



Hình 3.4: Sơ đồ mạch tiếp điểm tương đương với hàm AND hai biến

thì các khả năng làm việc của mạch (hay các trạng thái của mạch) có thể tóm tắt thành một bảng gọi là bảng chân lí (Truth table) của hàm AND (bảng 3.3). Đó là hàm AND hai biến (hai cửa vào).

Với hàm AND hai biến, số trạng thái bằng $2^2 = 4$ (cơ số 2 chỉ rõ mỗi biến có 2 mức logic, 1 và 0, số mũ 2 chỉ rõ số biến X hay số cửa vào).

Bảng 3.3: Bảng chân lí của hàm AND hai biến

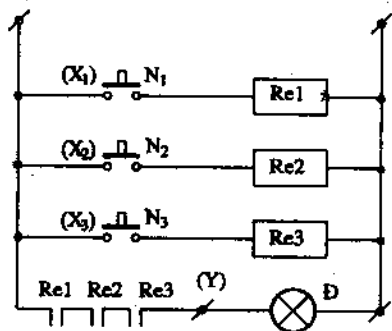
Về toán học, hàm AND hai biến được viết dưới dạng tích logic:

$$Y = X_1 \cdot X_2 \quad (3.3)$$

Đó là hàm Boole của mạch AND.

Phần tử thực hiện chức năng của hàm AND 2 biến còn gọi là cổng logic AND hai cửa vào.

Cửa vào		Cửa ra
X_1	X_2	Y
0	0	0
0	1	0
1	0	0
1	1	1



Bảng 3.4: Bảng chân lí của hàm AND ba biến

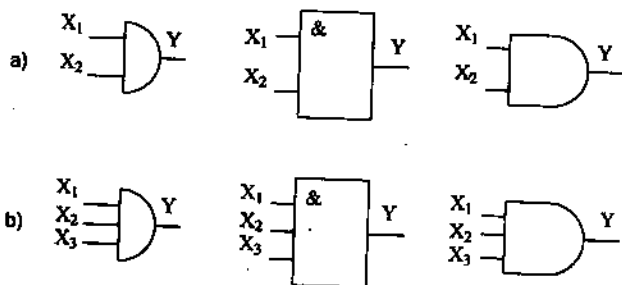
X_1	X_2	X_3	Y
0	0	0	0
0	0	1	0
0	1	0	0
0	1	1	0
1	0	0	0
1	0	1	0
1	1	0	0
1	1	1	1

Hình 3.5: Sơ đồ mạch tiếp điểm tương đương với hàm AND ba biến

Một cách tổng quát, có thể suy ra một cách tương tự cho hàm AND nhiều biến, chẳng hạn hàm AND 3 biến. Hàm này có:

- Biểu thức hàm Boole: $Y = X_1 \cdot X_2 \cdot X_3$
- Bảng chân lý: Bảng 3.4
- Số trạng thái mạch: $2^3 = 8$
- Sơ đồ mạch tiếp điểm tương đương: hình 3.5.

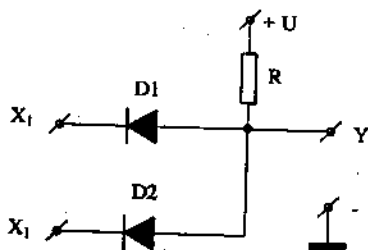
Kí hiệu phân tử AND hay cổng logic AND như trên hình 3.6.



Hình 3.6: Các cách kí hiệu phân tử AND hai cửa vào (a) và ba cửa vào (b).

a) Phân tử AND dùng diốt

Sơ đồ nguyên lý như hình 3.7. Hai diốt D_1 và D_2 mắc theo sơ đồ anốt chung. Chỉ cần một diốt nào đó có thể catốt âm là diốt đó thông và khi thông sẽ đặt lên anốt chung (tức đầu ra Y) thế âm ($Y = 0$) vì sụt áp trong diốt coi như bằng 0. Muốn đầu ra có thể dương bằng nguồn $+U$ ($Y = 1$) thì cả hai đầu catốt của D_1 và D_2 (tức hai đầu vào X_1 và X_2) đều phải có thể dương hay được đặt đồng thời các xung dương ($X_1 = X_2 = 1$). Lúc đó, sẽ không có diốt nào thông cả và thế dương của nguồn qua điện trở R đặt vào đầu ra Y. Sơ đồ hình 3.7 thực hiện chức năng hàm AND, logic dương.



Hình 3.7: Cổng AND dùng diốt

b) Phân tử AND dùng tranzito

Hai tranzito T1 và T2 (hình 3.8) có chung tải êmitơ là điện trở R.

Khi không có thể dương ở đầu vào X_1 ($X_1 = 0$) thì tranzito T1 thông. Khi có thể dương (hay xung dương) ở đầu vào X_1 ($X_1 = 1$) thì tranzito T1 khoá. Sự thông - khoá của tranzito T2 được giải thích tương tự.

Từ đó suy ra: đầu ra Y chỉ có thể dương ($Y = 1$) khi cả hai tranzito T1 và T2 mắc song song nhau cùng khoá, nghĩa là các đầu vào cùng có thể dương (hay xung dương) ($X_1 = X_2 = 1$). Trường hợp một trong hai đầu vào có thể âm

($X_1 = 0$ hoặc $X_2 = 0$) thì tranzito tương ứng sẽ thông và đầu ra Y sẽ có thế âm ($Y = 0$).

Kết quả xảy ra tương tự khi cả 2 đầu vào có thế âm ($X_1 = X_2 = 0$) $\rightarrow$ ($Y = 0$).

Sơ đồ hình 3.8 thực hiện chức năng hàm AND, logic dương.

c) Phân tử AND dùng IC

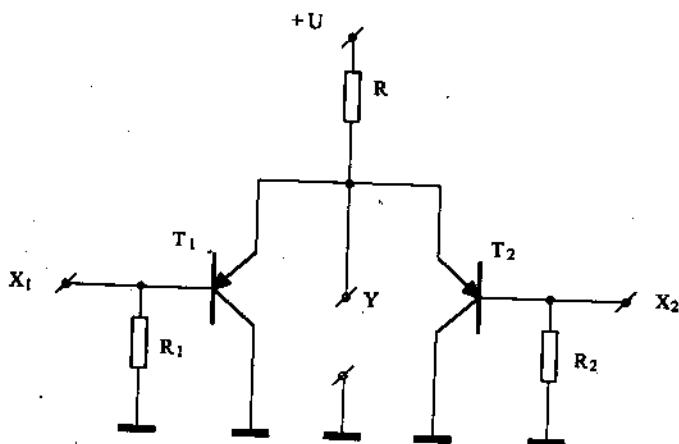
IC (vi mạch hay mạch tích hợp - Integrated Circuit) là một mạch điện được chế tạo liền trong một khối vỏ rắn, kích thước nhỏ, có các đầu vào và đầu ra là các chân IC (pins) để nối với mạch ngoài.

Hình dáng phổ biến bên ngoài của một IC như hình 3.9a là một khối chữ nhật dẹt có hai hàng chân. Số chân có thể là $2.4 = 8$, $2.7 = 14$, $2.8 = 16$ hoặc hơn. Cũng có IC có dạng khối vuông dẹt. Thứ tự chân được tính từ dấu chấm ở mặt trên hoặc từ vành khuyết theo chiều ngược chiều kim đồng hồ khi nhìn từ trên xuống (Top view - TV) (hình 3.9b, c).

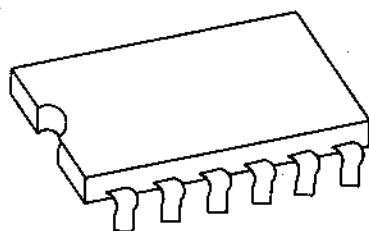
Các IC được chia thành hai loại chính tùy theo tín hiệu vào, ra:

- IC tuyến tính (linear): tín hiệu vào - ra thay đổi liên tục theo thời gian. Tín hiệu này còn gọi là tín hiệu tương tự (analog).

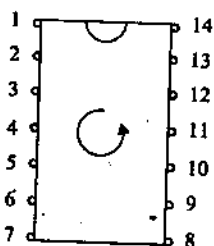
- IC số (digital): tín hiệu vào - ra chỉ có hai giá trị ứng với hai mức logic 0 và logic 1. Tín hiệu này là gián đoạn theo thời gian.



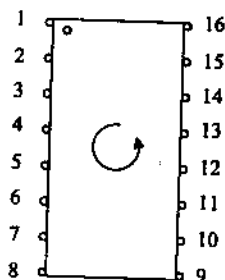
Hình 3.8: Cổng AND dùng transistor



a)



b)



c)

Hình 3.9: Hình dáng phổ biến của IC (a) và cách đếm chân IC theo vành khuyết (b) và theo dấu chấm (c)

Các cổng logic thuộc các IC số :

Theo linh kiện được sử dụng, các IC hiện lưu hành được chia thành nhiều loại:

- Loại TTL (Tranzito - Tranzito Logic): như các IC họ 74.. Mạch này tác động nhanh nhưng tiêu thụ dòng lớn. Nguồn nuôi IC họ 74.. là $5V \pm 10\%$.
- Loại C-MOS (Complementary Metal Oxide Semiconductor): Thuộc loại này có các IC họ 40.. Mạch này tác động không nhanh bằng TTL nhưng tiêu thụ công suất nhỏ hơn. Nguồn nuôi các IC họ 40.. là $(3 \div 15)V$.
- Loại RTL (Resistor Tranzito Logic): Loại này chỉ dùng tranzito và điện trở.
- Loại DTL (Diode Tranzito Logic): là IC loại RTL có thêm diốt ở các đầu vào.

- Loại HTL (High Threshold Logic): là một biến thể của loại DTL, để tạo ra mức độ chống tạp âm cao, thuận tiện cho các ứng dụng công nghiệp.

- Loại ECL (Emitter Coupled Logic): Các loại IC trên (TTL, RTL, HTL, DTL) có nhược điểm chung là tốc độ tác động không thật nhanh, do các tranzito trong chúng được điều khiển đến chế độ bão hoà nên tăng thời gian chậm trễ. Mạch ECL sử dụng các tranzito làm việc ở chế độ không bão hoà nên có tốc độ tác động rất nhanh. Mạch có cấu trúc tương đối phức tạp.

- V.v...

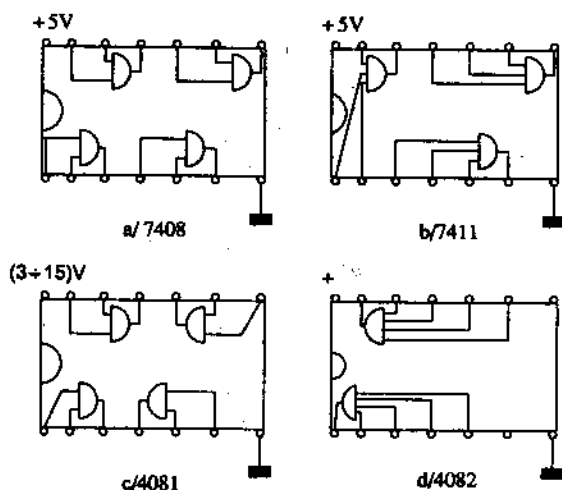
Ví dụ:

IC 7408 gồm bốn cổng AND hai đầu vào (hình 3.10a)

IC 7411 gồm ba cổng AND ba đầu vào (hình 3.10b)

IC 4081 gồm bốn cổng AND hai đầu vào (hình 3.10c)

IC 4082 gồm hai cổng AND bốn đầu vào (hình 3.10d). IC này có hai chân số 6 và 8 không dùng.

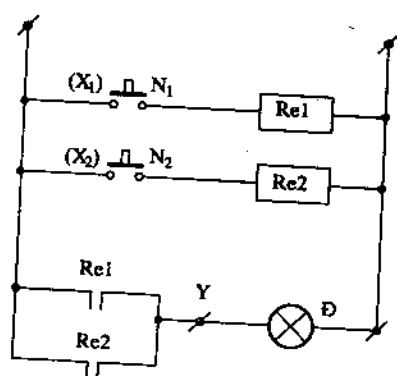


Hình 3.10: Các IC cổng AND

3.2.2. Phần tử OR (HOẶC)

Bảng 3.5: Bảng chân lí hàm OR hai biến

X_1	X_2	Y
0	0	0
0	1	1
1	0	1
1	1	1



Hình 3.11: Mạch tiếp điểm thực hiện chức năng hàm OR hai biến

Mạch tiếp điểm thực hiện chức năng hàm OR (HOẶC) như trên hình 3.11. Dễ dàng giải thích chức năng OR (HOẶC) của mạch: chỉ cần ấn nút N_1 hoặc ấn nút N_2 hoặc ấn cả hai nút thì đèn Đ đều sáng.

Mạch OR tương ứng với mạch song song các tiếp điểm. Các trạng thái có thể của mạch là $2^2 = 4$ và có bảng chân lí như bảng 3.5.

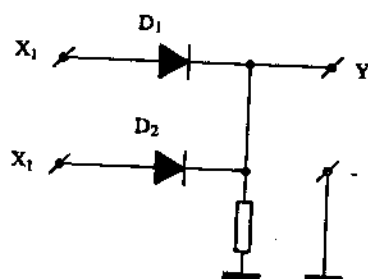
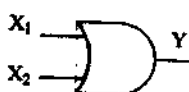
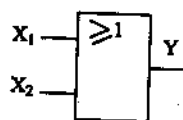
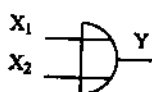
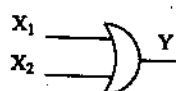
Phương trình hàm OR hay tổng logic là:

$$Y = X_1 + X_2$$

(3.4)

Kí hiệu phần tử OR như trên hình 3.12.

a) Phần tử OR dùng diốt



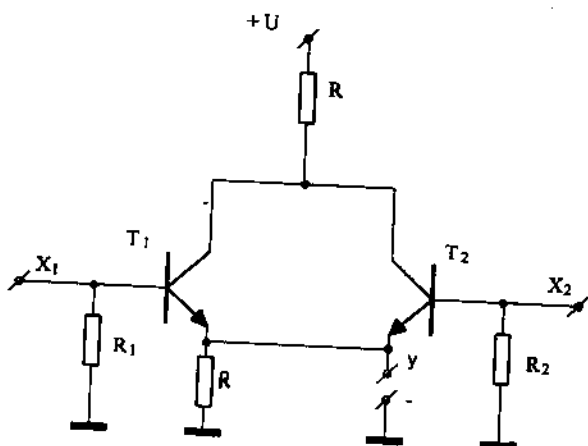
Hình 3.12: Kí hiệu phần tử OR hai cửa vào

Hình 3.13: Cổng OR dùng diốt

Hai diốt D_1 và D_2 mắc theo sơ đồ catốt chung (hình 3.13). Khi không có xung dương vào đầu vào X_1 , X_2 thì đầu ra Y có thể âm ($Y = 0$). Khi một trong hai đầu vào hoặc cả hai đầu vào có thể dương (hay xung dương) thì diốt tương ứng sẽ thông và đầu ra Y sẽ có thể dương ($Y = 1$).

b) Phần tử OR dùng tranzito

Hai tranzito T1 và T2 mắc chung tải emitor là điện trở R (hình 3.14). Khi đầu vào X₁ không có thế dương (xung dương) thì tranzito T1 khoá. Khi đầu vào X₁ có thế dương (xung dương) thì tranzito T1 thông. Sự thông-khoá của tranzito T2 được giải thích tương tự.

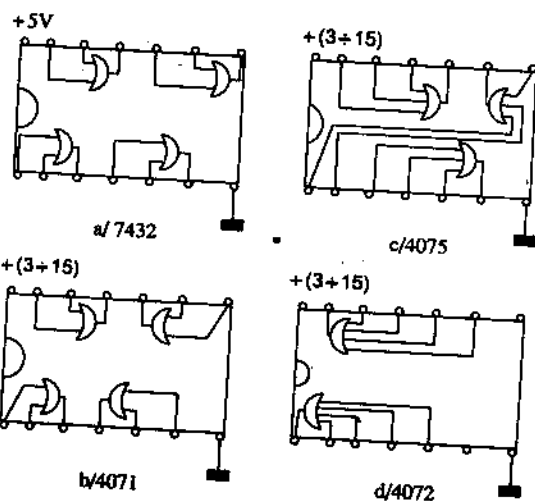


Hình 3.14: Cổng OR dùng tranzito

Như vậy, chỉ cần một tranzito thông hoặc cả hai tranzito thông thì đầu ra Y có thế dương ($Y = 1$).

c) Cổng OR dùng IC

Một số ví dụ về cổng OR dùng IC biểu thị trên hình 3.15:



Hình 3.15: Các cổng OR dùng IC

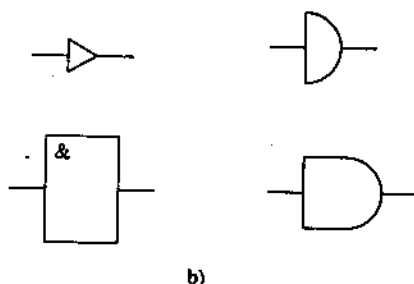
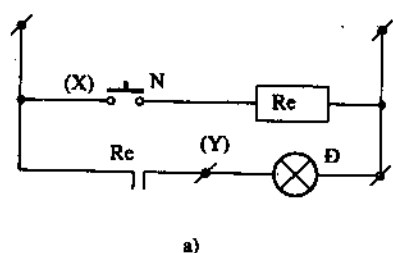
3.2.3. Phần tử LẬP (YES) hay ĐỆM (BUFFER)

Sơ đồ hình 3.16a cho ý nghĩa về phần tử LẬP. Khi ấn nút N, role Re sẽ tác động và đóng tiếp điểm, đèn Đ sáng. Khi thôi ấn nút N, role Re thôi tác động và đèn Đ tắt. Phép lập trong mạch tiếp điểm tương đương với tiếp điểm thường mở.

Bảng 3.6: Bảng chân lý của phần tử YES

X	Y
0	0
1	1

Bảng 3.6 là bảng chân lí của phần tử YES và kí hiệu của phần tử YES được biểu thị ở hình 3.16b.

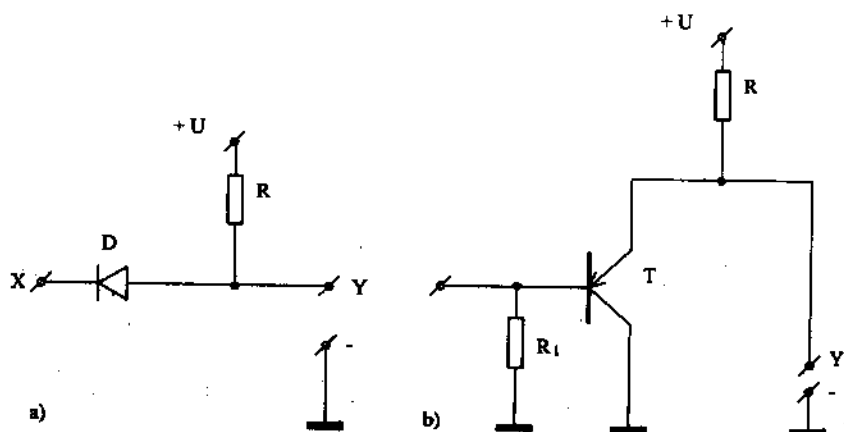


Hình 3.16: Sơ đồ mạch tiếp điểm tương đương với phần tử YES (a) và kí hiệu phần tử YES (b).

Hàm Boole của phần tử YES là:

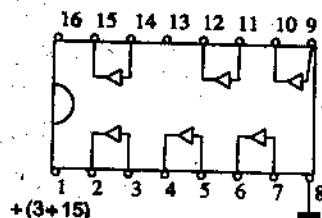
$$Y = X \quad (3.5)$$

Sơ đồ nguyên lí mạch YES dùng diốt hoặc tranzito như trên hình 3.17.

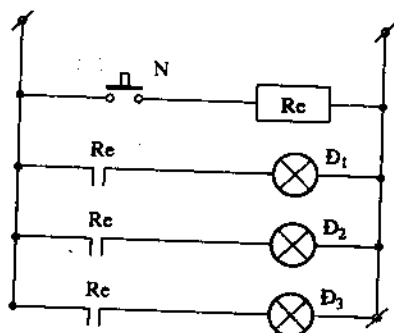
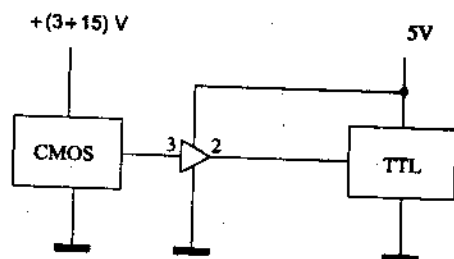
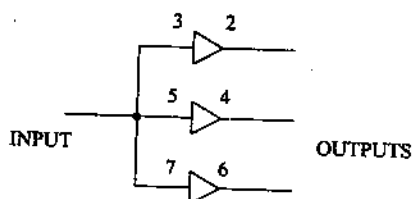


Hình 3.17: Sơ đồ nguyên lí mạch YES dùng diốt (a) và tranzito (b)

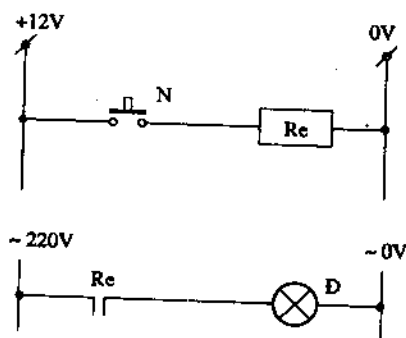
Hình 3.18 là sơ đồ minh hoạ một IC chứa các cổng Buffer. Đó là các bộ đệm không đảo. Các buffer có thể dùng để mở rộng đầu ra (hay nhân đầu ra) như hình 3.19a hoặc dùng để ghép phối (interface) giữa các IC khác nguồn nuôi từ CMOS sang TTL (hình 3.19b). Hình phía dưới là mạch tiếp điểm tương ứng.



Hình 3.18 : IC 4050



a)



b)

Hình 3.19: Bộ mở rộng đầu ra (a) và ghép phối dùng buffer (b)

3.2.4. Phần tử ĐẢO (NOT)

Phần tử ĐẢO còn gọi là phần tử KHÔNG hoặc phần tử ĐẢO CÓ ĐỆM (inverter buffer, thường viết là inverter).

Trạng thái logic của đầu vào và đầu ra của phần tử ĐẢO luôn ngược nhau nên phần tử này có bảng chân lí như bảng 3.7 và hàm Boole biểu thị phép phủ định (hay nghịch đảo) là:

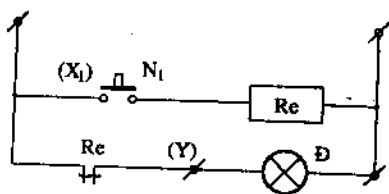
$$Y = \bar{X} \quad (3.6)$$

Bảng 3.7: Bảng chân lí của phần tử NOT

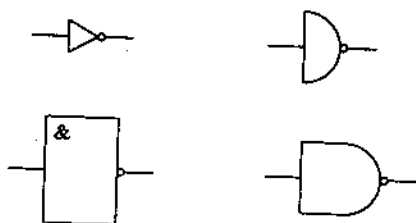
X	Y
0	1
1	0

Mạch tiếp điểm làm nhiệm vụ phần tử đảo như trên hình 3.20a. Tín hiệu vào luôn được biến đổi thành tín hiệu ra đối lập, nghĩa là trở thành phần bù hay phần phủ định của tín hiệu vào. Bình thường, khi chưa ấn nút N ($X = 0$) thì đèn Đ sáng ($Y = 1$). Khi ấn nút N ($X = 1$), rơ le Re tác động, tiếp điểm thường đóng của rơ le mở và đèn Đ tắt ($Y = 0$). Phép phủ định trong mạch tiếp điểm tương đương với tiếp điểm thường đóng.

Kí hiệu cổng NOT (hay INVERTER) như trên hình 3.20b. Cổng NOT dùng tranzito có thể thực hiện theo sơ đồ trên hình 3.21. Khi cho xung dương vào đầu X ($X = 1$) thì tranzito T thông và thế đầu ra (thế collector của T) âm ($Y = 0$), nghĩa là tín hiệu ra là phủ định của tín hiệu vào.



a)



b)

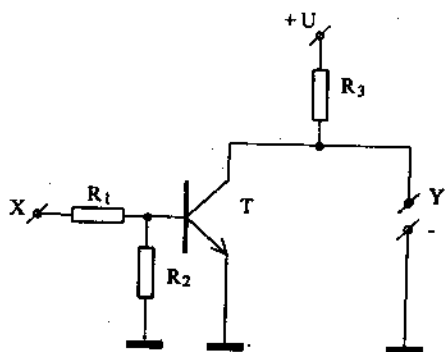
Hình 3.20: Sơ đồ hàm NOT có tiếp điểm (a) và kí hiệu hàm NOT trên sơ đồ điện (b)

Để sử dụng cổng NOT trong IC, có thể lấy các IC:

- 7404 với 6 cổng NOT, nguồn nuôi 5V (hình 3.22a)

- 4049 với 6 cổng NOT, nguồn nuôi (3+15)V (hình 3.22b)

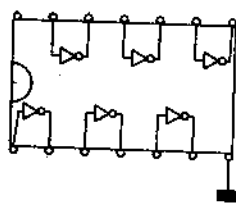
Phần tử NOT có thể tạo ra nhờ dùng tranzito trường loại MOSFET kiểu bù (CMOS: Complementary Metal-Oxide Semiconductor).



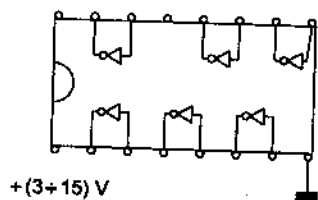
Hình 3.21: Sơ đồ cổng NOT dùng tranzito

CMOS là loại cấu trúc dùng một tranzito có kênh dẫn loại P kết hợp với một tranzito có kênh dẫn loại N như trên hình 3.23.

+5V



a) 7404

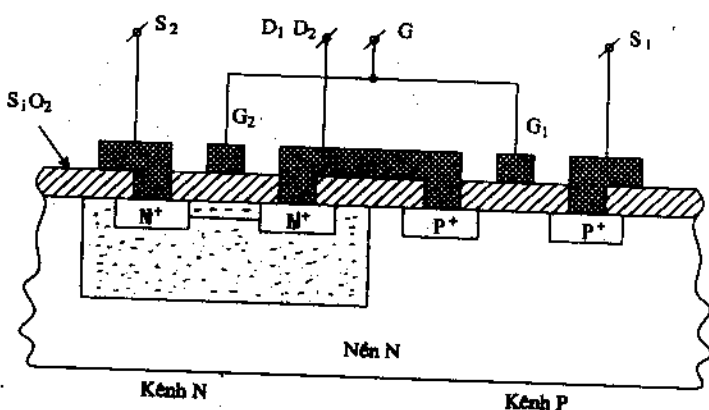


b) 4049

Hình 3.22: Các IC với cổng NOT

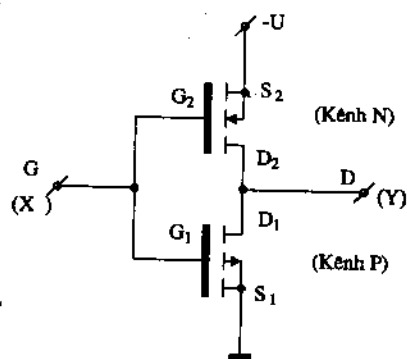
Các tranzito kênh dẫn loại P và N có cấu trúc làm việc tương tự nhau (nhờ cảm ứng điện ở cực cửa).

Cấu trúc cơ bản của CMOS là một cổng NOT (hình 3.24). Khi đầu vào X có thể âm (-U), tranzito

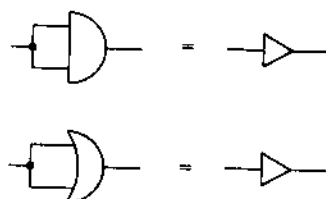


Hình 3.23: Cấu trúc của CMOS

kênh P dẫn mạch, tranzito kênh N khoá, đầu ra $Y = 0$. Ngược lại, khi đầu vào là 0V, tranzito kênh P khoá, tranzito kênh N dẫn mạch, do đó, đầu ra ở mức (-U). Vì luôn luôn có một tranzito khoá nên công suất tiêu thụ rất nhỏ.



Hình 3.24: Cổng NOT loại CMOS



Hình 3.25: Tạo cổng YES từ cổng AND hoặc OR

Chú ý:

- Hàm YES và hàm NOT là các hàm một biến (một cửa vào)
- Cổng AND và cổng OR khi nối chung các cửa vào có thể chuyển thành cổng YES (hình 3.25).

Từ các phần tử cơ bản trên, có thể tạo ra các phần tử logic hỗn hợp khác và từ đó, việc tạo dựng các hệ logic thuận tiện hơn.

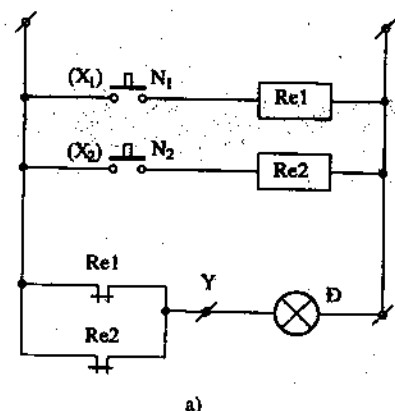
Sau đây là một số phần tử logic hỗn hợp thông dụng :

3.2.5. Phần tử NAND (VÀ-KHÔNG)

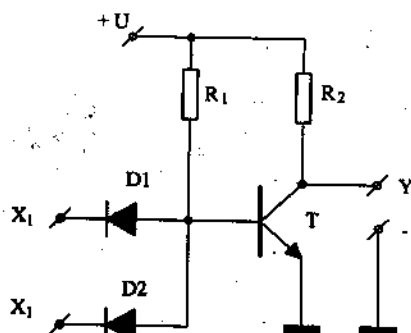
Phần tử này thực hiện phép phủ định của AND (tích logic) nên biểu thức Boole là:

$$Y = \overline{X_1 X_2} = \overline{X_1} + \overline{X_2} \quad (3.7)$$

Bảng 3.8 là bảng chân lí của phần tử NAND. Đầu ra Y là đảo so với bảng 3.3.



a)



b)

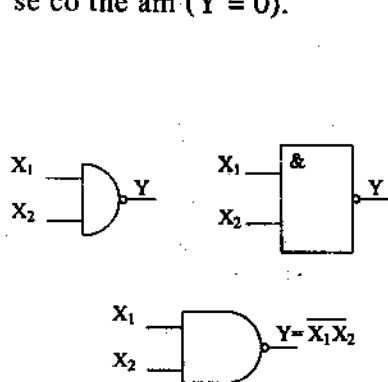
Hình 3.26: Sơ đồ mạch tiếp điểm (a) và không tiếp điểm (b) của hàm NAND

Mạch tiếp điểm thực hiện chức năng hàm NAND như hình 3.26a. Đèn Đ tắt ($Y = 0$) khi ấn cả hai nút ấn N_1 và N_2 ($X_1 = X_2 = 1$). Như biểu thức (3.7), phần tử NAND tương ứng với OR của hai phần tử NOT (hai tiếp điểm thường đóng mắc song song). Hãy so sánh kĩ hình 3.4 và 3.26.

Mạch không tiếp điểm thực hiện chức năng hàm NAND như trên hình 3.26b. Khi cả hai đầu vào X đều có xung dương ($X_1 = X_2 = 1$) thì tranzito T sẽ thông, vì thế base dương. Đầu ra Y sẽ có thế âm ($Y = 0$).

Bảng 3.8: Bảng chân lí của cổng NAND

X_1	X_2	Y
0	0	1
0	1	1
1	0	1
1	1	0

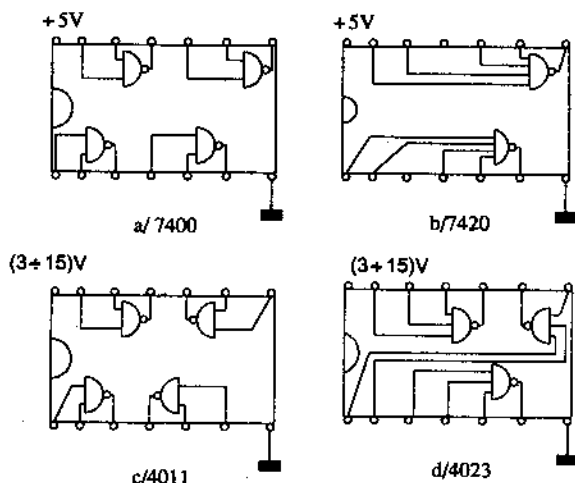


Hình 3.27: Kí hiệu phần tử NAND hai cửa vào

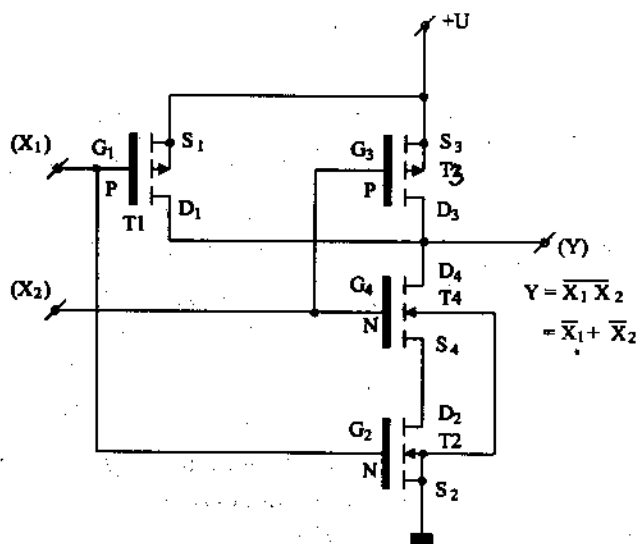
Hình 3.27 là kí hiệu của phần tử NAND hai cửa vào.

Hình 3.28 cho các ví dụ về IC phổ biến chứa cổng NAND.

Cổng NAND được tạo dựng từ CMOS như trên hình 3.29. Lí luận như mạch NOT (hình 3.24), ta thấy khi tranzito kênh N làm việc thì tranzito kênh P ngưng và ngược lại. Khi một trong các đầu vào hoặc cả hai có thế thấp, thì tranzito kênh N tương ứng



Hình 3.28: Ví dụ về các IC chứa cổng NAND



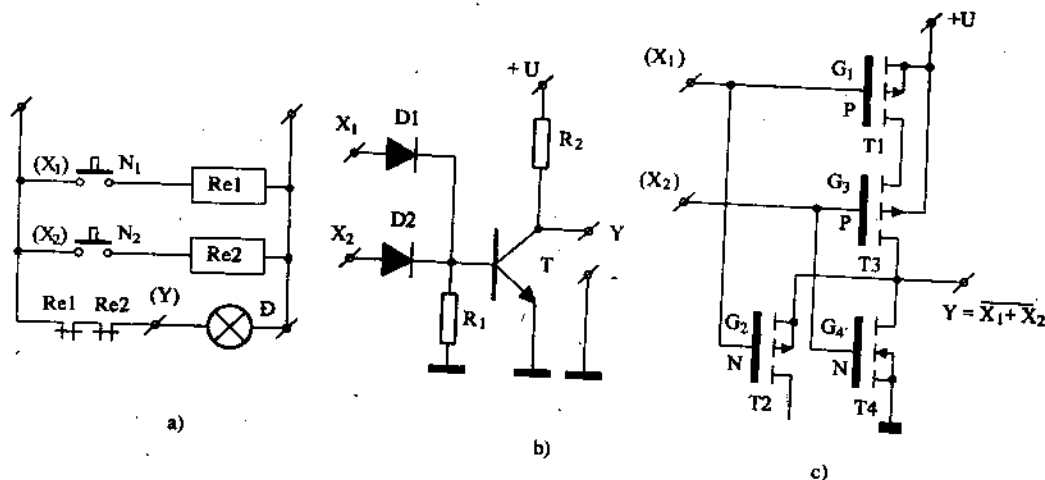
Hình 3.29: Cổng NAND dùng CMOS

khoá và đầu ra Y không thông xuống mát nên Y có thể cao ($Y = 1$). Khi $X_1 = X_2 = 1$ thì T_2, T_4 thông và $Y = 0$.

3.2.6. Phân tử NOR (HOẶC - KHÔNG)

Phân tử này thực hiện phép phủ định của OR (tổng logic) nên biểu thức Boole là:

$$Y = \overline{X_1 + X_2} = \overline{X_1} \cdot \overline{X_2} \quad (3.8)$$

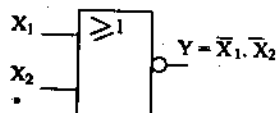
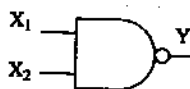
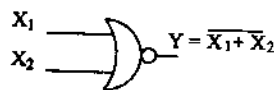
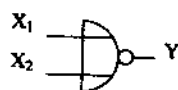


Hình 3.30: Mạch thực hiện hàm NOR

Bảng 3.9 là bảng chân lí của cổng NOR. Mạch tiếp điểm thực hiện chức năng hàm NOR như trên hình 3.30a. Đèn tắt khi ấn nút N_1 hoặc N_2 hoặc cả hai nút.

Bảng 3.9: Bảng chân lí của cổng NOR

X_1	X_2	Y
0	0	1
0	1	0
1	0	0
1	1	0



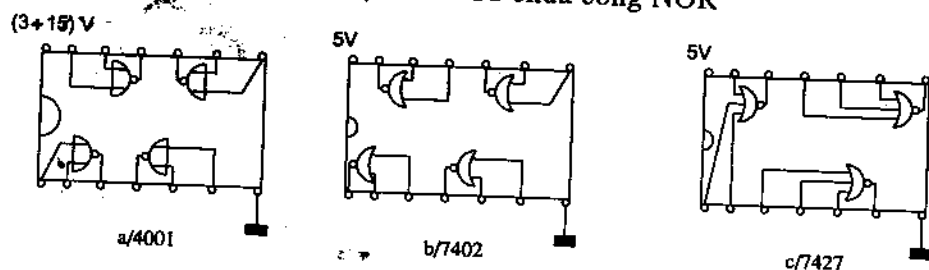
Hình 3.31. Ký hiệu của phân tử NOR

Mạch không tiếp điểm thực hiện chức năng hàm NOR như trên hình 3.30b. Chỉ cần đầu vào X_1 hoặc X_2 hoặc cả hai có xung dương là tranzito T thông, đầu ra Y sẽ có thể âm ($Y = 0$).

Hình 3.30c là cổng NOR dùng CMOS. Khi có ít nhất một đầu vào có thể dương (hoặc X_1 hoặc X_2) hoặc cả hai đầu vào đều có thể dương thì hoặc T_2 , hoặc T_4 hoặc cả T_2 và T_4 thông mạch và đầu ra $Y = 0$. Khi cả hai đầu vào $X_1 = X_2 = 0$ thì T_2 và T_4 khoá, còn T_1 và T_3 thông nên $Y = 1$.

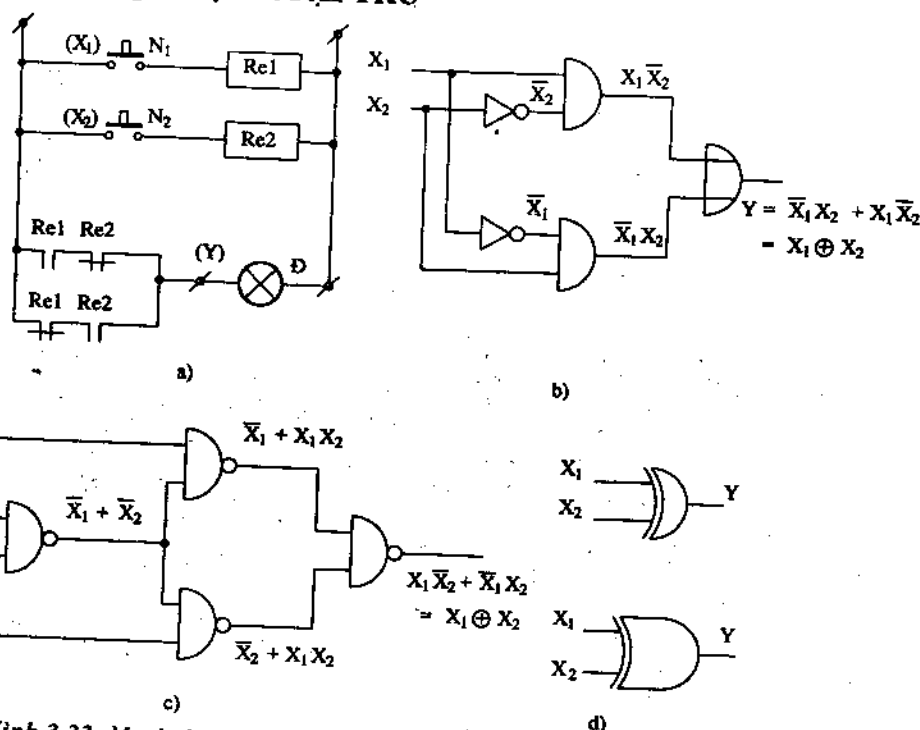
Hình 3.31 là kí hiệu của phần tử NOR

Hình 3.32 là những ví dụ về các IC chứa cổng NOR



Hình 3.32: Ví dụ về các IC chứa cổng NOR

3.2.7. Cổng HOẶC LOẠI TRỪ



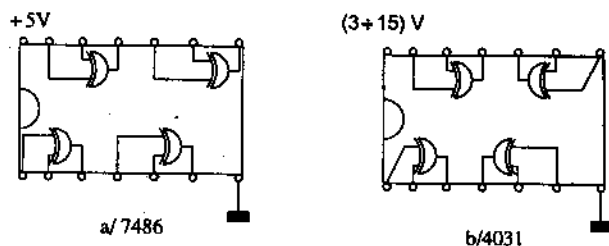
Hình 3.33: Mạch thực hiện chức năng hàm XOR (a, b, c) và kí hiệu phần tử XOR

Cổng HOẶC LOẠI TRỪ (XOR = EXOR = EXCLUSIVE OR) còn gọi là cổng không đồng trị có bảng chân lí là bảng 3.10. Bảng chân lí của XOR (bảng 3.10) khác với bảng chân lí của OR (bảng 3.5) ở trường hợp cuối cùng.

Đó là, khi hai đầu vào đều có mức logic 1 thì đầu ra của cổng OR có mức logic 1, còn đầu ra của cổng XOR có mức logic 0.

Bảng 3.10: Bảng chân lý cổng XOR

X_1	X_2	Y
0	0	0
0	1	1
1	0	1
1	1	0



Hình 3.34: Ví dụ về các IC chứa cổng XOR

Vậy, cổng XOR chỉ có logic 1 ở đầu ra khi các đầu vào có các mức logic khác nhau. Khi các đầu vào có cùng mức logic (hoặc cùng 0, hoặc cùng là 1) thì đầu ra luôn có mức logic 0.

Biểu thức hàm Boole của cổng XOR là:

$$Y = X_1 \oplus X_2 = X_1 \overline{X_2} + \overline{X_1} X_2 \quad (3.9)$$

Mạch tiếp điểm thực hiện chức năng hàm XOR như trên hình 3.33a. Mạch không tiếp điểm của XOR được tạo ra từ các phần tử logic cơ bản như trên hình 3.33b hoặc tạo ra từ các cổng NAND như trên hình 3.33c. Các kết quả logic ở đầu ra có được nhờ sử dụng các biểu thức hàm Boole đã biết với lưu ý :

$$X \cdot \overline{X} = 0 \quad (3.10)$$

Hình 3.34 là hai ví dụ về IC chứa cổng XOR.

3.2.8. Cổng ĐẢO HOẶC LOẠI TRỪ

Cổng ĐẢO HOẶC LOẠI TRỪ (XNOR = EX NOR = EXCLUSIVE NOT OR) còn gọi là cổng đẳng trị với bảng chân lý là bảng 3.11.

Đầu ra Y là đảo lại của đầu ra XOR (bảng 3.10).

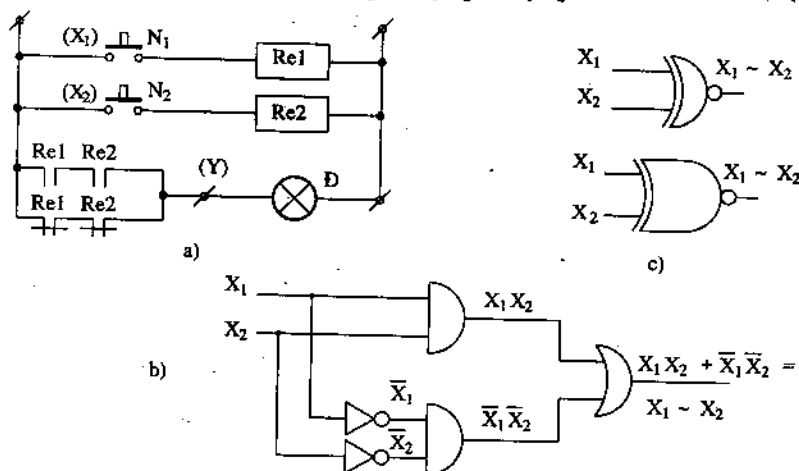
Cổng XNOR có mức logic 1 ở đầu ra chỉ khi các đầu vào có cùng mức logic (hoặc logic 0, hoặc logic 1). Khi các đầu vào có mức logic khác nhau thì đầu ra luôn có mức logic 0.

Bảng 3.11: Bảng chân lý cổng XNOR

X_1	X_2	Y
0	0	1
0	1	0
1	0	0
1	1	1

Biểu thức hàm Boole là:

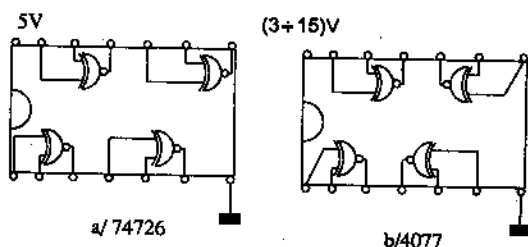
$$Y = X_1 \sim X_2 = \overline{X_1 \oplus X_2} = X_1 X_2 + \overline{X_1} \overline{X_2} \quad (3.11)$$



Hình 3.35: Mạch thực hiện chức năng hàm XNOR (a, b) và kí hiệu cổng XNOR (c)

Mạch thực hiện chức năng hàm XNOR như hình 3.35a. Sơ đồ cổng XNOR không tiếp điểm được tạo từ các phần tử logic cơ bản như hình 3.35b. Kí hiệu cổng XNOR như hình 3.35c.

Các IC chứa cổng XNOR được ví dụ trên hình 3.36.



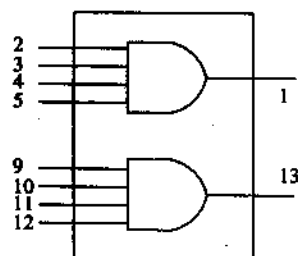
Hình 3.36: Ví dụ về IC chứa cổng XNOR

3.2.9. Một số lưu ý khi sử dụng IC chứa cổng logic

Các chân ra của IC dùng để nối với mạch ngoài, có chân là đầu vào, có chân là đầu ra. Như IC 4082 chứa hai cổng AND bốn cửa vào ở hình 3.10 có các chân đầu vào là 2-3-4-5-9-10-11-12, các chân đầu ra là 1-13, các chân nguồn là 7-14 và hai chân không dùng là 6-8. Có thể vẽ lại IC 4082 như hình 3.37, trong đó không vẽ các chân không sử dụng và các chân nguồn.

Khi sử dụng IC, ta phải lưu ý:

- Nối đúng, đủ chân nguồn
- Không nối các chân bỏ của IC
- Không nối các chân đầu ra không dùng



Hình 3.37: Các phần tử AND trong IC 4082

- Phần tử độc lập nào trong IC không dùng thì không nối các chân vào và ra của phần tử đó. Như trên hình 3.37, nếu cổng AND phía dưới không dùng thì không nối vào mạch các chân 9-10-11-12-13.

- Các chân đầu vào không dùng thì không được bỏ không mà phải nối vào mạch tùy theo từng trường hợp cụ thể. Nếu một chân vào không được nối, nó có thể bị nhiễu hoặc tự động chuyển lên mức logic 1. Đó là điều phải tránh.

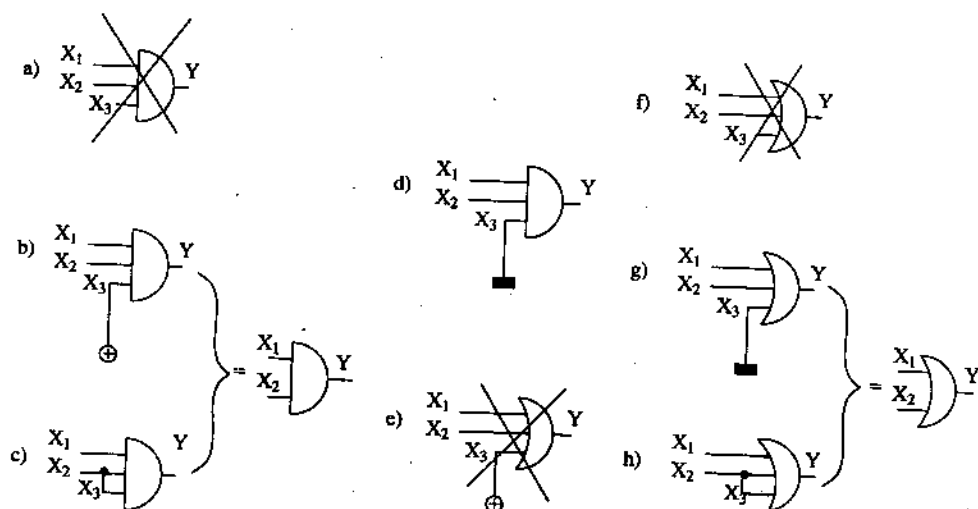
Có ba trường hợp cần đề cập:

1. Chân vào không dùng phải nối để tạo mức logic 1 hay mức logic 0 tùy theo vai trò của nó trong mạch.

Cổng AND:

Như hình 3.38a, cổng AND ba cửa vào X_1 - X_2 - X_3 có chân vào X_3 không dùng thì không được bỏ lửng mà phải nối như hình 3.38b hoặc 3.38c. Lúc đó, cổng AND ba cửa vào sẽ giống như cổng AND hai cửa vào.

Không bao giờ nối chân vào không dùng của cổng AND như hình 3.38d vì đầu ra sẽ luôn ở mức logic 0 (độc giả có thể tự suy kết quả).



Hình 3.38 : Cách nối chân vào không dùng của cổng VÀ và HOẶC

Cổng OR: Như hình 3.38f, cổng OR ba cửa vào X_1 - X_2 - X_3 có chân vào X_3 không dùng thì không được bỏ lửng mà phải nối như hình 3.38g hoặc 3.38h. Lúc đó, cổng OR ba cửa vào sẽ giống như cổng AND hai cửa vào.

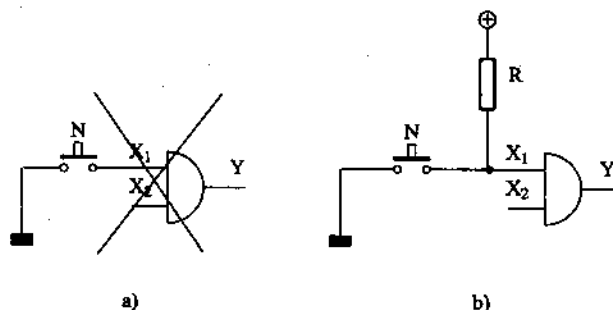
Không bao giờ nối chân vào không dùng của cổng OR như hình 3.38e vì đầu ra sẽ luôn ở mức logic 1.

2. Khi một chân vào của cổng AND bình thường phải ở mức logic 1, còn khi làm việc phải đưa về mức logic 0 thì không được nối như hình 3.39a vì khi không ấn nút chân đó sẽ bị "treo lửng" mà cần phải nối như hình 3.39b. Khi đó, chân sẽ có mức logic 1 lúc bình thường, còn khi ấn nút N sẽ có mức logic 0.

Với IC họ 74.. thì R thường là $4,7\text{ k}\Omega$

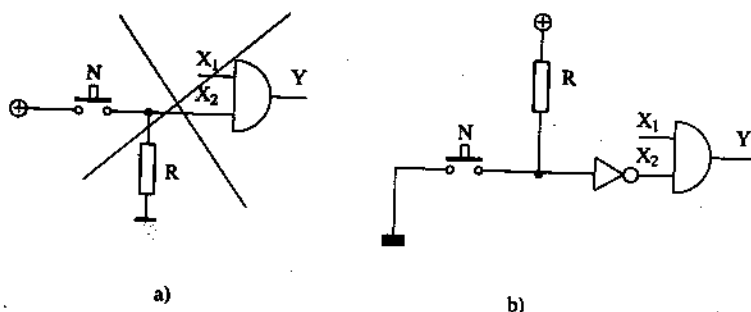
Với IC họ 40.. thì R thường là $(4,7 \div 22)\text{ k}\Omega$.

Các giá trị điện trở chọn phải đảm bảo nguồn không bị ảnh hưởng khi ấn nút N.



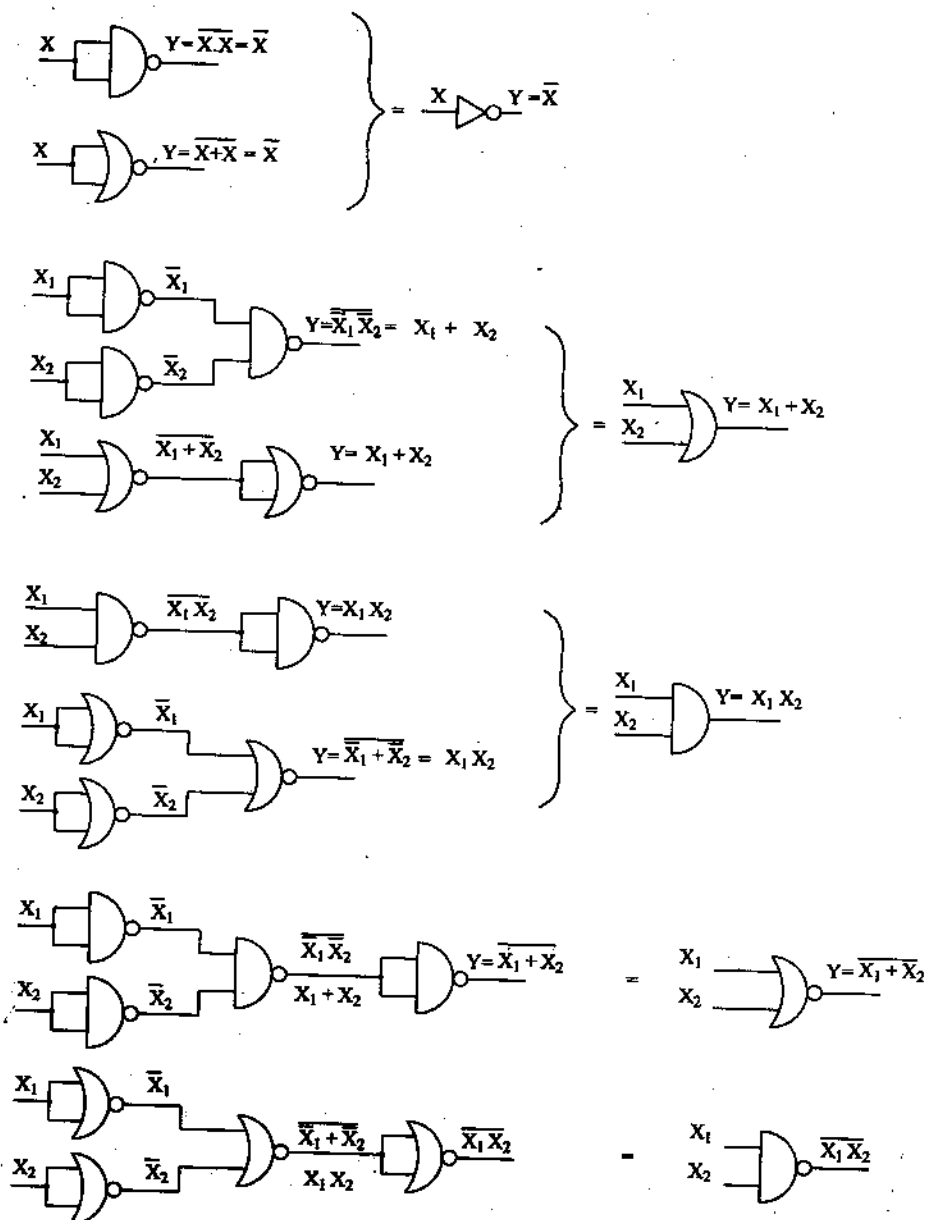
Hình 3.39: Cách nối chân cổng AND cần chuyển từ logic 1 về logic 0

3. Khi một chân vào của cổng AND bình thường phải ở mức logic 0, còn khi làm việc phải đưa về mức logic 1 thì không thể tương tự như trên mà nối theo hình 3.40a vì mức logic 0 sẽ không đảm bảo tin cậy. Cần phải nối như hình 3.40b.



Hình 3.40: Cách nối chân cổng AND cần chuyển từ logic 0 lên logic 1

Tóm lại, từ một số cổng logic này có thể ghép nối để chuyển thành một cổng logic khác. Bạn đọc có thể tự suy luận trên hình 3.41.



Hình 3.41: Một vài cách chuyển đổi cổng logic

3.3. CÁC MẠCH LÓGIC TỔ HỢP

Các mạch logic tổ hợp (Combinational Logic) thường được chế tạo dưới dạng IC. Mạch được cấu trúc từ các cổng logic nhằm thực hiện một chức năng nào đó.

- Trong các khâu biến đổi tín tức, mạch logic tổ hợp thực hiện các chức năng mã hoá, giải mã, chuyển đổi từ mã hệ đếm này sang mã hệ đếm khác.

- Trong các khâu gia công tin tức, mạch logic tổ hợp thực hiện các chức năng tạo hàm, chọn kênh, phân kênh, làm các phép tính số học.v.v...

Ta xét một số mạch logic tổ hợp đơn giản và thông dụng nhất.

3.3.1. Bộ mã hoá (Encoder) số thập phân sang nhị phân (mã hoá BCD)

Xét hệ nhị phân BCD-8421. Trong hệ này, theo bảng 3.2, mười số $0 \div 9$ được biểu thị qua các số nhị phân bốn bit và có thể viết lại như bảng 3.12.

Bảng 3.12

Hệ đếm mười	Hệ đếm hai			
Số thập phân	Mã BCD - 8421			
	A_3	A_2	A_1	A_0
0	0	0	0	0
1	0	0	0	1
2	0	0	1	0
3	0	0	1	1
4	0	1	0	0
5	0	1	0	1
6	0	1	1	0
7	0	1	1	1
8	1	0	0	0
9	1	0	0	1

Để mã hoá số thập phân thành mã BCD-8421, ta dùng sơ đồ như hình 3.42a. Sơ đồ mã hoá có mười đầu vào và bốn đầu ra. Bình thường, các đầu vào có mức logic 0, các đầu ra ở bốn cổng OR có mức logic 0. Khi cần mã hoá số thập phân nào thì đầu vào tương ứng phải đưa lên mức logic 1. Chẳng hạn, khi mã hoá số 5 thì đầu vào 5 có mức logic 1, các đầu ra của bốn cổng OR sẽ có mức: $A_3 = A_1 = 0$; $A_2 = A_0 = 1$, nghĩa là: $5_{10} = 0101_2$

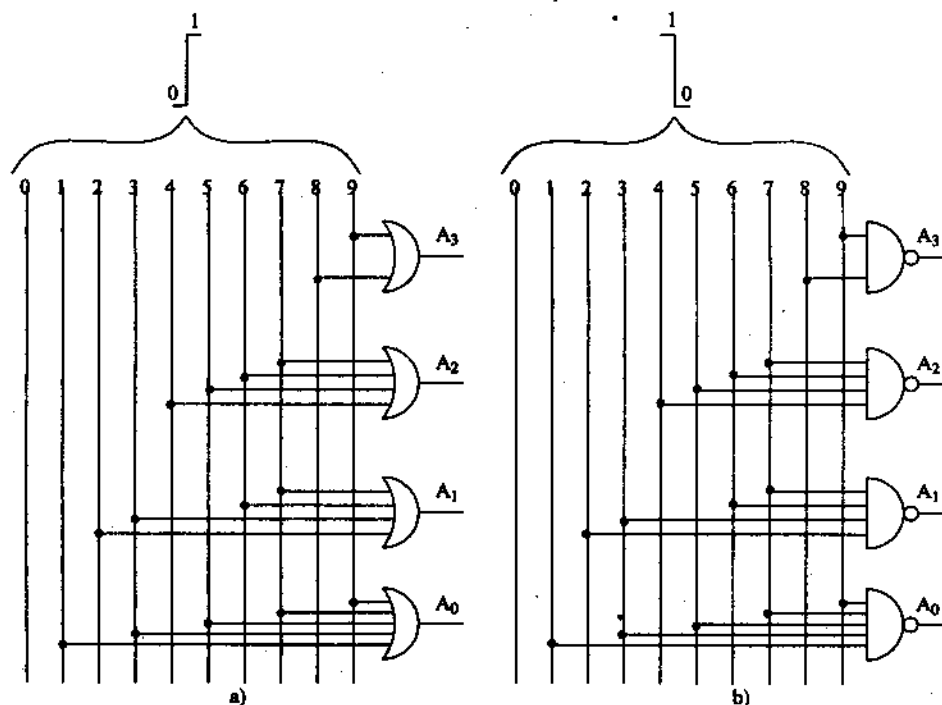
Bảng 3.13: Bảng chân lý bộ mã hoá nhị - thập phân BCD-8421

Đầu vào										Đầu ra			
0	1	2	3	4	5	6	7	8	9	A_3	A_2	A_1	A_0
1	0	0	0	0	0	0	0	0	0	0	0	0	0
0	1	0	0	0	0	0	0	0	0	0	0	0	1
0	0	1	0	0	0	0	0	0	0	0	0	1	0
0	0	0	1	0	0	0	0	0	0	0	0	1	1
0	0	0	0	1	0	0	0	0	0	0	1	0	0
0	0	0	0	0	1	0	0	0	0	0	1	0	1
0	0	0	0	0	0	1	0	0	0	0	1	1	0
0	0	0	0	0	0	0	1	0	0	0	1	1	1
0	0	0	0	0	0	0	0	1	0	1	0	0	0
0	0	0	0	0	0	0	0	0	1	1	0	0	1

Chú ý: Các đầu vào là không đồng thời, nghĩa là không bao giờ để xảy ra trường hợp có số đầu vào là 2 (hoặc lớn hơn 2) cùng có mức logic 1.

Bảng chân lí bộ mã hoá này cho trên bảng 3.13.

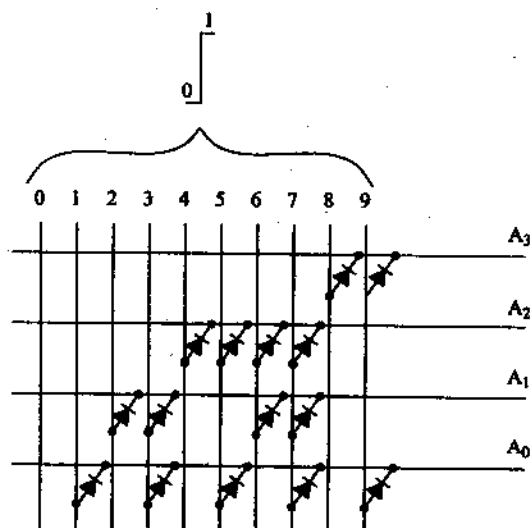
Cũng có thể mã hoá theo sơ đồ hình 3.42b. Ở sơ đồ này, bình thường các đầu vào có mức logic 1. Khi mã hoá số thập phân nào (đầu vào chuyển về mức logic 0) thì đầu ra tương ứng sẽ chuyển về mức logic 1. Bảng chân lí của sơ đồ cho trên bảng 3.14.



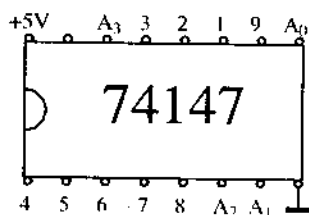
Hình 3.42: Mạch mã hoá hệ thập phân bằng mã BCD - 8421

Bảng 3.14:

Đầu vào										Đầu ra			
0	1	2	3	4	5	6	7	8	9	A ₃	A ₂	A ₁	A ₀
0	1	1	1	1	1	1	1	1	1	0	0	0	0
1	0	1	1	1	1	1	1	1	1	0	0	0	1
1	1	0	1	1	1	1	1	1	1	0	0	1	0
1	1	1	0	1	1	1	1	1	1	0	0	1	1
1	1	1	1	0	1	1	1	1	1	0	1	0	0
1	1	1	1	1	0	1	1	1	1	0	1	0	1
1	1	1	1	1	1	0	1	1	1	0	1	1	0
1	1	1	1	1	1	1	0	1	1	0	1	1	1
1	1	1	1	1	1	1	1	0	1	1	0	0	0
1	1	1	1	1	1	1	1	1	0	1	0	0	1



Hình 3.43 : Ma trận điốt mã hoá hệ mười sang BCD - 8421



Hình 3.44: IC mã hoá hệ mười sang BCD - 8421

Có thể thay các phần tử OR ở hình 3.42 bằng các điốt (gọi là ma trận điốt) như sơ đồ mạch mã hoá trên hình 3.43.

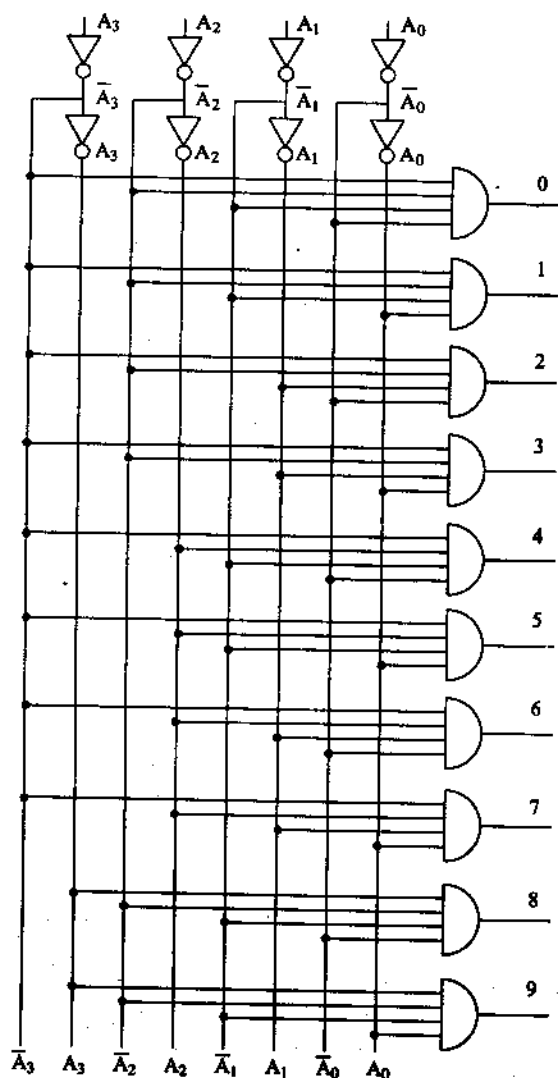
IC mã hoá hệ đếm mười sang hệ BCD - 8421 được ví dụ trên hình 3.44 là IC 74147. Bảng chân lí của IC này là bảng 3.15.

Bảng 3.15:

Đầu vào									Đầu ra			
1	2	3	4	5	6	7	8	9	A ₃	A ₂	A ₁	A ₀
1	1	1	1	1	1	1	1	1	1	1	1	1
0	1	1	1	1	1	1	1	1	1	1	1	0
1	0	1	1	1	1	1	1	1	1	1	0	1
1	1	0	1	1	1	1	1	1	1	1	0	0
1	1	1	0	1	1	1	1	1	1	0	1	1
1	1	1	1	0	1	1	1	1	1	0	1	0
1	1	1	1	1	0	1	1	1	1	0	0	1
1	1	1	1	1	1	0	1	1	1	0	0	0
1	1	1	1	1	1	1	0	1	0	1	1	1
1	1	1	1	1	1	1	1	0	0	1	1	0

Từ bảng này có thể thấy, bình thường các đầu vào có mức logic 1. Khi một đầu vào số thập phân nào đó chuyển về mức logic 0 thì các đầu ra sẽ biểu thị số nhị phân 4 bit tương ứng với số thập phân đó nhưng với các mức logic ngược lại. Vậy, các đầu ra phải được nối với các cổng NOT để có kết quả như bảng 3.15.

3.3.2. Bộ giải mã (Decoder) nhị phân sang thập phân



Hình 3.45: Mạch giải mã BCD - 8421 $\rightarrow$ 10

$$0_{10} = 0000_2 \rightarrow 0 = \bar{A}_3 \bar{A}_2 \bar{A}_1 \bar{A}_0$$

$$1_{10} = 0001_2 \rightarrow 1 = \bar{A}_3 \bar{A}_2 \bar{A}_1 A_0$$

$$2_{10} = 0010_2 \rightarrow 2 = \bar{A}_3 \bar{A}_2 A_1 \bar{A}_0$$

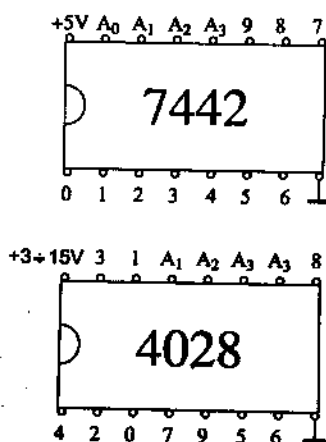
...

$$8_{10} = 1000_2 \rightarrow 8 = A_3 \bar{A}_2 \bar{A}_1 \bar{A}_0$$

$$9_{10} = 1001_2 \rightarrow 9 = A_3 \bar{A}_2 \bar{A}_1 A_0$$

Bộ giải mã dùng để chuyển đổi từ mã nhị phân (cụ thể là mã BCD - 8421) sang mã thập phân. Mười chữ số trong hệ thập phân tương ứng với một tổ hợp 4 bit với hai chữ số (0 và 1) trong hệ nhị phân BCD nên bộ giải mã này có 4 đầu vào và 10 đầu ra. Bảng 3.16 là bảng chân lí của bộ giải mã này.

Theo bảng 3.16, ta thấy ứng với mỗi con số (4 bit) ở mã BCD - 8421 chỉ có một con số duy nhất của hệ mười. Vậy, mạch giải mã có đặc tính hàm AND và có thể viết dưới dạng hàm logic:



Hình 3.46: IC giải mã BCD - 8421 $\rightarrow$ 10

Mười mạch AND trên tạo thành mạch giải mã như trên hình 3.45. Ví dụ đầu vào là tổ hợp: $A_3 = 0$; $A_2 = 1$; $A_1 = 1$; $A_0 = 0$ thì đầu ra tương ứng số 6 có mức logic 1 vì bốn đầu vào cổng AND₆ đều có mức logic 1.

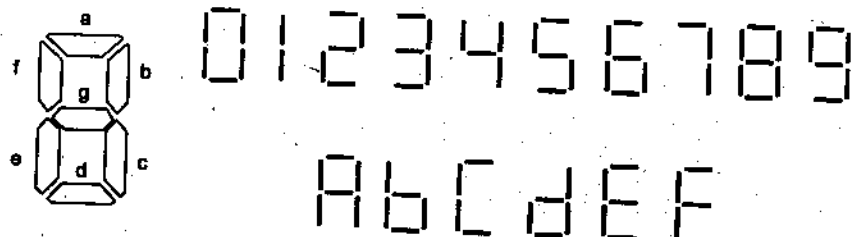
Bộ giải mã con số hệ đếm hai BCD - 8421 sang con số hệ đếm mười còn gọi là bộ giải mã 1 trong 10 (1 - of - 10 Decoder). Các IC giải mã 1 trong 10 được ví dụ trên hình 3.46 là IC 7442, 4028...

Bảng 3.16. Bảng chân lí của bộ giải mã BCD - 8421 sang hệ 10

Đầu vào				Đầu ra									
A_3	A_2	A_1	A_0	0	1	2	3	4	5	6	7	8	9
0	0	0	0	1	0	0	0	0	0	0	0	0	0
0	0	0	1	0	1	0	0	0	0	0	0	0	0
0	0	1	0	0	0	1	0	0	0	0	0	0	0
0	0	1	1	0	0	0	1	0	0	0	0	0	0
0	1	0	0	0	0	0	0	1	0	0	0	0	0
0	1	0	1	0	0	0	0	0	1	0	0	0	0
0	1	1	0	0	0	0	0	0	0	1	0	0	0
0	1	1	1	0	0	0	0	0	0	0	1	0	0
1	0	0	0	0	0	0	0	0	0	0	0	1	0
1	0	0	1	0	0	0	0	0	0	0	0	0	1

3.3.3. Bộ chuyển đổi mã BCD - 7 thanh

Để biểu thị các chữ số từ 0 ÷ 9 trong hệ đếm 10 hay từ 0 ÷ F (trong hệ đếm 16) (xem bảng 3.1), người ta thường sử dụng tập hợp 7 thanh phát sáng, kí hiệu a, b, c, d, e, f, g như hình 3.47. Mỗi chữ số cần biểu thị tương ứng với



Hình 3.47: Biểu thị các chữ số đếm theo mã 7 thanh

một số thanh phát sáng và được điều khiển nhờ các bộ chuyển đổi. Xét bộ chuyển đổi mã BCD - 8421 - 7 thanh có bảng chân lí như bảng 3.17.

Bảng 3.17: Bảng chân lí giải mã từ BCD sang 7 thanh

Đầu vào				Đầu ra							Chữ số hiển thị
A ₃	A ₂	A ₁	A ₀	a	b	c	d	e	f	g	
0	0	0	0	1	1	1	1	1	1	0	0 1 2 3 4 5 6 7 8 9
0	0	0	1	0	1	1	0	0	0	0	
0	0	1	0	1	1	0	1	1	0	1	
0	0	1	1	1	1	1	1	0	0	1	
0	1	0	0	0	1	1	0	0	1	1	
0	1	0	1	1	0	1	1	0	1	1	
0	1	1	0	1	0	1	1	1	1	1	
0	1	1	1	1	1	1	0	0	0	0	
1	0	0	0	1	1	1	1	1	1	1	
1	0	0	1	1	1	1	1	0	1	1	
1	0	1	0	1	1	1	0	1	1	1	A B C D E F
1	0	1	1	0	0	1	1	1	1	1	
1	1	0	0	1	0	0	1	1	1	0	
1	1	0	1	0	1	1	1	1	0	1	
1	1	1	0	1	0	0	1	1	1	1	
1	1	1	1	1	0	0	0	1	1	1	

Trong bảng này, các thanh được phát sáng tương ứng với mức logic 1. Hai phương pháp hiển thị phổ biến của chữ 7 thanh là:

a) Phương pháp dùng LED

Mỗi thanh được phát sáng nhờ một LED (xem mục 2.2.5b) hoặc vài LED (nếu là thanh dài, to). Bảy LED trong một chữ số 7 thanh có thể nối catốt chung hay anốt chung như hình 3.48. Ngoài ra, với mỗi phân tử hiển thị 7 thanh còn có dấu chấm dp sau chữ số để biểu thị phần lẻ (như dấu phẩy) hoặc thêm dấu (+), (-) và một số kí hiệu khác (hình 3.49).

b) Phương pháp dùng tinh thể lỏng

Hiển thị tinh thể lỏng LCD (Liquid-Crystal Display) có nhiều ưu điểm hơn hiển thị bằng LED nên hiện nay phương pháp này được dùng phổ biến. Đó là do :

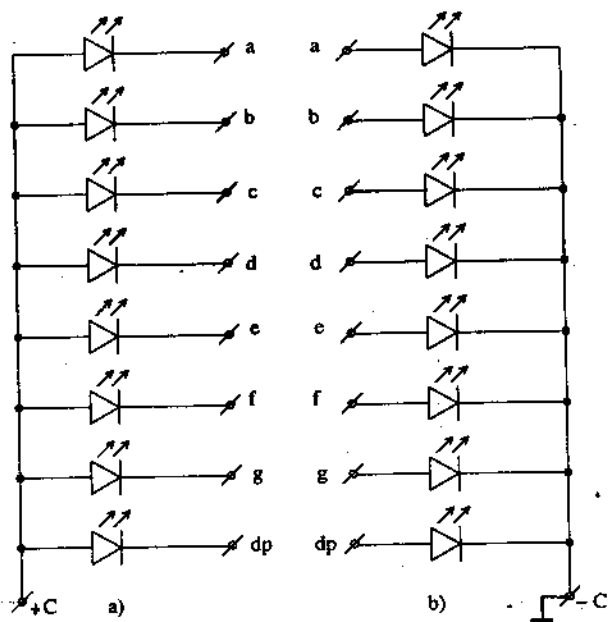
- Tiêu thụ rất ít điện năng
- Cấu trúc gọn, đẹp, độ bền cơ học cao
- Có thể điều khiển trực tiếp từ các IC

- Có thể hiển thị những dấu hiệu phức tạp.

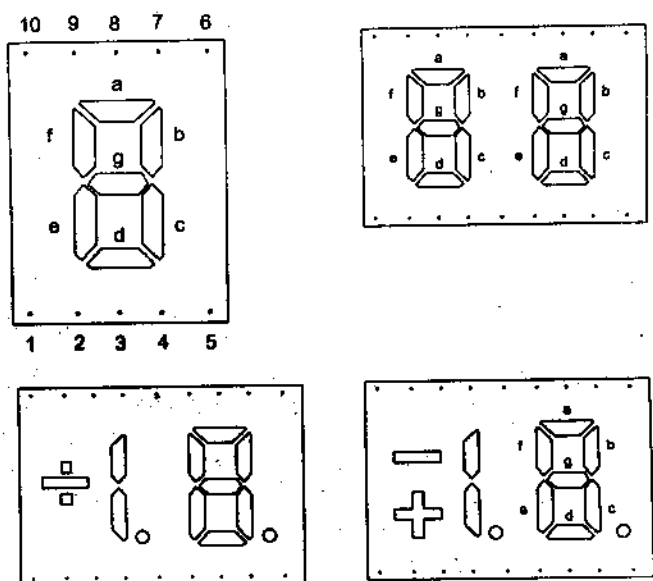
Nhược điểm của LCD là độ sáng yếu nên trời tối phải đọc nhờ ánh sáng bên ngoài.

Chỉ thị LCD được dùng nhiều ở các máy tính bấm (calculator), máy tính xách tay (computer), đồ chơi trẻ em, các đồng hồ trên xe hơi...

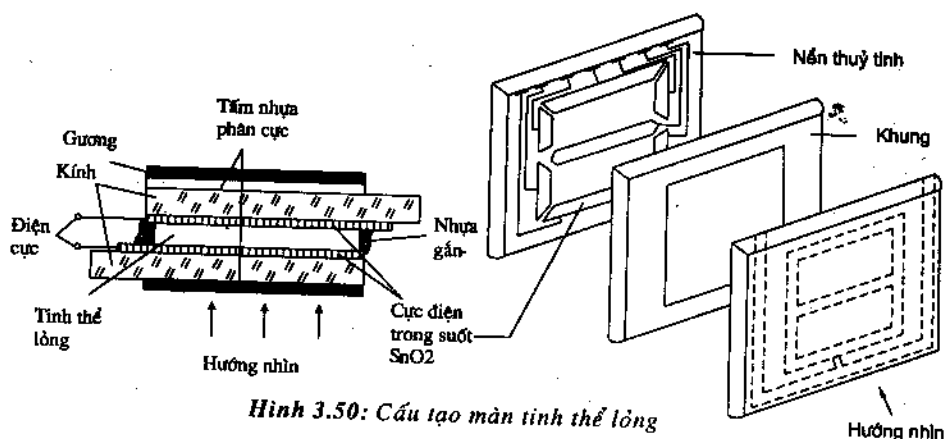
Mặt hiển thị tinh thể lỏng tạo bởi 2 tấm thủy tinh mỏng xếp song song, cách nhau khoảng 10 μm (hình 3.50). Mặt trong kính sau có tráng lớp điện cực SnO_2 trong suốt mang hình, dấu cần thể hiện. Giữa hai tấm kính là tinh thể lỏng được bao bởi một khung kín. Tinh thể lỏng là hợp chất hữu cơ đặc biệt mà khi có tác dụng của điện trường thì điện cực sẽ tối đi và mắt nhìn được hình, dấu của điện cực (màu đen) trên nền trong suốt của phần tinh thể lỏng không bị tối. Đó là trường hợp hai màng lọc phân cực góc 90° . Khi hai màng lọc phân cực song song thì có chữ số trong trên nền tối. Để rõ chữ số, loại này có đèn chiếu sáng phía sau qua tấm kính tán xạ nhằm phân bố đều ánh sáng (hình 3.51).



Hình 3.48: Cách nối LED catốt chung (b) và anốt chung (a)



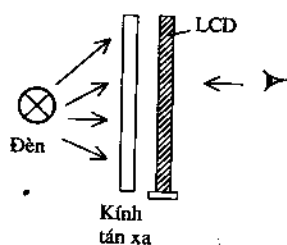
Hình 3.49: Một vài phân tử hiển thị 7 thanh



Hình 3.50: Cấu tạo màn tinh thể lỏng

Nguồn điện cấp cho các điện cực là nguồn xung vuông, tần số $30 \text{ Hz} \div 100 \text{ Hz}$, điện áp từ $3\text{V} \div 8\text{V}$ hoặc có thể rất thấp ($1,5\text{V}$).

Nếu tinh thể lỏng có trộn các hạt màu, người ta tạo được các LCD màu loại GHD-LCD (Guest-Host-Dichronic LCD). Với kỹ thuật nhiều lớp, chồng nhiều LCD một màu lên nhau, ta cũng có một LCD nhiều màu.



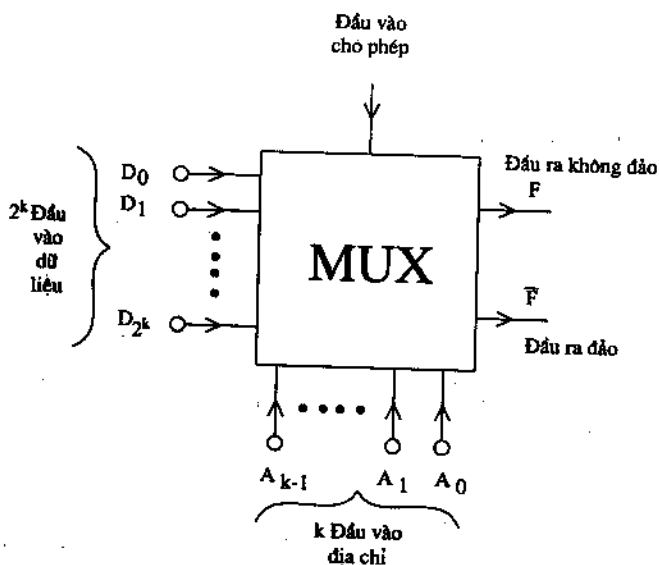
Hình 3.51: LCD hiện chữ số trong suốt

3.3.4. Bộ chọn dữ liệu

Các bộ chọn dữ liệu được chia ra hai loại: bộ chọn kênh hay dồn kênh (MUX-Multiplexer) và bộ phân kênh (DEMUX-Demultiplexer).

a) Bộ chọn kênh MUX

Bộ chọn kênh MUX là hệ logic tổ hợp có nhiệm vụ chọn ra một địa chỉ trong các địa chỉ dữ liệu đầu vào và chuyển dữ liệu ở địa chỉ đó ra đầu ra. Một bộ chọn kênh có cấu trúc như trên hình 3.52. Các đầu vào bao gồm:



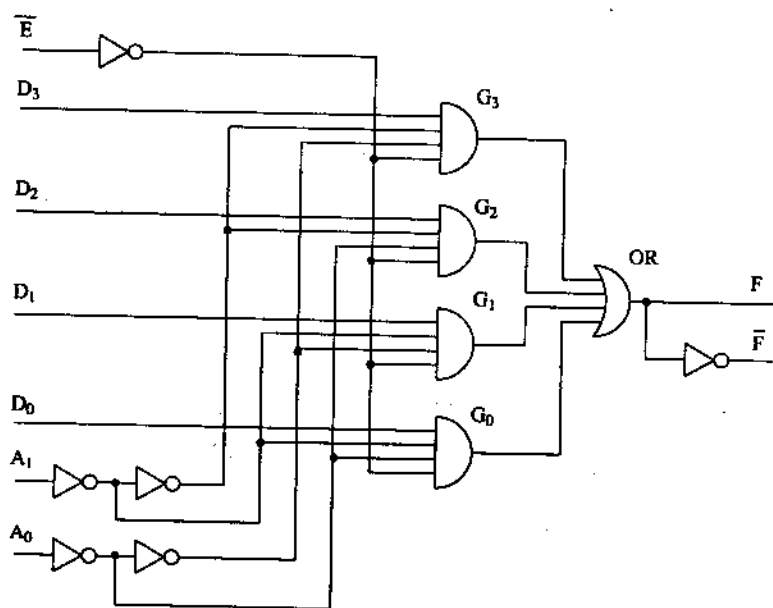
Hình 3.52: Cấu trúc bộ chọn kênh

- Các đầu vào dữ liệu: để nhập dữ liệu (đồng thời)
- Các đầu vào địa chỉ: để chọn địa chỉ dữ liệu
- Đầu vào cho phép (Enable): cho phép chuyển dữ liệu đã chọn ra đầu ra.

Bộ chọn kênh có thể có một đầu ra hoặc hai đầu ra (liên hợp với nhau). Nếu bộ chọn kênh có k đầu vào địa chỉ thì chỉ có thể chọn được một trong số tối đa 2^k đầu vào dữ liệu và được gọi là bộ chọn kênh 2^k bit.

Có thể nói, bộ chọn kênh là bộ chuyển thông tin dưới dạng song song (vào đồng thời) ở đầu vào thành nối tiếp (từng thông tin) ở đầu ra.

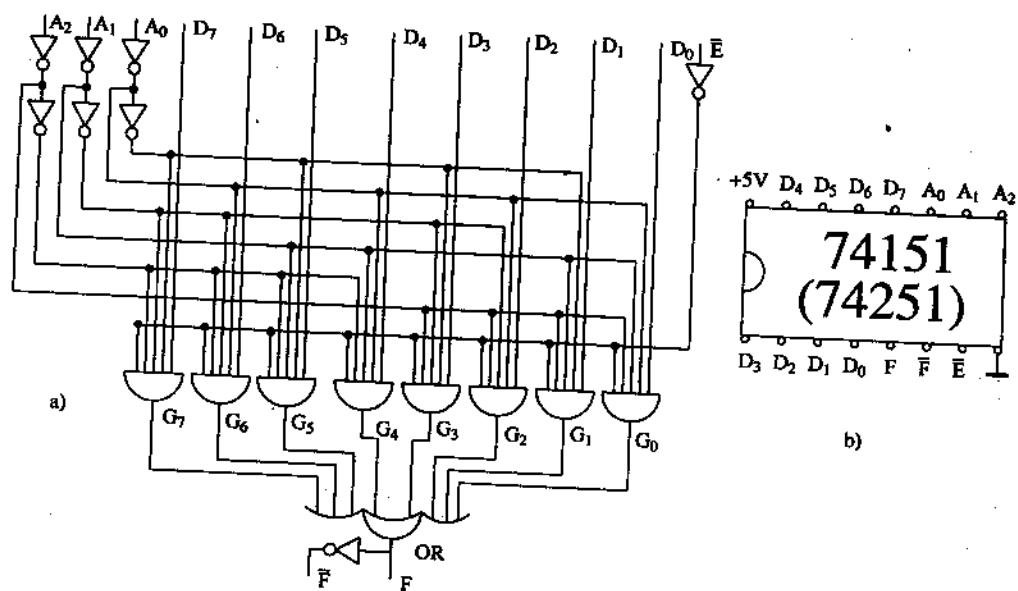
Hình 3.53 biểu thị sơ đồ logic của bộ chọn kênh 4 bit. Nguyên lý hoạt động của bộ chọn kênh gần giống bộ giải mã dưới sự điều hành của tín hiệu điều khiển $\bar{E}$. Kênh được truyền dẫn sẽ được chọn địa chỉ theo các đầu vào địa chỉ.



Hình 3.53: Sơ đồ logic của bộ chọn kênh 4 bit

Ví dụ: Cần truyền dẫn dữ liệu đầu vào $D_2 = 1$ tới đầu ra. Địa chỉ chọn $A_0 = 0$; $A_1 = 1$ và cho tín hiệu điều khiển $\bar{E} = 0$. Khi đó, 4 đầu vào cổng AND G_2 đều có mức logic 1 và đầu ra có mức logic 1, qua cổng OR có $F = 1$ ($\bar{F} = 0$), nghĩa là $D_2 = 1$ đã được chuyển ra $F = 1$. Nếu $D_2 = 0$ cần chuyển thì trong 4 đầu vào cổng AND có một đầu ở mức logic 0 và đầu ra AND G_2 có mức logic 0, dẫn đến $F = 0$ ($\bar{F} = 1$), nghĩa là $D_2 = 0$ đã được chuyển ra $F = 0$.

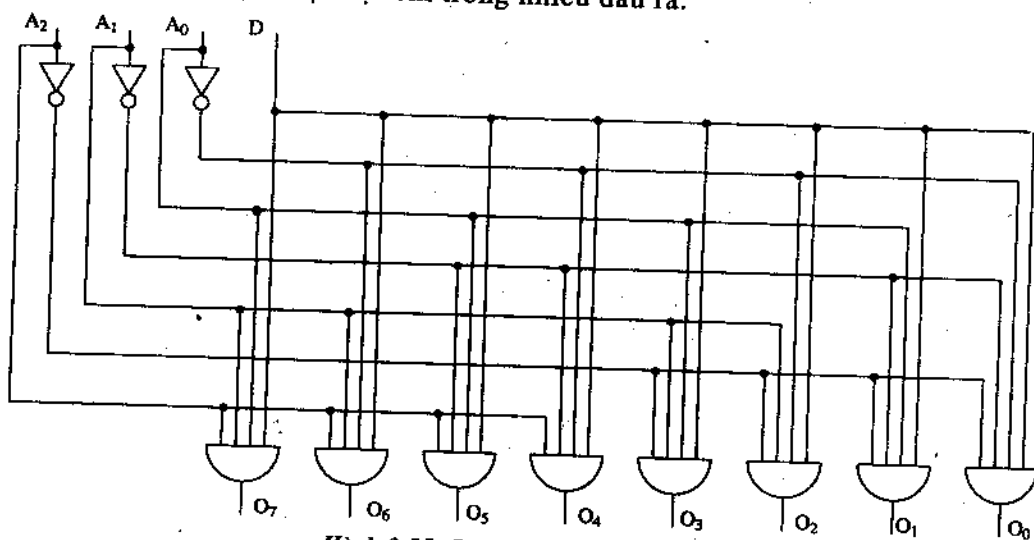
Hình 3.54 là sơ đồ logic của bộ chọn kênh 8 bit với IC tương ứng (3.54b).
 Bạn đọc có thể tự tìm hiểu mạch như một bài tập.



Hình 3.54: Sơ đồ logic của bộ chọn kênh 8 bit

b) Bộ phân kênh DEMUX

Bộ phân kênh làm nhiệm vụ đưa dữ liệu ở một đầu vào duy nhất để tới một đầu ra đã được chọn địa chỉ trong nhiều đầu ra.



Hình 3.55: Bộ phân kênh 8 đầu ra

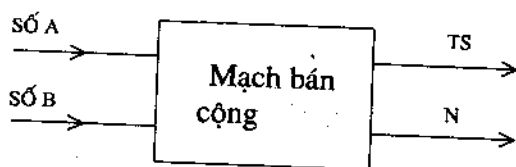
Hình 3.55 là mạch logic bộ phận kênh 8 đầu ra. lí giải hoạt động của mạch không khó khăn vì thực chất đây là mạch giải mã. Bạn đọc có thể tự tìm hiểu.

3.3.5. Các bộ số học

Trong các thiết bị tính toán và gia công tín hiệu số thường xảy ra việc phải thực hiện các phép tính số học (cộng, trừ, nhân, chia...) và phải dùng các bộ số học.

Trong phạm vi giáo trình này chỉ xem xét mạch cộng xây dựng từ các cổng logic. Có hai dạng mạch cộng là mạch bán cộng và mạch cộng toàn phần (hay cộng đầy đủ).

a) Mạch bán cộng



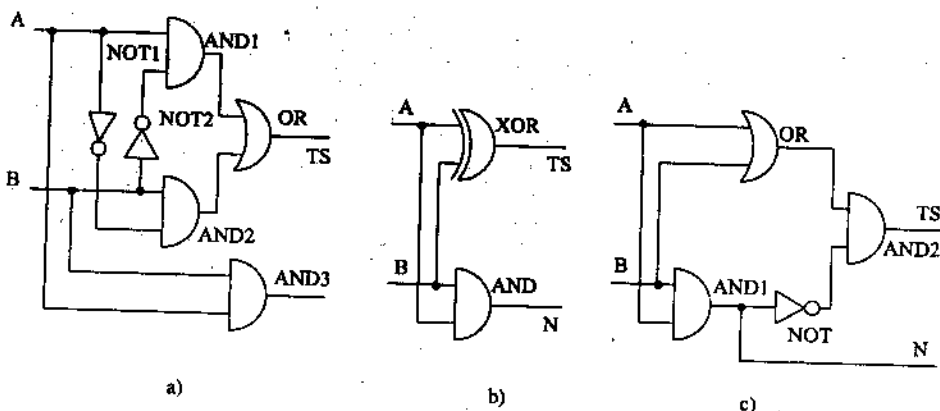
Hình 3.56: Mạch bán cộng

Bảng 3.18: Bảng chân lý mạch bán cộng

Đầu vào		Đầu ra	
A	B	TS	N
0	0	0	0
0	1	1	0
1	0	1	0
1	1	0	1

Mạch bán cộng là mạch dùng để cộng hai số nhị phân 1 bit. Mạch có hai đầu vào cho hai số cộng và hai đầu ra cho tổng số (TS) và số nhớ (N) (hình 3.56). Ba sơ đồ logic của mạch bán cộng cho trên hình 3.57 và bảng 3.18 là bảng chân lý mạch bán cộng.

Ở sơ đồ hình 3.57b, ta thấy khi $A = B = 0$ thì đầu ra của XOR là $TS = 0$ (xem bảng 3.10) còn đầu ra của AND là $N = 0$. Khi $A = 1, B = 0$ hoặc $A = 0, B = 1$ thì $TS = 1, N = 0$. Khi $A = B = 1$ thì $TS = 0, N = 1$. Bạn đọc tự giải thích tiếp hai sơ đồ hình 3.57a và 3.57c.



Hình 3.57: Sơ đồ logic mạch bán cộng

b) Mạch cộng toàn phần

Mạch cộng toàn phần (FA-Full Adder) là mạch dùng để cộng 2 số nhị phân 2 bit trở lên.

Xét phép cộng 2 số nhị phân 4 bit:

$$\begin{array}{r}
 \text{nhớ 1} \quad \text{nhớ 1} \\
 \begin{array}{cccc}
 0 & 1 & 1 & 0 \\
 + & 0 & 0 & 1 \\
 \hline
 1 & 0 & 0 & 1
 \end{array} = 6_{10} + 3_{10} = 9_{10}
 \end{array}
 \quad , \quad
 \begin{array}{r}
 \text{nhớ 1} \quad \text{nhớ 1} \quad \text{nhớ 1} \\
 \begin{array}{cccc}
 0 & 1 & 0 & 1 \\
 + & 1 & 1 & 0 \\
 \hline
 1 & 0 & 0 & 1
 \end{array} = 5_{10} + 13_{10} = 18_{10}
 \end{array}$$

└─ Tràn lên bit thứ 5

Ta cộng theo quy tắc: $0 + 0 = 0$

$$1 + 0 = 1$$

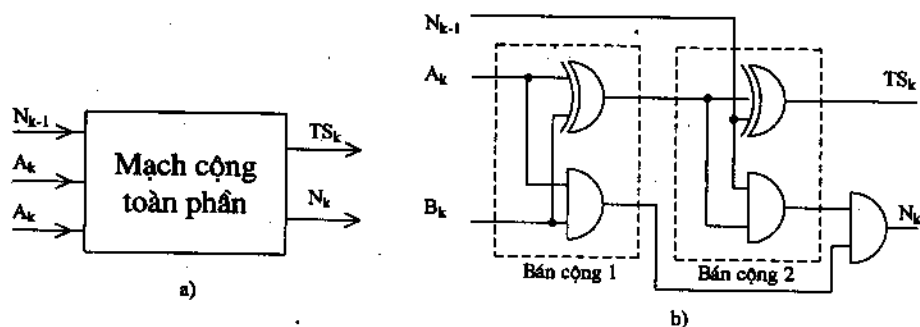
$$1 + 1 = 0 \text{ nhớ 1}$$

Như vậy, cộng hai số nhị phân tương tự cộng hai số thập phân, phải cộng các số cùng trọng số với nhau kể từ số tận cùng bên phải. Nếu tổng quá 1 thì viết 0 nhớ 1 sang cấp nhị phân cao hơn bên trái.

$$\text{Viết tổng quát: } + \begin{Bmatrix} A_3 A_2 A_1 A_0 \\ B_3 B_2 B_1 B_0 \end{Bmatrix}$$

Mạch cộng toàn phần (hình 3.58) thực hiện việc cộng các số nhị phân cùng trọng số (A_0 với B_0 , A_1 với B_1 , v.v...). Mạch có 2 đầu vào cho 2 bit A_k , B_k và đầu vào thứ 3 (N_{k-1}) cho số nhớ (nếu có) của tổng 2 bit trước đó ($A_{k-1} + B_{k-1}$). Các đầu ra là tổng số TS_k của 2 số đang cộng ($A_k + B_k$) và số nhớ N_k của tổng này (nếu có).

Trên hình 3.58b là mạch cộng toàn phần được xây dựng từ 2 mạch bán cộng và 1 cổng OR. Bảng chân lý mạch cộng toàn phần là bảng 3.19.



Hình 3.58 : Sơ đồ khối (a) và mạch logic (b) của mạch cộng toàn phần

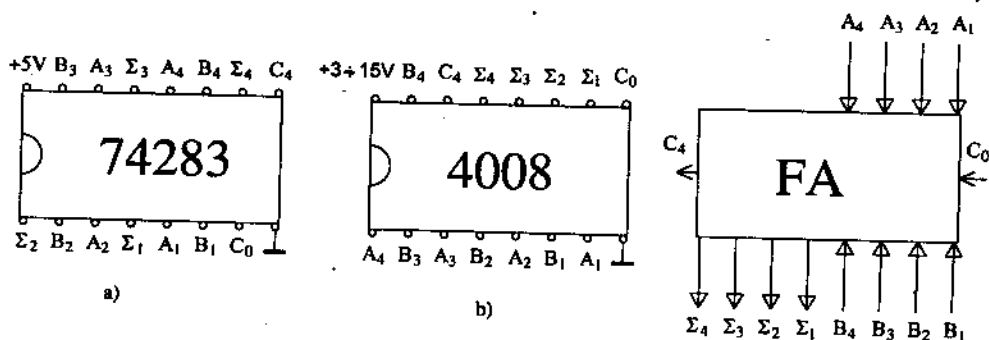
Như vậy, cộng một số nhị phân bao nhiêu bit thì cần bấy nhiêu mạch cộng toàn phần. Để cộng số nhị phân 4 bit ($A_4A_3A_2A_1$ và $B_4B_3B_2B_1$) có thể dùng IC 74283 hoặc IC 4008 (hình 3.59).

Ở các IC này, A_i, B_i là các đầu vào dữ liệu; C_0 là đầu vào nhớ từ bit nhỏ hơn tới tổng ($A_i + B_i$); Σ_i là đầu

Bảng 3.19: Bảng chân lý của mạch cộng toàn phần

	Đầu vào			Đầu ra	
	N_{k-1}	A_k	B_k	TS_k	N_k
Không có nhớ từ bit trước	0	0	0	0	0
	0	1	0	1	0
	0	0	1	1	0
	0	1	1	0	1
Có nhớ từ bit trước	1	0	0	1	0
	1	1	0	0	1
	1	0	1	0	1
	1	1	1	1	1

ra các tổng; C_4 là đầu ra nhớ của tổng ($A_4 + B_4$) tới bit cao hơn (hình 3.59c).



Hình 3.59 : Hai vi mạch cộng toàn phần 4 bit

- Nếu phép cộng được tiến hành từ bit có trọng số thấp rồi lần lượt đến bit có trọng số cao tiếp theo thì gọi là cộng kiểu nối tiếp.

- Nếu phép cộng được tiến hành đồng thời các bit thì gọi là cộng kiểu song song. Cách này cho kết quả nhanh hơn.

Để hiểu chi tiết hơn việc cộng các số cũng như các phép tính số học khác, bạn đọc cần tham khảo các tài liệu về kĩ thuật số.

3.3.6. Bộ so sánh 2 số nhị phân

Các bộ so sánh làm nhiệm vụ so sánh 2 số nhị phân cùng cấp (không dấu). Kết quả so sánh là số này lớn hơn, hoặc bằng, hoặc nhỏ hơn số kia.

Việc so sánh hai số A và B được tiến hành ở các bit A_k, B_k cùng trọng số, bắt đầu từ bit có trọng số cao nhất.

- Nếu A_k hoặc B_k lớn hơn thì kết thúc phép so sánh. Kết quả tương ứng là $A > B$ hoặc $A < B$.

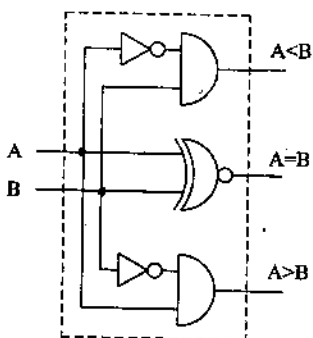
- Nếu khi so sánh được $A_k = B_k$ thì phải so sánh tiếp ở cấp có trọng số thấp hơn kế tiếp. Cách làm trên là cách so sánh nối tiếp nhau từng bit một nên tốc độ chậm. Để tăng tốc độ có thể thực hiện so sánh đồng thời từng nhóm bit rồi tổng hợp kết quả nhờ so sánh nối tiếp các nhóm từ bit cao đến thấp. IC 7485 là IC so sánh 4 bit (hình 3.61) với bảng chân lý là bảng 3.21.

Bảng 3.20: BẢNG CHÂN LÝ BỘ SO SÁNH 2 SỐ NHỊ PHÂN 1 BIT

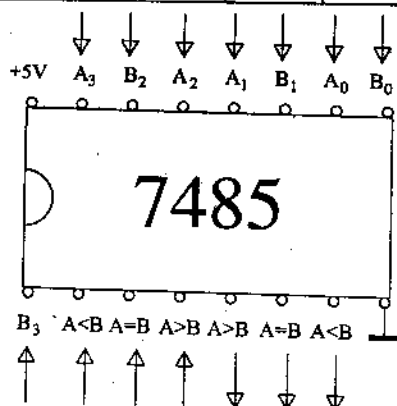
Đầu vào		Đầu ra		
A	B	A > B	A = B	A < B
0	0	0	1	0
0	1	0	0	1
1	0	1	0	0
1	1	0	1	0

Bảng 3.21: BẢNG CHÂN LÝ CỦA IC 7485 (SO SÁNH 2 SỐ 4 BIT)

Đầu vào so sánh				Đầu vào nối tiếp tầng			Đầu ra		
A_3B_3	A_2B_2	A_1B_1	A_0B_0	A > B	A = B	A < B	A > B	A < B	A = B
$A_3 > B_3$	x	x	x	x	x	x	1	0	0
$A_3 < B_3$	x	x	x	x	x	x	0	0	1
$A_3 = B_3$	$A_2 > B_2$	x	x	x	x	x	1	0	0
$A_3 = B_3$	$A_2 < B_2$	x	x	x	x	x	0	0	1
$A_3 = B_3$	$A_2 = B_2$	$A_1 > B_1$	x	x	x	x	1	0	0
$A_3 = B_3$	$A_2 = B_2$	$A_1 < B_1$	x	x	x	x	0	0	1
$A_3 = B_3$	$A_2 = B_2$	$A_1 = B_1$	$A_0 > B_0$	x	x	x	1	0	0
$A_3 = B_3$	$A_2 = B_2$	$A_1 = B_1$	$A_0 < B_0$	x	x	x	0	0	1
$A_3 = B_3$	$A_2 = B_2$	$A_1 = B_1$	$A_0 = B_0$	1	0	0	1	0	0
$A_3 = B_3$	$A_2 = B_2$	$A_1 = B_1$	$A_0 = B_0$	0	1	0	0	1	0
$A_3 = B_3$	$A_2 = B_2$	$A_1 = B_1$	$A_0 = B_0$	0	0	1	0	0	1
$A_3 = B_3$	$A_2 = B_2$	$A_1 = B_1$	$A_0 = B_0$	1	0	1	0	0	0
$A_3 = B_3$	$A_2 = B_2$	$A_1 = B_1$	$A_0 = B_0$	0	0	0	1	0	1

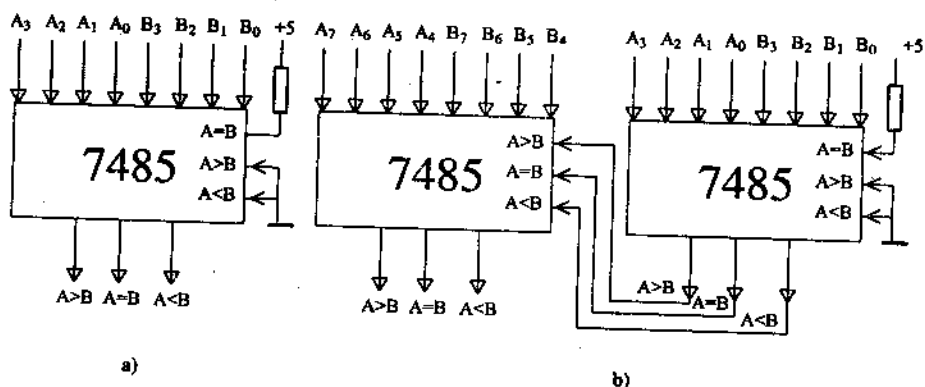


Hình 3.60 : Sơ đồ so sánh 2 số nhị phân 1 bit



Hình 3.61 : IC so sánh 7485

Để hiểu rõ hơn về mạch so sánh của IC 7485, ta có thể xem kỹ mạch so sánh 2 số 4 bit ($A_3A_2A_1A_0$, $B_3B_2B_1B_0$) và 2 số 8 bit ($A_7A_6A_5A_4A_3A_2A_1A_0$, $B_7B_6B_5B_4B_3B_2B_1B_0$) dùng IC 7485 trên hình 3.62 và đối chiếu với bảng chân lý 3.21.



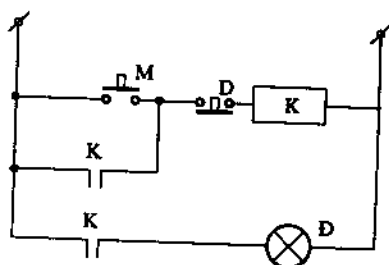
Hình 3.62 : Mạch so sánh 2 số 4 bit (a) và 8 bit (b) dùng IC 7485

3.4. TRIGO (TRIGGER)

Các phần tử logic vừa được xem xét ở trên là các phần tử không nhớ. Đó là những phần tử mà khi tín hiệu vào không còn nữa thì trong phần tử không lưu lại tín tức từ đầu vào đó nữa. Chẳng hạn, phần tử NAND có mức logic 0 ở đầu ra khi các đầu vào đều ở mức logic 1. Mức logic 0 ở đầu ra sẽ không giữ lại được nếu một trong các đầu vào hoặc một số đầu vào hoặc tất cả các đầu vào không còn ở mức logic 1.

Thực tế sử dụng trong kĩ thuật còn cần các phần tử có nhớ. Mạch tiếp điểm có nhớ đơn giản nhất chính là một công tắc cơ khí. Khi bật công tắc đóng mạch cho một đèn điện thì đèn sáng. Trạng thái đèn sáng ($Y = 1$) sẽ được nhớ sau khi bật công tắc. Muốn xoá trạng thái đèn sáng thì phải tác động bằng cách tắt công tắc.

Trên hình 3.63 trình bày một mạch tiếp điểm có nhớ khác dùng nút bấm. Khi ấn nút M, công tắc tơ K có điện, đóng mạch đèn sáng và đóng mạch tự duy trì NHỚ để sau đó, khi thôi ấn, nút M bật lên thì K vẫn có điện. Muốn tắt đèn, phải ấn nút D để cắt điện K và K thời tác động cắt điện đèn và mở mạch tự duy trì (XOÁ NHỚ). Do vậy, K không thể có điện lại, ngay cả khi thôi ấn nút D (D đóng lại như cũ).



Hình 3.63 : Mạch tiếp điểm có tự duy trì (có nhớ)

Các phần tử logic có NHỚ là các phần tử mà khi tín hiệu vào không còn nữa thì bên trong phần tử vẫn còn lưu lại tín hiệu về tín hiệu vừa mất đi trong một thời gian nào đó. Nói cách khác, tín hiệu đưa vào sẽ được NHỚ hay được lưu trữ trong phần tử đó. Thời gian nhớ tùy thuộc vào từng loại phần tử.

Phần tử nhớ tiêu biểu trong kỹ thuật số là trigơ (trigger hoặc flip-flop). Đó là thiết bị có hai trạng thái ổn định (tương ứng với hai giá trị logic 1 và logic 0) ở đầu ra. Trạng thái của trigơ có thể thay đổi nhờ tác động lên đầu vào. Trạng thái tiếp theo của trigơ phụ thuộc vào cả tín hiệu vào lẫn trạng thái mà nó đang có, nghĩa là cùng một tín hiệu vào nhưng tùy theo trạng thái trigơ đang có mà đầu ra sẽ khác nhau.

Trigơ thường có hai hoặc hơn hai đầu vào và có hai đầu ra liên hợp với nhau, nghĩa là đầu ra này là đảo của đầu ra kia.

Trigơ được phân loại như sau:

- Theo chức năng: tên gọi theo các đầu vào điều khiển như: trigơ R-S, trigơ RST, trigơ JK, trigơ T, trigơ D v.v...
- Theo phương pháp ghi thông tin vào trigơ: trigơ không đồng bộ và trigơ đồng bộ.

Dưới đây, ta xét một số loại trigơ:

3.4.1. Trigơ R-S

Trigơ R-S là trigơ đơn giản và cơ bản nhất, có 2 đầu vào trực tiếp là R (Reset: xóa, hồi phục) và S (Set: đặt, thiết lập) như trên hình 3.64a. Hai đầu ra liên hợp của trigơ là Q và $\bar{Q}$ (khi Q = 1 thì $\bar{Q}$ = 0 và ngược lại). Bảng chân lí của trigơ là bảng 3.22.

Bảng 3.22: BẢNG CHÂN LÍ CỦA TRIGƠ R-S

S	R	Q_{n+1}	$\bar{Q}_{n+1}$	Ghi chú
0	0	Q_n	$\bar{Q}_n$	Giữ trạng thái đang có
0	1	0	1	Đặt Q về 0
1	0	1	0	Đặt Q lên 1
1	1	Không dùng $\rightarrow$ Trạng thái cấm		

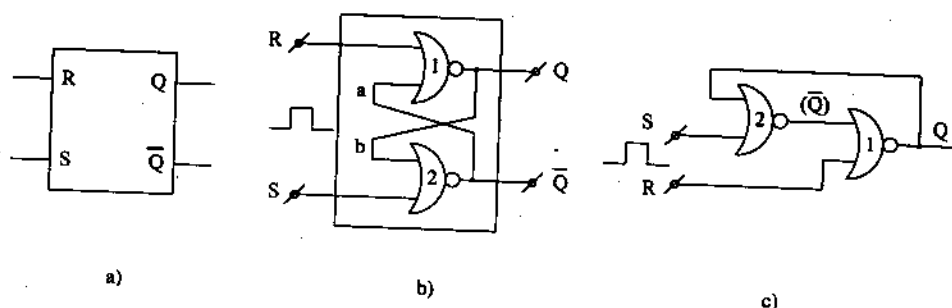
- Khi không có tín hiệu ở cả hai đầu vào, trigơ giữ nguyên trạng thái đang có (trạng thái Q_n).

- Khi có tín hiệu ở đầu vào R ($R = 1$), trigơ chuyển trạng thái từ Q_n ($Q_n = 1$ hoặc $Q_n = 0$) sang trạng thái $Q_{n+1} = 0$ (còn $\bar{Q}_{n+1} = 1$).

- Khi có tín hiệu ở đầu vào S ($S = 1$), trigơ chuyển trạng thái từ Q_n ($Q_n = 1$ hoặc $Q_n = 0$) sang trạng thái $Q_{n+1} = 1$ (còn $\bar{Q}_{n+1} = 0$).

- Trạng thái $R = S = 1$ là trạng thái không xác định, trigơ phản ứng không rõ ràng nên không dùng. Đó là trạng thái cấm.

Trong thực tế kỹ thuật, có nhiều sơ đồ tạo trigơ R-S. Hình 3.64b trình bày sơ đồ trigơ R-S dùng hai cổng NOR hai đầu vào. Các đầu vào của nguồn nuôi không vẽ trên sơ đồ.



Hình 3.64 : Trilog R-S

Giả sử trigơ đang có trạng thái $Q = 0$ ($\bar{Q} = 1$) và các đầu vào $R = S = 0$. Trạng thái này được giữ ổn định hay được nhớ. Vì sao? Vì mức logic 0 từ đầu ra Q được đưa về đầu vào b của cổng NOR2 và hai đầu vào $S = b = 0$ làm đầu ra của NOR2 có logic 1 ($\bar{Q} = 1$). Giá trị logic 1 này lại đưa về đầu a của cổng NOR1 và đầu ra của NOR1 có mức logic 0 ($Q = 0$). Mức logic 0 này được NHỚ.

Vậy, với hai phần tử logic không nhớ NOR, khi có phản hồi chéo từ đầu ra phần tử này về một đầu vào của phần tử kia, ta có thể tạo ra được một phần tử NHỚ.

Muốn thay đổi trạng thái đầu ra Q , phải đặt vào đầu vào S mức logic 1 ($S = 1$). Phần tử NOR2 sẽ phản ứng ở đầu ra $\bar{Q} = 0$ và phản hồi về đầu vào a của NOR1. Hai đầu vào của NOR1 đều có mức logic 0 ($R = a = 0$) nên đầu ra của NOR1 có mức logic 1 ($Q = 1$), nghĩa là trigơ đã chuyển (hay lật) trạng thái từ $Q = 0$ lên $Q = 1$. Mức logic $Q = 1$ lại được đưa trở lại đầu b của NOR2 ($b = 1$) nên ngay cả khi đầu vào S không còn mức logic 1 ($S \neq 1$) thì NOR2 vẫn cho ở đầu ra mức logic 0 ($\bar{Q} = 0$). Như vậy, trigơ sẽ nhớ trạng thái đầu ra mới là $Q = 1$ ($\bar{Q} = 0$).

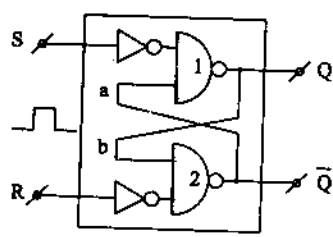
Bạn đọc có thể tự giải thích một cách tương tự khi đặt vào đầu vào R một tín hiệu có mức logic 1 để đầu ra $Q = 0$, $\bar{Q} = 1$.

Nếu không cần đầu ra $\bar{Q}$, sơ đồ trigơ R-S có thể vẽ lại như hình 3.64c. Lúc này, trigơ có thể sử dụng như một công tắc không tiếp điểm:

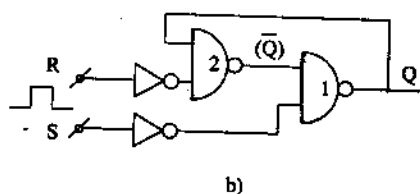
$$S = 1 (\text{mở}) \rightarrow Q = 1 \rightarrow \text{đóng}$$

$$R = 1 (\text{đóng}) \rightarrow Q = 0 \rightarrow \text{mở}$$

Trilog R-S có thể được xây dựng từ hai cổng NAND (hình 3.65a). Bạn đọc có thể tự đọc mạch để giải thích theo bảng chân lí 3.22 khi tác động tín hiệu logic 1 vào đầu vào S hoặc R .



a)

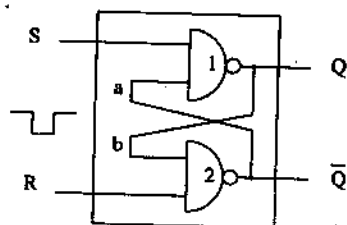


b)

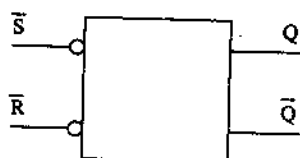
Hình 3.65 : Trơ R-S dùng các cổng NAND

Khi không cần đầu ra $\bar{Q}$, sơ đồ như hình 3.65b.

Nếu không dùng hai cổng NOT như sơ đồ trên hình 3.65a, ta sẽ có một trơ R-S mà tín hiệu tác động vào các đầu vào R hoặc S phải là tín hiệu có mức logic 0 (xung âm). Ký hiệu trơ loại này có thêm vòng tròn nhỏ ở đầu vào (hình 3.66b).



a)



b)

Hình 3.66 : Trơ R-S tác động bởi xung âm

Trơ vừa xét là loại trơ không đồng bộ hay không cần chuẩn hoá thời gian. Trơ không đồng bộ có khả năng thực hiện chức năng của một ô nhớ vì trạng thái đầu ra có thể giữ ổn định lâu tùy ý khi chưa có tín hiệu tác động vào đầu vào R hoặc S và mạch còn hoạt động tốt. Điều khiển kiểu trực tiếp này còn có hạn chế là ta không biết trước là khi đóng nguồn cấp cho trơ thì trơ đang ở trạng thái nào ($Q = 0$ hay $Q = 1$). Vì vậy, muốn kiểm soát được trạng thái của trơ và làm thay đổi trạng thái trơ theo ý muốn trong mối liên hệ với các phần tử logic khác cần phải thêm phần điều khiển khác là điều khiển đồng bộ.

Trơ có điều khiển đồng bộ gọi là trơ đồng bộ và được chuẩn hoá thời gian bằng các xung đồng bộ hay còn gọi là xung nhịp hoặc xung đồng bộ (clock pulse). Xung này được đưa vào một đầu vào riêng.

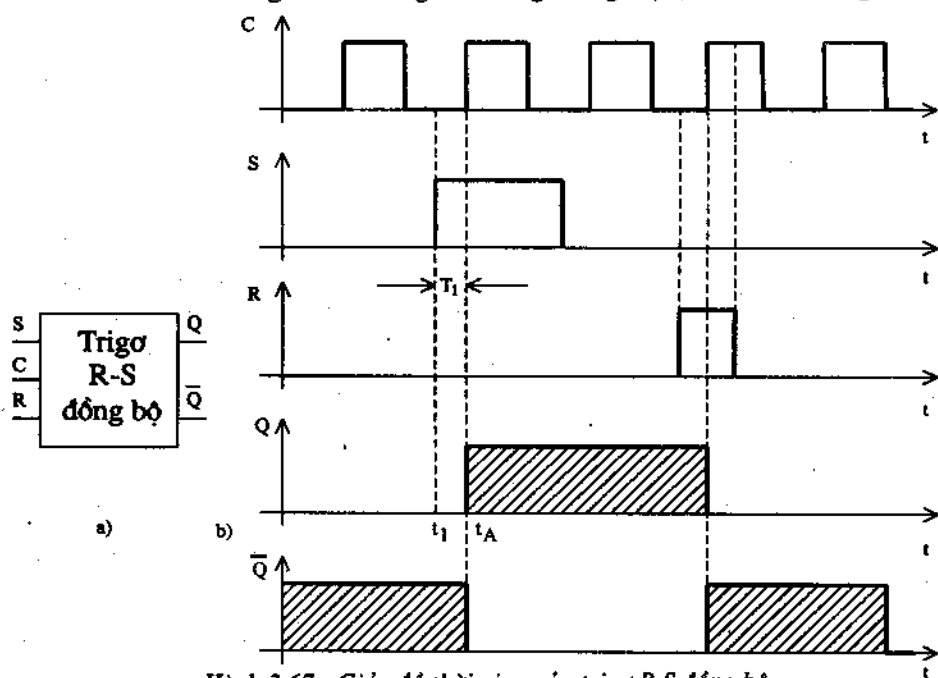
Hai loại trơ R-S không đồng bộ và trơ R-S đồng bộ khác nhau ở phương pháp ghi thông tin vào trơ (ghi nhớ trạng thái đầu ra). Sự ghi thông tin ở trơ không đồng bộ được thực hiện ngay sau khi đầu vào (R hoặc S) có tín hiệu vào (điều khiển trực tiếp). Đối với trơ đồng bộ thì khác, tín hiệu thông tin đầu vào chỉ là một điều kiện. Không có xung đồng bộ vào cửa vào C

(clock) thì trigơ không thể thay đổi trạng thái đầu ra được. Vai trò của xung đồng bộ là điều khiển sự lật (chuyển) trạng thái của trigơ. Việc ghi thông tin ở trigơ đồng bộ chỉ xảy ra khi cùng tồn tại các tín hiệu điều khiển trực tiếp (ở đầu vào R hoặc S) và tín hiệu đồng bộ (xung nhịp ở đầu vào C) (hình 3.67a). Bảng 3.23 là bảng chân lí của trigơ R-S đồng bộ.

Bảng 3.23:

C	S	R	Q_{n+1}	$\bar{Q}_{n+1}$	Ghi chú
0	0	0	Q_n	$\bar{Q}_n$	Giữ nguyên trạng thái đang có khi vắng xung đồng bộ
0	0	1	Q_n	$\bar{Q}_n$	
0	1	0	Q_n	$\bar{Q}_n$	
0	1	1	Trạng thái cấm		
1	0	0	Q_n	$\bar{Q}_n$	Giữ nguyên trạng thái đang có
1	0	1	0	1	Đặt Q về 0
1	1	0	1	0	Đặt Q lên 1
1	1	1	Trạng thái cấm		

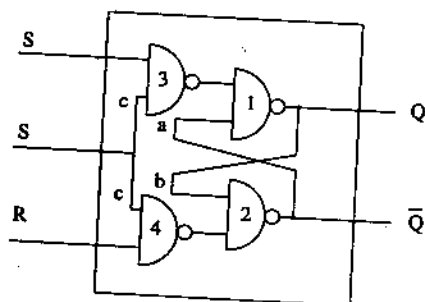
Hoạt động của trigơ R-S đồng bộ theo bảng chân lí 3.23 có thể giải thích như sau: Bốn khả năng đầu không có xung đồng bộ ($C = 0$) thì trigơ không



Hình 3.67 : Giản đồ thời gian của trigơ R-S đồng bộ

chuyển trạng thái dù cho đầu vào R hoặc S có tín hiệu vào. Với trigơ R-S không đồng bộ thì trigơ chuyển trạng thái ngay khi đầu vào R hoặc S có tín hiệu (so sánh bảng 3.22). Khi có xung đồng bộ mà đồng thời có xung điều khiển vào cửa vào R hoặc S thì trigơ đồng bộ sẽ chuyển trạng thái như trigơ không đồng bộ và được minh hoạ theo giản đồ thời gian ở hình 3.67b. Phản ứng này của trigơ đồng bộ có thể được giải thích qua việc phân tích mạch của nó tạo bởi các cổng NAND ở hình 3.68.

Giả sử trigơ đang ở trạng thái $Q_n = 0$, $\overline{Q}_n = 1$. Khi $S = 1$ (thời điểm t_1) mà không có xung nhịp ($C = 0$) thì đầu ra Q vẫn có mức logic 0 ($Q = 0$) (khoảng T_1 trên hình 3.67b) vì đầu ra của cổng NAND3 có mức logic 1 và đầu ra cổng NAND1 có mức logic 0. Khi $S = 1$, nếu có xung nhịp ($C = 1$) thì đầu ra Q sẽ lật (chuyển) trạng thái ($Q = 1$) (thời điểm t_A trên hình 3.67b) do đầu ra cổng NAND3 có mức logic 0 và đầu ra cổng NAND1 sẽ có mức logic 1.

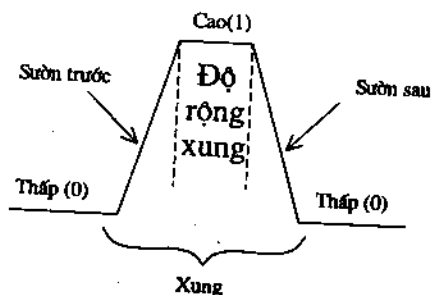


Hình 3.68 : Triger R-S đồng bộ tạo bởi các cổng NAND

Vấn đề kích thích trigơ

Muốn trigơ thay đổi được trạng thái, tín hiệu vào đầu vào phải đạt một số yêu cầu nhất định:

- Đối với các đầu vào điều khiển trực tiếp, đầu ra Q thường chịu ảnh hưởng của mức điện thế của các đầu vào. Chẳng hạn, ở trigơ R-S không đồng bộ, khi S lên cao ($S = 1$) thì Q cũng lên cao ($Q = 1$) và sẽ bị kìm giữ ở trạng thái này khi S còn cao. Do vậy, để trigơ làm việc tiếp (chuyển trạng thái khác) thì tín hiệu kích thích đặt vào S (hoặc R) thường phải có dạng xung (hình 3.69) mà mức điện thế cao phải tồn tại trong khoảng thời gian đủ để trigơ lật trạng thái.



Hình 3.69 : Dạng xung kích trigơ

- Đối với các đầu vào đồng bộ (trigơ có thể có nhiều đầu vào điều khiển đồng bộ) thì điện thế kích thích phải có khi có xung nhịp bởi vì chỉ khi đó trigơ mới chuyển trạng thái. Sau khi xung nhịp tắt, điện thế kích thích có thể thay đổi tùy ý.

Phản ứng của trigơ đối với các xung vào đầu vào cũng có thể khác nhau:

- Có loại trigơ chỉ thay đổi trạng thái khi mức điện thế đang thay đổi, nghĩa là trigơ được kích thích bằng sườn xung.

Ví dụ: Trigơ R-S không đồng bộ ở hình 3.64, 3.65 hoạt động bằng sườn trước (mức điện thế chuyển từ thấp (0) lên cao (1) : $\uparrow$).

Trigơ R-S không đồng bộ ở hình 3.66 hoạt động bằng sườn sau (mức điện thế chuyển từ cao (1) xuống thấp (0) : $\downarrow$).

Bảng 3.24a: BẢNG CHÂN LÍ CỦA TRIGƠ RS-R

S	R	Q_{n+1}	$\bar{Q}_{n+1}$
0	0	Q_n	$\bar{Q}_n$
0	1	0	1
1	0	1	0
1	1	0	1

Bảng 3.24b: BẢNG CHÂN LÍ CỦA TRIGƠ RS-S

S	R	Q_{n+1}	$\bar{Q}_{n+1}$
0	0	Q_n	$\bar{Q}_n$
0	1	0	1
1	0	1	0
1	1	1	0

Bảng 3.24c: BẢNG CHÂN LÍ CỦA TRIGƠ RS-E

S	R	Q_{n+1}	$\bar{Q}_{n+1}$
0	0	Q_n	$\bar{Q}_n$
0	1	0	1
1	0	1	0
1	1	Q_n	$\bar{Q}_n$

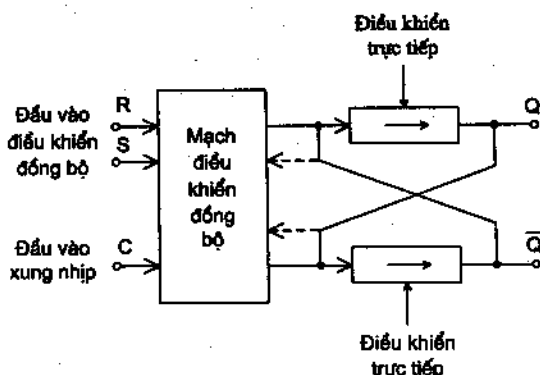
Với các trigơ này, trị số tuyệt đối của các mức điện thế (cao hoặc thấp) thường không quan trọng mà trigơ hoạt động hay không lại phụ thuộc vào độ dốc của sườn xung. Trong trường hợp này, độ rộng của xung thường không có ảnh hưởng gì.

- Có loại trigơ chỉ thay đổi trạng thái theo mức điện thế tuyệt đối của xung. Với loại này, độ dốc của sườn xung không có ảnh hưởng gì.

Các biến thể của trigơ R-S

Trạng thái cấm của trigơ R-S là trạng thái khi các đầu vào R-S có cùng mức logic cao $R = S = 1$. Để sử dụng trạng thái này, người ta chế tạo ra một số trigơ biến thể từ trigơ R-S:

a) Trigơ RS-R: là trigơ R-S biến thể có đầu ra $Q = 0$ ($\bar{Q} = 1$) khi các đầu vào $R = S = 1$. Bảng chân lí là bảng 3.24a



Hình 3.70 : Nguyên lý trigơ RS - T

b) Trơ RS-S: là trơ R-S biến thể có đầu ra $Q = 1$ ($\bar{Q} = 0$) khi các đầu vào $R = S = 1$. Bảng chân lí là bảng 3.24b.

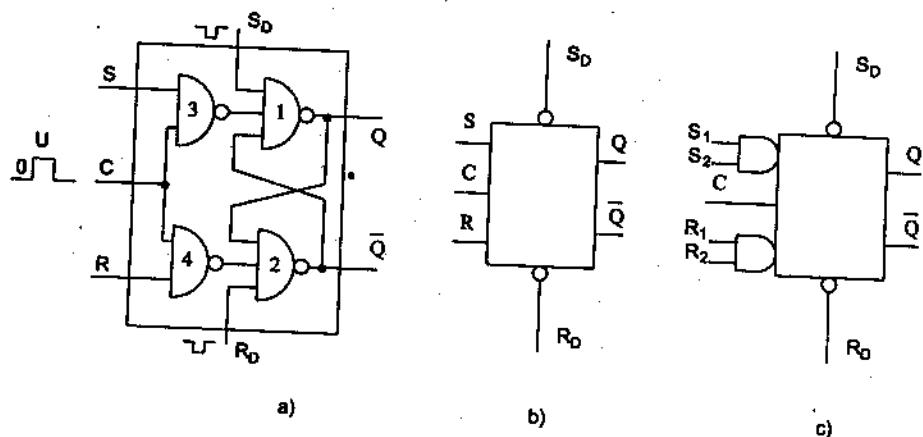
c) Trơ RS-E: là trơ R-S biến thể có đầu ra giữ nguyên trạng thái đang có khi $R = S = 1$, nghĩa là lúc đó $Q_n = Q_{n+1}$. Bảng chân lí là bảng 3.24c.

d) Trơ RS-T: còn gọi là trơ R-S nhịp (Clocked RS). Ở trơ này, ngoài các đầu vào R, S trực tiếp đã biết, kí hiệu là R_D, S_D (D : direct - trực tiếp), còn có các đầu vào điều khiển đồng bộ R, S và đầu vào xung nhịp C. Như vậy, trơ RS-T có nguyên lí cấu tạo như hình 3.70.

- Các đầu vào điều khiển trực tiếp vào mạch chính của trơ. Chúng quyết định trực tiếp trạng thái đầu ra của Q. Khi một (hoặc các) đầu vào điều khiển trực tiếp làm việc thì đầu ra Q không tuân theo trạng thái của các đầu vào đồng bộ.

- Các đầu vào điều khiển đồng bộ điều khiển trơ qua khâu trung gian là mạch điều khiển đồng bộ dưới sự kiểm soát của xung nhịp vào đầu vào C. Đầu ra Q chịu sự điều khiển của các đầu vào điều khiển chỉ khi có xung nhịp. Khi không có xung nhịp, các trạng thái logic của các đầu vào đồng bộ không gây ảnh hưởng gì tới đầu ra Q.

Trơ RS-T có kí hiệu như hình 3.71b và sơ đồ mạch dùng cổng NAND như hình 3.71a. Trơ T có thể có nhiều đầu vào R, S. Các đầu vào này liên lạc với nhau qua cổng AND (hình 3.71c).



Hình 3.71: Trơ RS-T dùng cổng NAND (a) và kí hiệu (b, c)

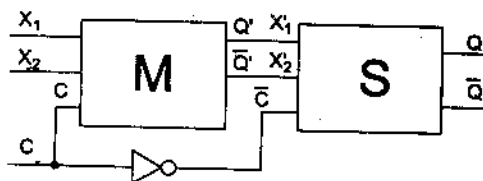
3.4.2. Trơ chủ - tớ

Trơ chủ - tớ còn gọi là trơ chính - phụ (hay trơ dạng MS (M : master, S : slave)).

Các trơ nhớ thông thường đã khảo sát có đặc điểm là thông tin được lưu (ở đầu ra) sẽ mất ngay khi tiến hành lưu một thông tin mới nhờ thay đổi trạng thái của đầu vào (Q lật trạng thái ngay). Do vậy, chúng không cho phép cùng

một lúc đang nhận (đọc hay xuất) thông tin ở đầu ra mà lại có thể nhập (hay ghi) thông tin mới vào đầu vào.

Trigơ chủ - tổ giải quyết được yêu cầu trên. Nó gồm 2 trigơ (trigơ chủ và trigơ tớ) với hai khối điều khiển riêng nhưng có quan hệ với nhau (hình 3.72). Trigơ chủ thực hiện chức năng cơ bản, còn trigơ tớ dùng để nhớ trạng thái sau khi ghi thông tin. Đầu ra của trigơ chủ là đầu vào của trigơ tớ.



Hình 3.72 : Cấu trúc trigơ dạng MS

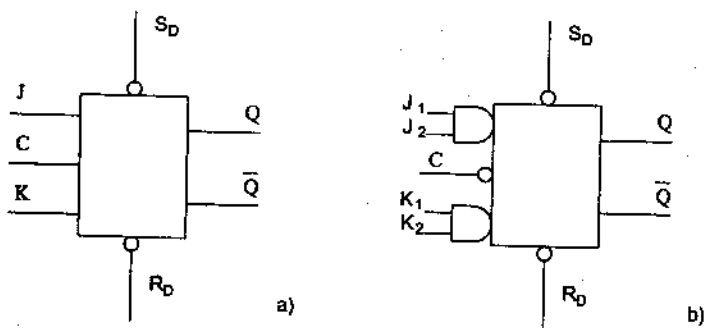
Cả hai trigơ được điều khiển theo xung nhịp C và ghi thông tin qua 4 bước:

1. Cách li 2 trigơ chủ và tớ : Khi có xung nhịp, phần tử NOT tạo $\bar{C} = 0$ ở đầu vào của trigơ tớ nên trigơ này bị cách li khỏi trigơ chủ.
2. Ghi thông tin vào trigơ chủ : đầu vào xung của trigơ chủ có $C = 1$ nên thông tin được ghi vào trigơ chủ (qua X_1 hoặc X_2).
3. Cách li đầu vào khỏi trigơ chủ : khi kết thúc xung đồng bộ, đầu vào xung của trigơ chủ có $C = 0$ và tín hiệu đầu vào bị cách li khỏi trigơ chủ.
4. Chuyển thông tin từ trigơ chủ sang trigơ tớ : khi xung nhịp kết thúc ($C = 0$) thì đầu vào xung của trigơ tớ có $\bar{C} = 1$. Do vậy, thông tin từ đầu ra của trigơ chủ được chuyển sang trigơ tớ để lưu giữ.

3.4.3. Trigơ J-K

Trigơ J-K là loại trigơ đồng bộ vạn năng vì có thể biến đổi thành các trigơ khác và có rất nhiều ứng dụng trong kĩ thuật số. Nó có hai đầu vào trực tiếp S_D , R_D ; hai hoặc nhiều đầu vào đồng bộ R, S và một đầu vào xung nhịp C (hình 3.73). Bảng chân lí của trigơ J-K là bảng 3.25.

Có thể coi trigơ J-K như một biến thể của trigơ T : dùng trigơ T nhiều



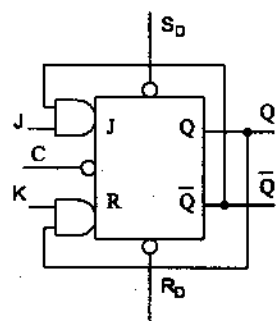
Hình 3.73 : Trigơ J-K có 2 đầu vào J, K (a) và nhiều đầu vào J, K (b)

dầu vào S, T (hình 3.74) rồi nối một đầu vào S với đầu ra $\bar{Q}$ và một đầu vào R với đầu ra Q, ra sẽ có một trigơ J-K mà đầu vào S còn lại là J, đầu vào R còn lại là đầu vào K.

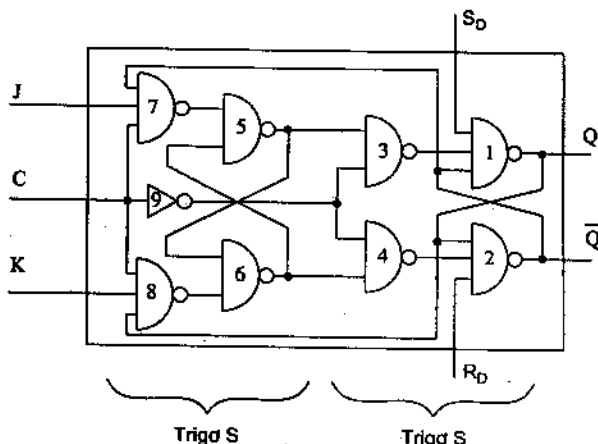
Với một trigơ RS-T dạng MS dùng các cổng NAND thì có thể tạo trigơ J-K như hình 3.75.

Bảng 3.25: BẢNG CHÂN LÍ CỦA TRIGƠ J-K

J	K	Q_{n+1}	$\bar{Q}_{n+1}$
0	0	Q_n	$\bar{Q}_n$
0	1	0	1
1	0	1	0
1	1	$\bar{Q}_n$	Q_n



Hình 3.74: Trilog JK tạo ra từ trigơ T



Hình 3.75: Trilog JK dạng MS

3.4.4. Trilog D

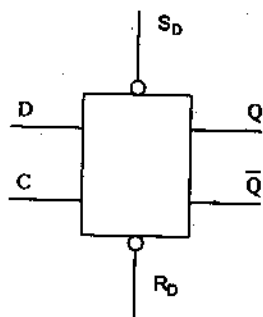
Trilog D là trigơ chỉ có một đầu vào dữ liệu là D và hai đầu ra là Q, $\bar{Q}$ với kí hiệu như trên hình 3.76 và bảng chân lí 3.26.

Trạng thái đầu ra Q lặp lại trạng thái đầu vào D sau một khoảng thời gian nào đó, nghĩa là tín hiệu ra ở Q được làm trễ so với tín hiệu vào ở D.

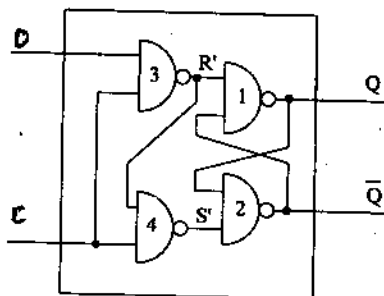
- Đối với trigơ D không đồng bộ, thời gian trễ do thông số mạch điện quyết định.

Bảng 3.26: BẢNG CHÂN LÍ TRIGƠ D

D	Q	$\bar{Q}_{n+1}$
0	0	1
1	1	0



Hình 3.76 : Kí hiệu trigơ D



Hình 3.77: Trigơ D tạo ra từ các cổng NAND

- Đối với trigơ D đồng bộ, thời gian trễ lại quyết định bởi chu kì xung nhịp.

Hình 3.77 là sơ đồ trigơ D cấu tạo từ các cổng NAND. Khi có xung nhịp $C = 1$ và có tín hiệu vào $D = 1$ thì đầu ra NAND3 có mức logic 0 ($R' = 0$), đầu ra NAND4 có mức logic 1 ($S' = 1$). Từ đó, qua hai cổng NAND1 và 2 thì $Q = 1$ và $\bar{Q} = 0$. Tương tự, khi $C = 1$, $D = 0$ thì $Q = 0$ và $\bar{Q} = 1$.

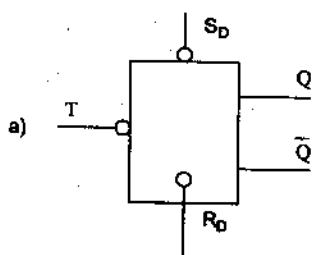
3.4.5. Trigơ T

Trigơ T có một đầu vào T và hai đầu ra Q , $\bar{Q}$. Bảng 3.27 là bảng chân lí và hình 3.78a là kí hiệu của trigơ T. Hình 3.78b là giản đồ xung vào của vào T và phản ứng đầu ra Q (cũng như đầu ra liên hợp $\bar{Q}$). Đọc giả có thể tự lí giải.

Bảng 3.27: Bảng chân lí của trigơ T

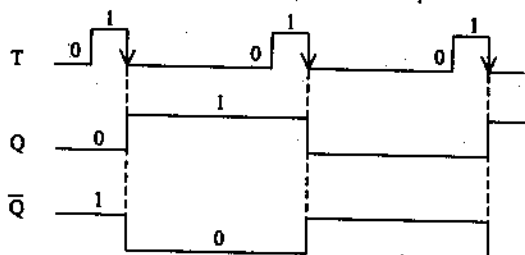
T	Q_{n+1}	$\bar{Q}_{n+1}$
0	Q_n	$\bar{Q}_n$
1	$\bar{Q}_n$	Q_n

So sánh bảng chân lí 3.25 của trigơ J-K với bảng 3.27 của trigơ T, ta thấy khi đầu vào $J = K = 1$ thì Q_n chuyển thành



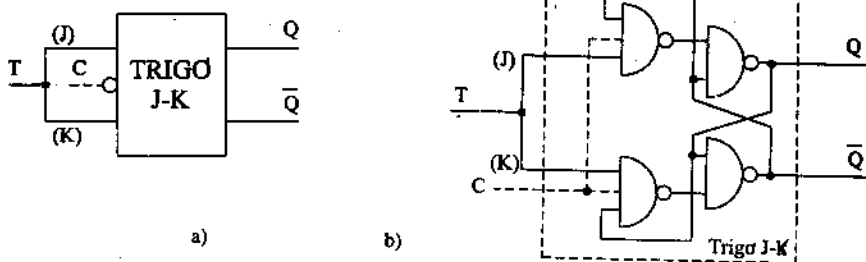
a)

b)



Hình 3.78: Kí hiệu trigơ T (a) và giản đồ xung (b)

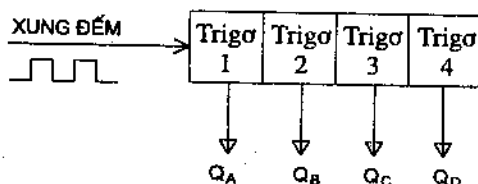
$\bar{Q}_n$ nên có thể dùng trigơ J-K nối chung JK, ta sẽ có trigơ T (hình 3.79a). Hình 3.79b là sơ đồ bên trong của trigơ JK với các mạch vòng tương ứng hình 3.74.



Hình 3.79 : Tạo trigơ T tạo ra từ trigơ J-K

3.5. CÁC HỆ LÓGIC DÂY

Ở mục 3.3 ta đã xét một số hệ logic tổ hợp. Đó là các hệ logic mà các đại lượng đầu ra tại một thời điểm chỉ phụ thuộc vào các đại lượng đầu vào ở ngay thời điểm đó. Hệ logic dây (sequential logic) là hệ logic mà đại lượng đầu ra tại một thời điểm không những phụ thuộc các đại lượng đầu vào ở thời điểm đó mà còn phụ thuộc vào trạng thái mà hệ có trước đó, tức là phụ thuộc vào trạng thái mà hệ đang nhớ. Vì vậy, hệ logic dây còn gọi là hệ logic có nhớ.



Hình 3.80 : Dạng tổng quát của mạch đếm có 4 trigơ

Một hệ logic dây tiêu biểu là mạch đếm (xung). Mạch có một đầu vào cho xung đếm và nhiều đầu ra biểu thị số đếm dưới dạng hệ 2. Số đếm được ở đầu ra có số bit bằng số các trigơ (phần tử có nhớ) trong bộ đếm.

Ví dụ : Mạch đếm có bốn trigơ trên hình 3.80.

Vì số trigơ tương ứng với số bit của số đếm được nên số xung đếm bị giới hạn. Số xung đếm được lớn nhất là dung lượng của mạch đếm. Khi số xung đếm quá dung lượng thì mạch đếm thường tự động quay về trạng thái 0. Mạch đếm có tính chất tuần hoàn.

Tùy theo cách nối các trigơ, mạch đếm chia ra làm 3 loại :

- Mạch đếm hệ hai : Kết quả được biểu thị dưới dạng số hệ hai. Nếu mạch có n trigơ thì dung lượng là 2^n .

- Mạch đếm BCD : Kết quả được biểu thị dưới dạng mã BCD. Mạch thường dùng 4 trigơ và được nối sao cho có 10 trạng thái khác nhau để biểu thị các số hệ 10 từ 0 ÷ 9.

- Mạch đếm modulo M : Dung lượng là số M nguyên dương bất kì.

Theo chiều đếm, mạch đếm phân ra : đếm tiến (hay đếm lên), ví dụ: 5, 6, 7...; đếm lùi (hay đếm xuống), ví dụ : 9, 8, 7...; đếm lên xuống; đếm vòng tròn...

Theo cách đưa xung vào bộ đếm, ta có:

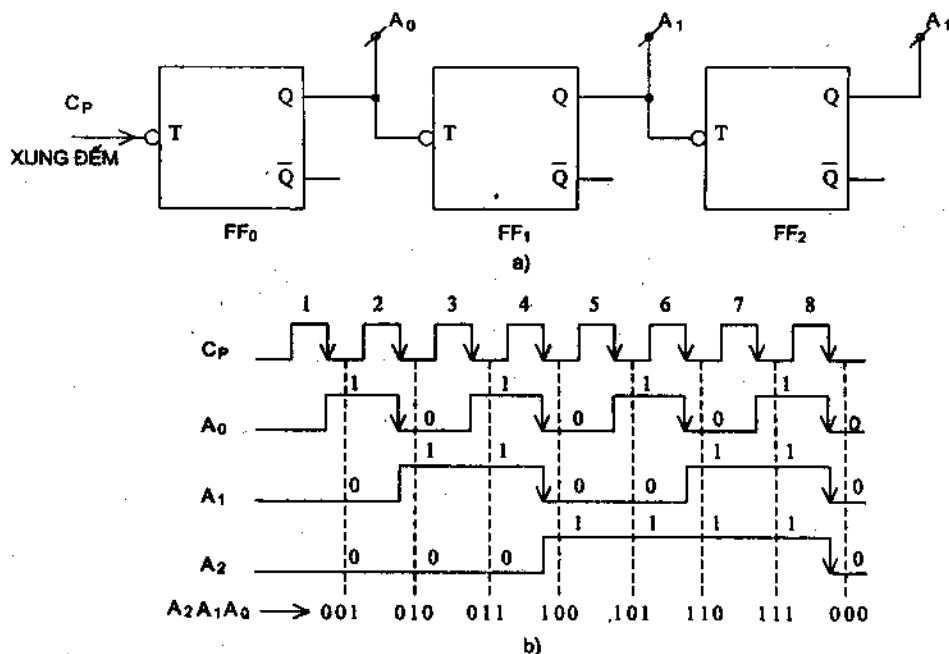
- Mạch đếm không đồng bộ : Xung đếm đưa vào một trigơ rồi truyền sang trigơ khác (đếm tuần tự)

- Mạch đếm đồng bộ : Xung đếm đưa đồng thời vào tất cả các trigơ.

Các trigơ dùng trong mạch đếm thường là trigơ RST và JK.

3.5.1. Mạch đếm tuần tự (không đồng bộ)

Xét mạch có dung lượng $2^3 = 8$ với 3 trigơ T (hình 3.81a) là FF_0 , FF_1 , FF_2 . Các trigơ chạy bằng sườn sau của xung C_p . Khi có xung vào trigơ FF_0 thì đầu ra Q của nó đổi mức logic và mức logic này được đưa ra đầu ra A_0 đồng thời đưa vào đầu vào trigơ FF_1 kế tiếp... Quá trình thay đổi mức logic này trong mạch đếm thể hiện qua giản đồ thời gian của xung trong mạch (hình 3.81b).



Hình 3.81: Mạch đếm tiến hệ 2

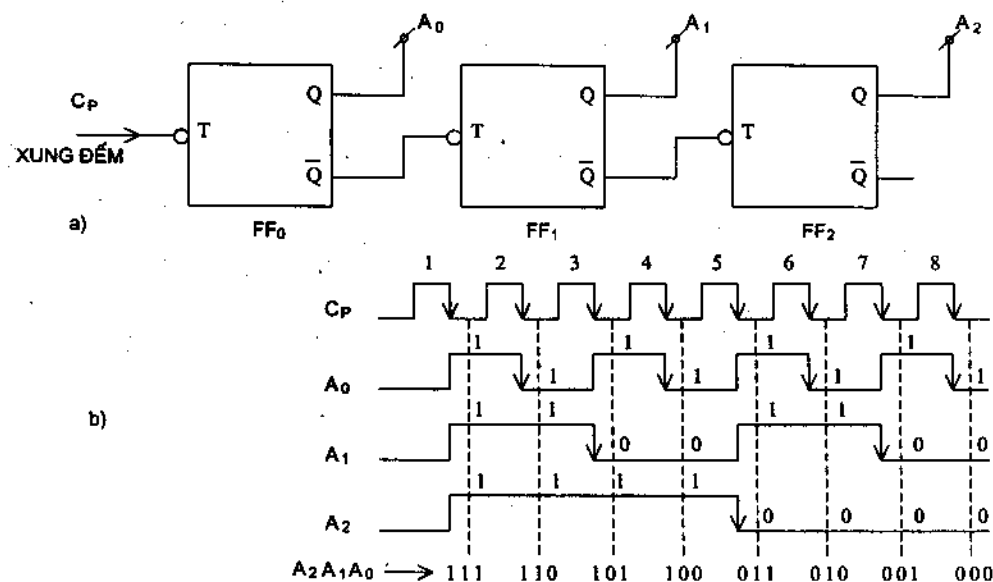
Bảng chân lí của mạch là bảng 3.28. Sau 8 xung, mạch tự động trở về trạng thái ban đầu. Đây là mạch đếm tiến.

Bảng 3.28: Bảng chân lí của mạch đếm tiến hệ 2 dùng 3 trigơ

Số xung vào	Đầu ra		
	A_2	A_1	A_0
0	0	0	0
1	0	0	1
2	0	1	0
3	0	1	1
4	1	0	0
5	1	0	1
6	1	1	0
7	1	1	1
8	0	0	0

Ta cũng có nhận xét thêm rằng, sau 2 xung vào FF_0 thì đầu ra FF_0 có một xung (hình 3.81b). Như vậy, trigơ FF_0 như một bộ chia đôi xung. Suy luận tiếp, ta có đầu ra FF_1 là chia 4, đầu ra FF_2 là chia 8.

Với mạch đếm lùi, đầu ra mạch đếm vẫn lấy từ đầu ra Q của các trigơ, còn kích thích các trigơ kế tiếp được lấy từ các đầu ra $\bar{Q}$ (hình 3.82a) và giảm độ xung theo thời gian như hình 3.82b. Như vậy, sau xung đếm thứ nhất, đầu ra sẽ là 111 rồi giảm về 000 sau xung đếm thứ 8. Có thể lí giải như sau: Sau xung đếm thứ nhất, đầu ra Q của FF_0 có mức logic từ 0 lên 1 thì đầu ra $\bar{Q}$ chuyển mức logic từ 1 xuống 0. Tín hiệu này kích thích đầu ra Q của FF_1 lên 1 và $\bar{Q}$ của FF_1 xuống 0. Tín hiệu $\bar{Q}$ của FF_1 lại kích thích trigơ FF_2 và ta có $Q_{FF_2} = 1$, $\bar{Q}_{FF_2} = 0$. Vậy là mạch bắt đầu từ 111. Bảng chân lí của mạch là bảng 3.29. Sau 8 xung, mạch tự động trở về trạng thái ban đầu.



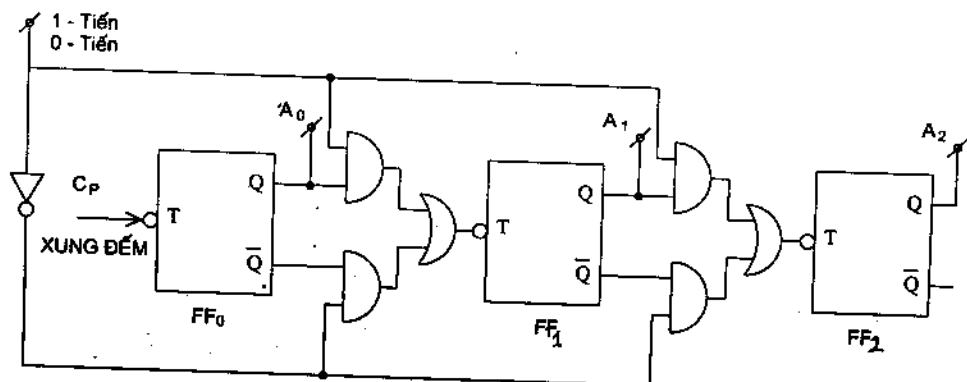
Hình 3.82: Mạch đếm lùi hệ 2

Mạch đếm tiến và đếm lùi có thể kết hợp vào một mạch để tùy theo yêu cầu mà đếm tiến hoặc đếm lùi như trên hình 3.83.

Bảng 3.29: BẢNG CHÂN LÍ CỦA MẠCH ĐẾM LÙI HỆ 2 DÙNG 3 TRIGƠ

Số xung vào	Đầu ra		
	A ₂	A ₁	A ₀
0	0	0	0
1	1	1	1
2	1	1	0
3	1	0	1
4	1	0	0
5	0	1	1
6	0	1	0
7	0	0	1
8	0	0	0

Mạch có thêm một đầu vào $\frac{U}{D}$ để quy định đếm tiến hay đếm lùi. Khi $\frac{U}{D} = 1$ thì cổng AND phía trên sẽ cho tín hiệu ra Q của trigơ trước truyền tới trigơ sau. Khi $\frac{U}{D} = 0$ thì cổng AND phía dưới sẽ cho tín hiệu ra $\bar{Q}$ của trigơ trước truyền tới trigơ sau.



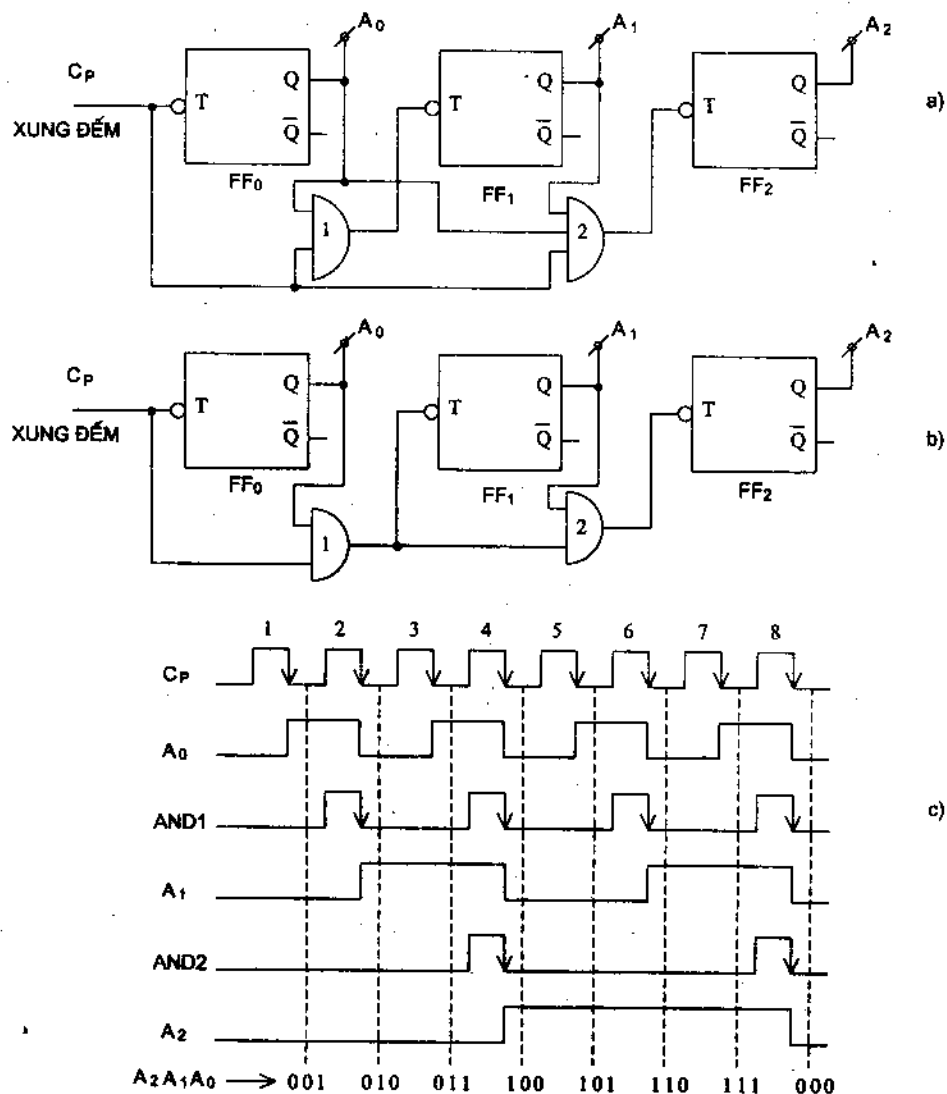
Hình 3.83 : Mạch đếm tiến - lùi hệ 2

3.5.2. Mạch đếm đồng bộ

Các mạch đếm không đồng bộ (hay mạch đếm kiểu nối tiếp) có nhược điểm là chậm trễ, nhất là khi tăng số trigơ để tăng dung lượng đếm vì các trigơ hoạt động một cách tuần tự. Do vậy, trong thực tế thường dùng bộ đếm đồng bộ (hay mạch đếm kiểu song song), trong đó xung đếm được đưa đồng thời vào tất cả các trigơ.

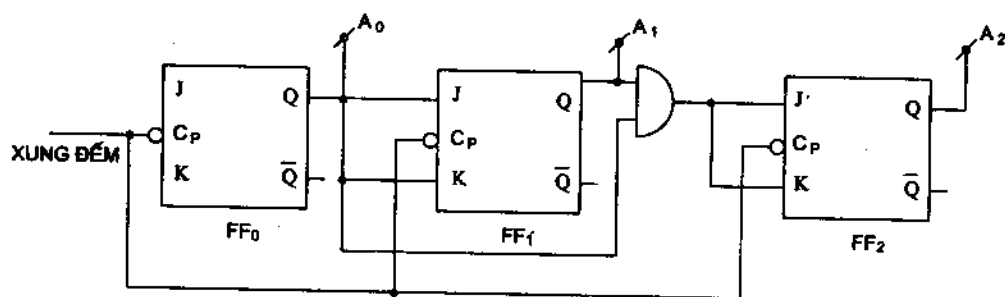
Vì xung đếm vào các trigơ đồng thời nên chúng đổi trạng thái cùng một lúc và các trigơ coi như làm việc độc lập. Vì vậy, để mạch đếm đảm bảo các đầu ra theo đúng bảng chân lí 3.28 (khi đếm tiến) hay bảng 3.29 (khi đếm lùi)

ta phải bổ sung thêm các mạch AND. Hình 3.84a là mạch đếm đồng bộ dung lượng 2^3 . Hình 3.84b là giản đồ xung theo thời gian của mạch đếm. Có thể đơn giản mạch ở hình 3.84a thành sơ đồ ở hình 3.84b nhưng tính chất đồng bộ không còn thuần túy nữa.



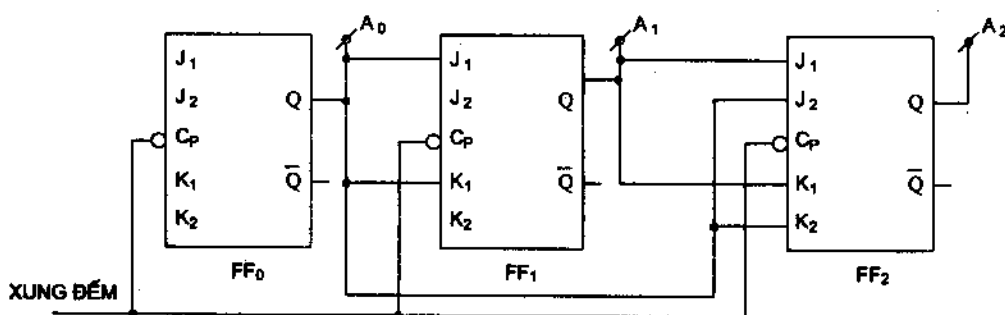
Hình 3.84 : Mạch đếm tiến đồng bộ hệ 2

Khi dùng trigơ J-K (xem mục 3.4.3 và 3.4.5) làm bộ đếm thì xung đếm được đưa trực tiếp vào đầu vào C_p , còn các đầu vào J, K được dùng để kiểm soát trạng thái của trigơ. Mạch đếm như trên hình 3.85.



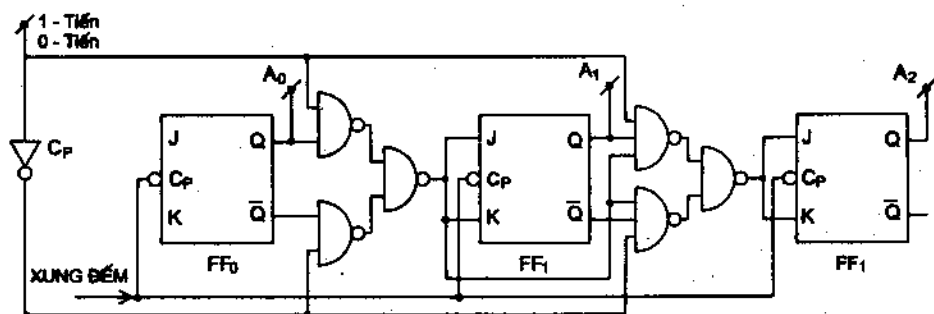
Hình 3.85 : Mạch đếm đồng bộ hệ 2 dùng trigger J-K

Nếu trigger có nhiều đầu vào J, K thì cổng AND đã có sẵn trong trigger nên mạch sẽ như hình 3.86.



Hình 3.86 : Mạch đếm đồng bộ hệ 2 dùng trigger nhiều đầu vào J, K

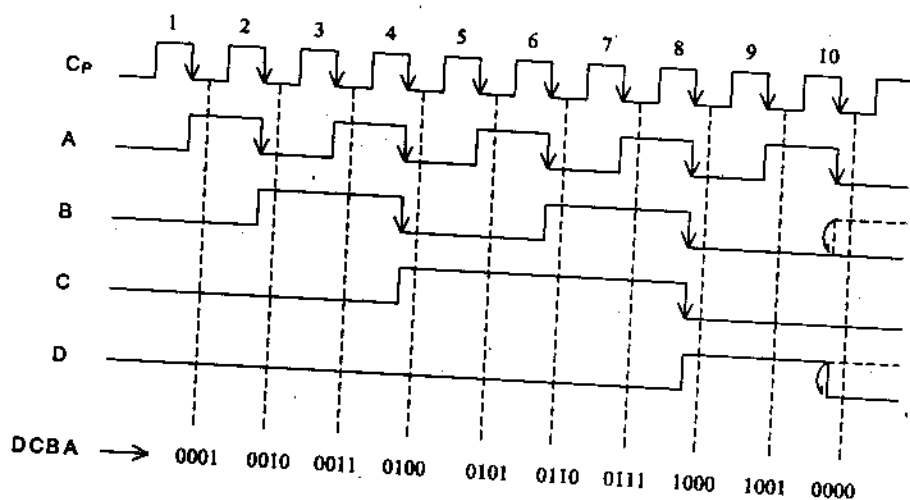
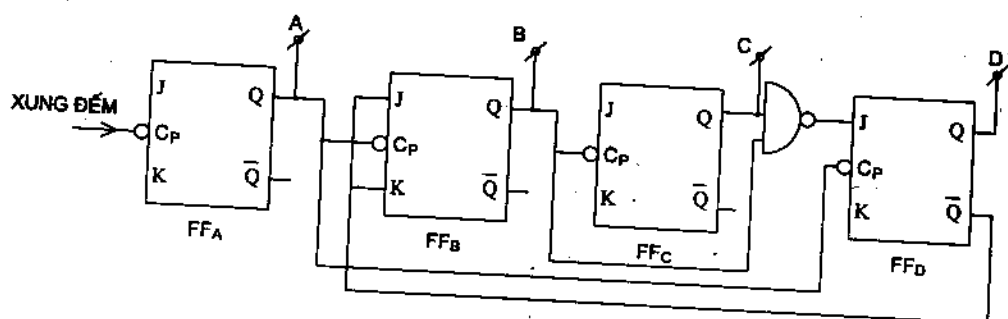
Mạch đếm đồng bộ hệ 2 kết hợp cả đếm tiến và đếm lùi dùng trigger J-K có sơ đồ như hình 3.87. Bạn đọc có thể dễ dàng lí giải hoạt động của mạch.



Hình 3.87: Mạch đếm tiến - lùi hệ 2 đồng bộ dùng trigger J - K

3.5.3. Mạch đếm BCD-8421

Ở mạch này, số đếm đầu ra được trình bày theo mã BCD-8421. Mạch cần dùng 4 trigger. Như vậy, có 16 trạng thái đầu ra khác nhau. Để biểu diễn các số



Hình 3.88: Mạch đếm BCD-8421 không đồng bộ dùng trigger JK

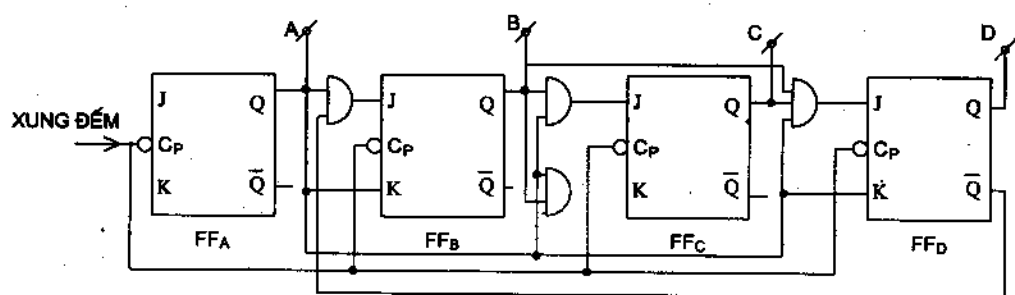
trong hệ 10, chỉ cần 10 trạng thái. Để bỏ qua 6 trạng thái, mạch phải dùng thêm các cổng logic và mạch hồi tiếp.

Hình 3.88a là một ví dụ về mạch đếm BCD-8421 không đồng bộ với bảng chân lý 3.30. Hình 3.89 là ví dụ về mạch đếm BCD-8421 đồng bộ.

Bảng 3.30: BẢNG CHÂN LÝ MẠCH ĐẾM BCD-8421

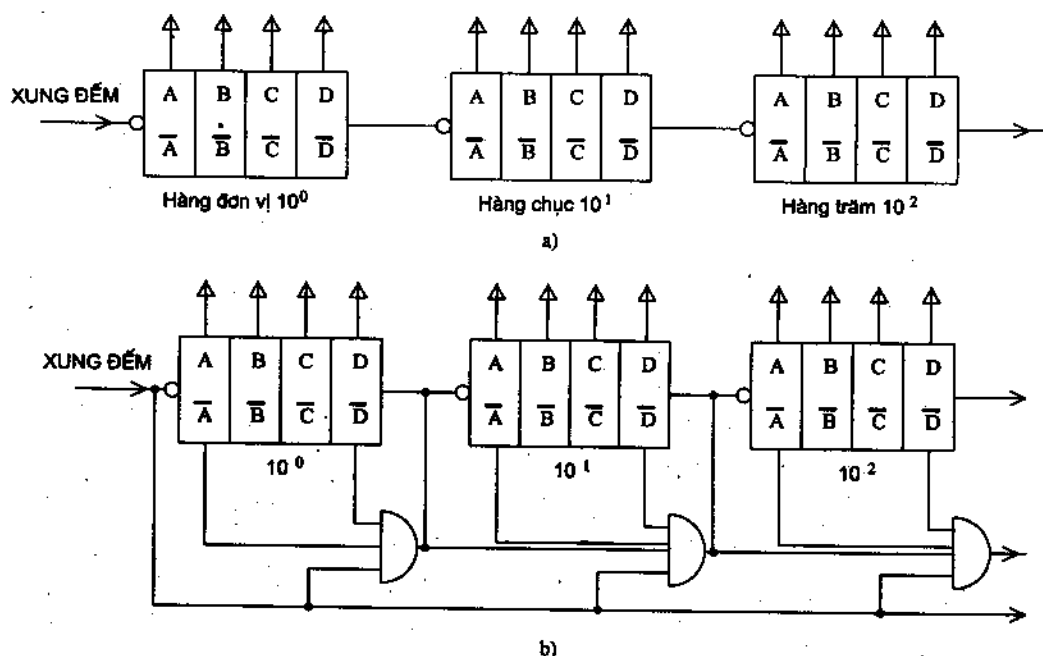
Số xung đếm	Đầu ra			
	A ₃	A ₂	A ₁	A ₀
0	0	0	0	0
1	0	0	0	1
2	0	0	1	0
3	0	0	1	1
4	0	1	0	0
5	0	1	0	1
6	0	1	1	0
7	0	1	1	1
8	1	0	0	0
9	1	0	0	1
10	0	0	0	0

Mỗi mạch đếm BCD-8421 đã xét chỉ đếm được từ 0 đến 9. Để đếm được nhiều xung hơn, ta phải mắc nối tiếp nhiều mạch đếm 4 bit để có kết quả hàng đơn vị, hàng chục, hàng trăm... Có thể mắc các mạch đếm 4 bit theo



Hình 3.89 : Mạch đếm BCD-8421 đồng bộ dùng trigơ JK

kiểu không đồng bộ (hình 3.90a) hay theo kiểu đồng bộ (hình 3.90b). Ở cách mắc theo kiểu đồng bộ thì mạch đếm sau phải đợi mạch trước đếm tới 9 (1001) thì cổng AND mới mở cho xung đếm vào.



Hình 3.90 : Mạch đếm BCD mắc theo kiểu không đồng bộ (a) và đồng bộ (b)

3.5.4. Mạch đếm modulo M

Mạch đếm modulo M là mạch đếm mà sau khi đếm được M xung vào thì mạch tự động quay về trạng thái khởi đầu. Có loại mạch đếm modulo với M không đổi và có loại mạch đếm modulo với M thay đổi được.

Ta đã biết : phân tử cơ bản của mạch đếm (không đồng bộ hay đồng bộ) là trigơ (T hoặc JK). Mỗi trigơ là một bộ đếm cơ số 2 một bit. Mạch đếm dung lượng 2^n thì cần n trigơ. Mạch đếm này cho phép đếm được 2^n xung với số

đếm biểu thị dưới dạng số hệ hai n bit. Sau khi đếm được 2^n xung thì mạch tự động quay về trạng thái khởi đầu. Đây là mạch đếm modulo $M = 2^n$.

Ví dụ : Mạch đếm trên hình 3.81 là mạch đếm không đồng bộ modulo $M = 2^3 = 8$.

Mạch đếm trên hình 3.91 là mạch đếm đồng bộ modulo $M = 2^2 = 4$

Mạch đếm gồm n trigơ sẽ có tối đa 2^n trạng thái đầu ra và M lớn nhất là 2^n . Với mạch đếm có $M < 2^n$ thì sẽ có một số trạng thái đầu ra phải bị loại bỏ.

Hình 3.91 : Mạch đếm modulo $M = 4$

Bảng 3.31: BẢNG CHÂN LÝ MẠCH ĐẾM MODULO $M = 3$

a) Xét mạch đếm gồm 2 trigơ có

$$M_{\max} = 2^2 = 4.$$

Nếu chọn mạch đếm modulo $M = 3$ thì có một trạng thái đầu ra không dùng. Khi đó có 4 dạng mạch khác nhau tùy theo yêu cầu đếm :

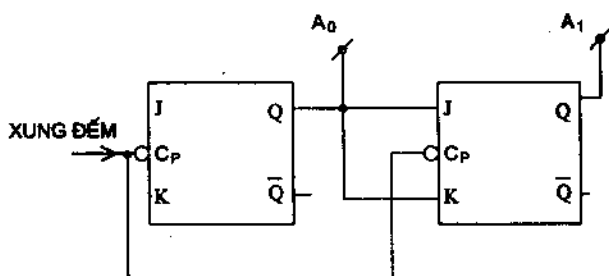
Mạch 1 : đếm các số 1, 2, 3 (bỏ 0)

Mạch 2 : đếm các số 0, 2, 3 (bỏ 1)

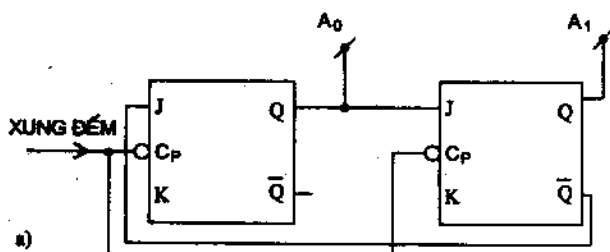
Mạch 3 : đếm các số 0, 1, 3 (bỏ 2)

Mạch 4 : đếm các số 0, 1, 2 (bỏ 3). Đây là mạch đếm modulo thường được dùng.

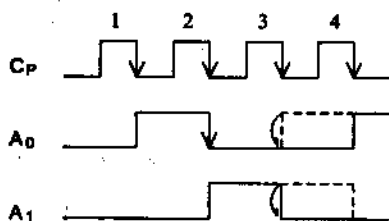
Trường hợp mạch 4, bảng chân lý sẽ là bảng 3.31. Ta thấy, với 2 trigơ thì sau khi đếm được 2 xung ($A_1 = 1, A_0 = 0$) đến xung thứ ba thì bình thường sẽ có $A_1 = A_0 = 1$, trong khi cần $A_1 = A_0 = 0$ vì là mạch đếm modulo 3. Muốn vậy, khi có



Số xung đếm	Đầu ra	
	A_1	A_0
0	0	0
1	0	1
2	1	0
3	0	0



a)



b)

Hình 3.92 : Mạch đếm modulo 3 (a) và giản đồ xung (b)

xung thứ ba, phải kìm giữ $A_0 = 0$ khi $A_1 = 1$ và phải đưa A_1 về 0 khi A_0 bị kìm giữ ở mức 0. Mạch ở hình 3.92a thỏa mãn điều kiện trên qua giản đồ xung theo thời gian của nó (hình 3.92b).

b) Xét mạch đếm gồm 3 trigơ có $M_{\max} = 2^3 = 8$

Nếu chọn mạch đếm modulo 7 thì có một trạng thái đầu ra không dùng. Khi đó, ta có 8 dạng mạch khác nhau để đếm các số 0, 1, 2, 3, 4, 5, 6 (bỏ 7) hoặc 0, 2, 3, 4, 5, 6, 7 (bỏ 1) v.v...

Nếu chọn mạch đếm modulo 6 thì có hai trạng thái đầu ra không dùng. Khi đó, ta có nhiều dạng mạch khác nhau để đếm 6 số là : 0, 1, 2, 3, 4, 5 (bỏ 6, 7) hoặc 0, 2, 3, 4, 5, 6 (bỏ 1, 7) hoặc 0, 1, 2, 3, 6, 7 (bỏ 4, 5) v.v...

Số dạng mạch N ứng với số modulo M có thể tính tổng quát theo công thức sau :

$$N = \frac{2^n!}{(2^n - M)!M!} \quad (3.12)$$

Bảng 3.32: BẢNG CHÂN LÝ MẠCH ĐẾM MODULO M = 5

Số xung đếm	Đầu ra		
	A_2	A_1	A_0
0	0	0	0
1	0	0	1
2	0	1	0
3	0	1	1
4	1	0	0
5	0	0	0

Trong đó có phép tính giai thừa (!), được hiểu qua các ví dụ sau:

$$4 \text{ giai thừa: } 4! = 4.3.2.1$$

$$6 \text{ giai thừa } 6! = 6.5.4.3.2.1$$

$$M \text{ giai thừa: } M! = M.(M - 1)....2.1$$

Tất nhiên, khi mạch đếm có $M_{\max} = 8$ ($n = 3$) thì chỉ tạo mạch đếm modulo với $M = 7, 6, 5$. Khi cần $M = 4$ thì dùng mạch đếm có $n = 2$ trigơ.

Bây giờ, ta xét cụ thể mạch đếm modulo 5 với số trigơ $n = 3$. Số trạng thái không dùng là 3. Số dạng mạch có thể là :

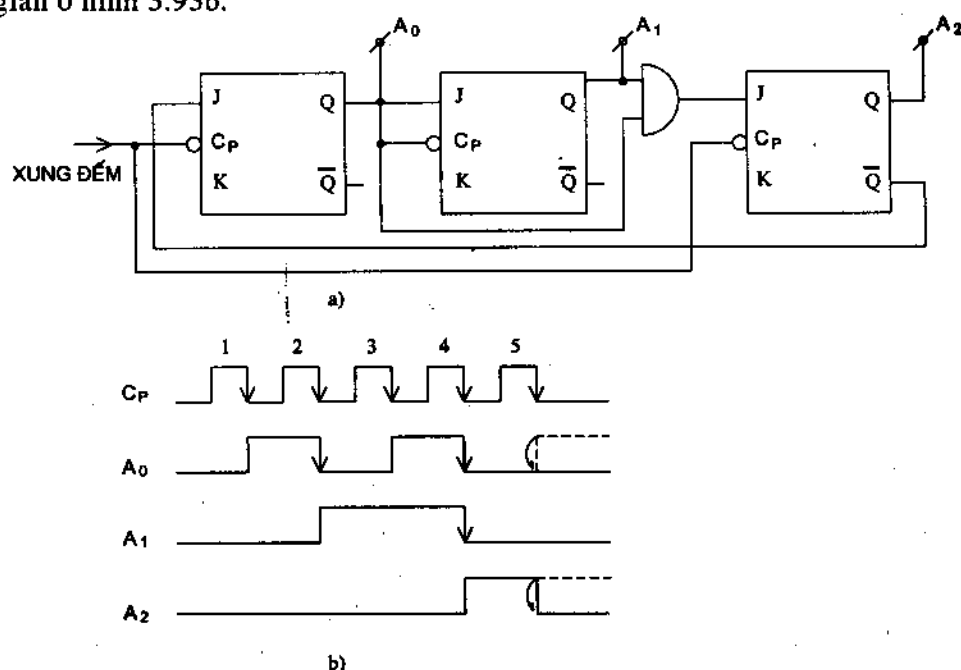
$$N = \frac{8!}{(8-5)!5!} = \frac{8.7.6.5.4.3.2.1}{3.2.1.5.4.3.2.1} = 56$$

Vậy là có quá nhiều dạng mạch. Ta lấy một dạng mạch phổ biến để đếm 5 số : 0, 1, 2, 3, 4. Đến xung đếm thứ 5 thì mạch quay về trạng thái 000 ở đầu ra. Bảng chân lý là bảng 3.32. Từ bảng chân lý ta thấy :

- A_0 và A_1 đếm tự nhiên đến 3 trong khi $A_2 = 0$

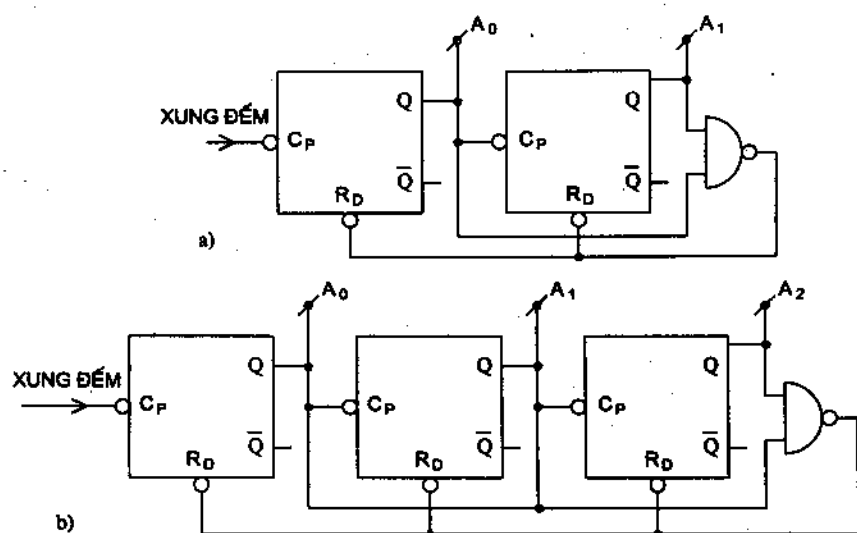
- Khi A_2 lên 1 và $A_0 = A_1 = 0$ thì sau đó phải kìm giữ A_0 và A_1 ở mức 0, còn A_2 phải trở về 0.

Mạch ở hình 3.93a thoả mãn các yêu cầu trên với giản đồ xung theo thời gian ở hình 3.93b.



Hình 3.93 : Mạch đếm modulo 5

c) Ta cũng có thể tạo mạch đếm modulo M bằng cách để mạch đếm tự nhiên bình thường đến xung thứ M - 1. Sau đó, khi mạch đếm đến xung thứ M thì dùng mạch AND hay NAND để phát hiện trạng thái này và đưa mạch về 0.



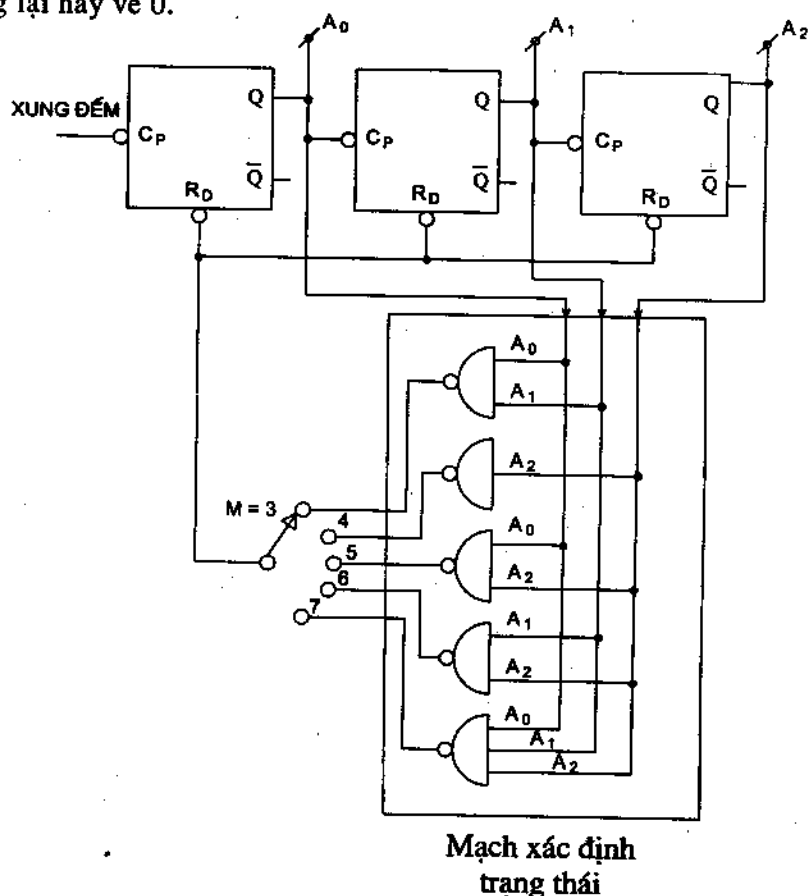
Hình 3.94 : Mạch đếm modulo 3 (a) và modulo 5 (b)

Hình 3.94a là mạch đếm modulo 3. Theo bảng chân lí 3.31 thì khi đếm đến xung thứ ba thì mạch lên 11 làm đầu ra của cổng NAND xuống 0 và reset cả 2 trigơ về 00. Hình 3.94b là mạch đếm modulo 5. Theo bảng chân lí 3.32 thì khi đếm đến xung thứ 5 thì mạch lên 101 làm đầu ra của cổng NAND xuống 0 và reset cả 3 trigơ về 000.

d) Mạch đếm modulo có M thay đổi được

Mạch này thường có dung lượng lớn (nhiều trigơ) và thêm mạch điều khiển để thực hiện một trong các chức năng sau :

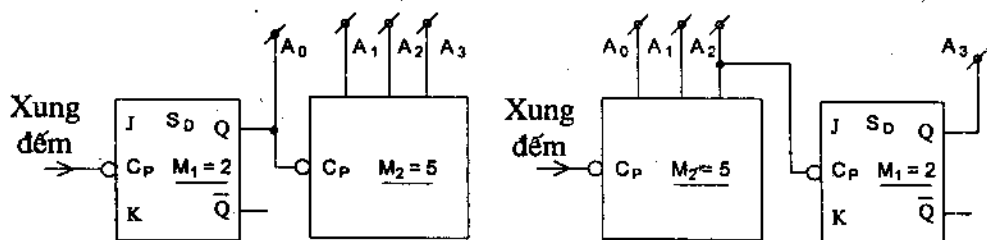
- Đếm từ 0 đến số nào đó (đặt trước) rồi về 0
- Đếm từ số nào đó (đặt trước) lên số tối đa 2^n (đếm tiến) rồi về 0 hay dừng lại.
- Đếm từ số nào đó (đặt trước) xuống 0 (đếm lùi) rồi dừng lại.
- Đếm tiến hay lùi từ số X nào đó (đặt trước) tới số Y nào đó (đặt trước) rồi dừng lại hay về 0.



Hình 3.95 : Mạch đếm modulo M với M thay đổi

đầu ra sẽ cho logic 1 là tín hiệu để tiến hành dừng đếm hay để chỉ báo. Mạch có $M = 1 \div 7$ và không có đặc tính tự tuần hoàn.

Các mạch đếm modulo với M thay đổi được tuy có phức tạp hơn các mạch đếm modulo với M không thay đổi nhưng nó thoả mãn được nhiều yêu cầu kĩ thuật như : đếm sản phẩm từ ban đầu, đếm thêm vào số sản phẩm đã có, đếm lùi để sau khi đủ sản phẩm thì dừng máy v.v... và nhiều ứng dụng khác. Do vậy, nó được dùng nhiều trong các hệ thống kiểm soát tự động.



Hình 3.97 : Mạch đếm modulo 10 dạng 5.2 (a) và 2.5 (b)

e) Nối tiếp các mạch đếm modulo

Nối tiếp các mạch đếm modulo với nhau sẽ được một mạch đếm modulo với M lớn. Do vậy, không cần phải sản xuất các mạch đếm với dung lượng lớn, nhiều trigơ phức tạp.

Ví dụ : Nối mạch modulo $M_1 = 2$ (1 trigơ) với mạch modulo $M_2 = 5$ (3 trigơ), ta có mạch modulo $M = M_1 M_2 = 10$ (hình 3.97) với hai cách nối là : $M_1 - M_2$ (gọi là dạng 5.2) và $M_2 - M_1$ (gọi là dạng 2.5).

Mạch dạng 5.2 (hình 3.97a): khi đếm cho 10 trạng thái ra khác nhau theo mã BCD-8421 (bảng 3.34).

Mạch dạng 2.5 (hình 3.97b) :

khi đếm cho 10 trạng thái ra khác nhau theo mã đặc biệt (Bi - quinary) thường dùng trong các mạch chia tần số hay mạch điều khiển vì tín hiệu ra có 2 nửa chu kì hoàn toàn giống nhau (bảng 3.35).

Bảng 3.34: CÁC TRẠNG THÁI ĐẦU RA
MẠCH $M = 5.2$ (HÌNH 3.97A)

Số xung đếm	Đầu ra M_2			Đầu ra M_1
	A_3	A_2	A_1	$Q = A_0$
0	0	0	0	0
1	0	0	0	1
2	0	0	1	0
3	0	0	1	1
4	0	1	0	0
5	0	1	0	1
6	0	1	1	0
7	0	1	1	1
8	1	0	0	0
9	1	0	0	1
10	0	0	0	0

Bảng 3.35: CÁC TRẠNG THÁI ĐẦU RA MẠCH M = 2.5 (HÌNH 3.97B)

Số xung đếm	Đầu ra M_1	Đầu ra M_2		
	$Q = A_3$	A_2	A_1	A_0
0	0	0	0	0
1	0	0	0	1
2	0	0	1	0
3	0	0	1	1
4	0	1	0	0
5	1	0	0	0
6	1	0	0	1
7	1	0	1	0
8	1	0	1	1
9	1	1	0	0
10	0	0	0	0

3.5.5. Mạch đếm - Giải mã và hiển thị

a) IC đếm

Hai IC đếm rất thông dụng là 7490 và 4510

- IC đếm 7490 (hình 3.98a)

IC gồm 2 mạch đếm : $M_1 = 2$ với đầu vào xung A, đầu ra Q_0 và mạch đếm $M_2 = 5$ với đầu vào xung B, đầu ra $Q_3Q_2Q_1$.

Khi dùng IC để đếm 10 theo mã BCD-8421 (bảng 3.34) thì phải nối đầu ra Q_0 với đầu vào xung B (tương tự sơ đồ 3.97a), xung đếm đưa vào A.

Nếu nối đầu ra Q_3 với đầu vào B (tương tự sơ đồ 3.97b) thì có bộ đếm 10 theo mã Bi - quinary (bảng 3.35). Lúc này, xung đếm phải vào đầu B và Q_0 là đầu ra có trọng số lớn nhất ($Q_0Q_3Q_2Q_1$) và Q_1 là đầu ra có trọng số nhỏ nhất.

RO_1 và RO_2 là các đầu vào thiết lập trạng thái 0000.

$R9_1$ và $R9_2$ là các đầu vào thiết lập trạng thái ra 1001.

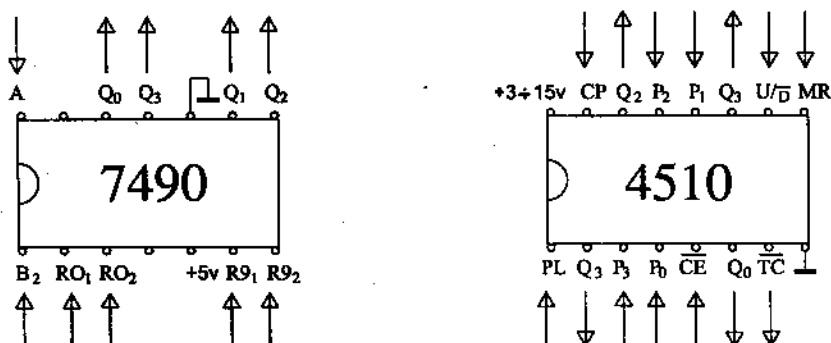
- IC đếm 4510 (hình 3.98b)

IC là bộ đếm 10 tiến - lùi theo mã BCD-8421. Đầu vào đếm là CP (tác động nhờ sườn trước). Các đầu ra là $Q_0 + Q_3$. Đầu vào $\frac{U}{D}$ để xác định chiều đếm. Mạch đếm tiến khi đầu vào này có mức logic 1 và đếm lùi khi có mức logic 0.

Đầu vào $\overline{CE}$ là đầu vào cho phép đếm, tác động ở mức logic 0.

MR là đầu vào reset, tác động ở mức logic 1. Bình thường nối âm.

TC là đầu ra tràn hay nhớ. Khi mạch đếm được 9 xung (đầu ra 1001) rồi đếm tiếp xung thứ 10, mạch trở về trạng thái 0 (đầu ra 0000), đồng thời đầu ra TC có mức logic 0. Tín hiệu này sẽ được chuyển đến mạch đếm có trọng số cao hơn.



Hình 3.98 : IC đếm 7490 (a) và 4510 (b)

IC đếm 4510 còn có thể đếm (tiến hay lùi) từ một số đặt bất kì. Việc đặt được tiến hành khi đầu vào cho phép PL ở mức logic 1. Các số đặt (dữ liệu đặt) đưa vào các đầu $P_0 \div P_3$ và chuyển tải thẳng tới các đầu ra $Q_0 \div Q_3$. Vì vậy, $P_0 \div P_3$ còn gọi là các đầu vào song song.

b) IC giải mã BCD-8421 $\rightarrow$ 7 thanh

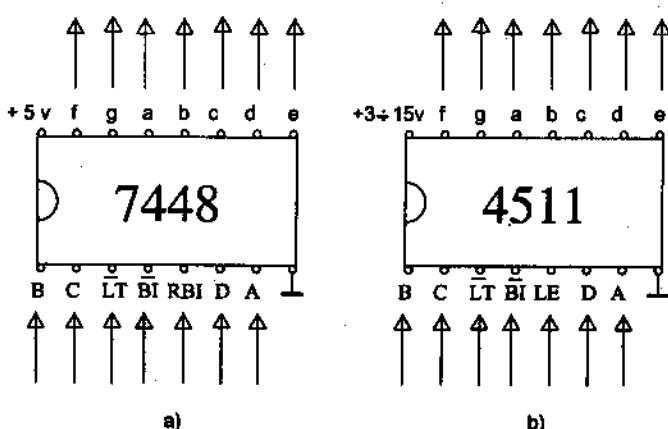
- IC 7448 (hình 3.99a)

A, B, C, D : các đầu vào dữ liệu (số đếm cần hiển thị).

a, b, c, d, e, f, g : các đầu ra, đưa tới hiển thị LED.

$\overline{\text{LT}}$: đầu vào thử đèn. Khi có mức logic 0 thì tất cả các thanh LED sáng (hiện số 8).

$\overline{\text{BI}}$: đầu vào xóa. Mức logic 1 : đèn sáng. Mức logic 0 : đèn tắt.



Hình 3.99 : IC giải mã BCD.8421 $\rightarrow$ 7 thanh 7448 (a) và 4511 (b)

RBI : đầu vào này có logic 1 sẽ cố định số hiển thị (dùng số), khi có mức logic 0 sẽ cho đếm bình thường.

Bộ giải mã 7448 có thể dùng để hiển thị LED 7 thanh cho hệ đếm 16.

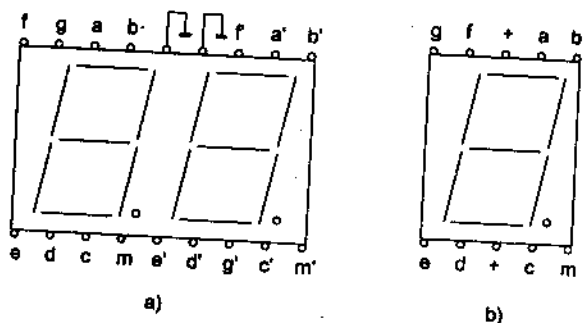
- IC 4511 (hình 3.99b)

Các đầu vào và ra giống như của IC 7448

Chú ý : Đầu vào LE của IC 4511 là đầu vào RBI của IC 7448 và IC 4511 chỉ hiển thị các số của hệ đếm 10.

c) LED hiển thị

LED hiển thị (xem mục 3.3.3) có nhiều dạng, kiểu khác nhau. Hình 3.100 giới thiệu 2 loại LED phổ biến. Có loại LED một số, hai số và nhiều số. Có loại anốt chung và catốt chung.

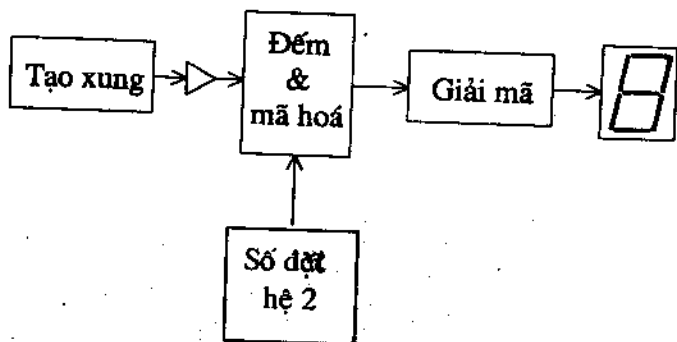


d) Mạch đếm

Hình 3.100 : LED 2 số catốt chung (a) và LED 1 số anốt chung (b)

Sơ đồ tổng quát của bộ đếm như trên hình 3.101. Xung đếm được tạo ra từ bộ tạo xung, qua khuếch đại, xung sẽ vào khối đếm và mã hoá sang hệ 2, tới bộ giải mã (từ hệ đếm 2 sang 7 thanh) rồi tới hiển thị 7 thanh. Bộ đếm có thể đếm (tiến hay lùi) từ một số nào đó. Số này được đặt (qua đầu vào song song) vào bộ đếm.

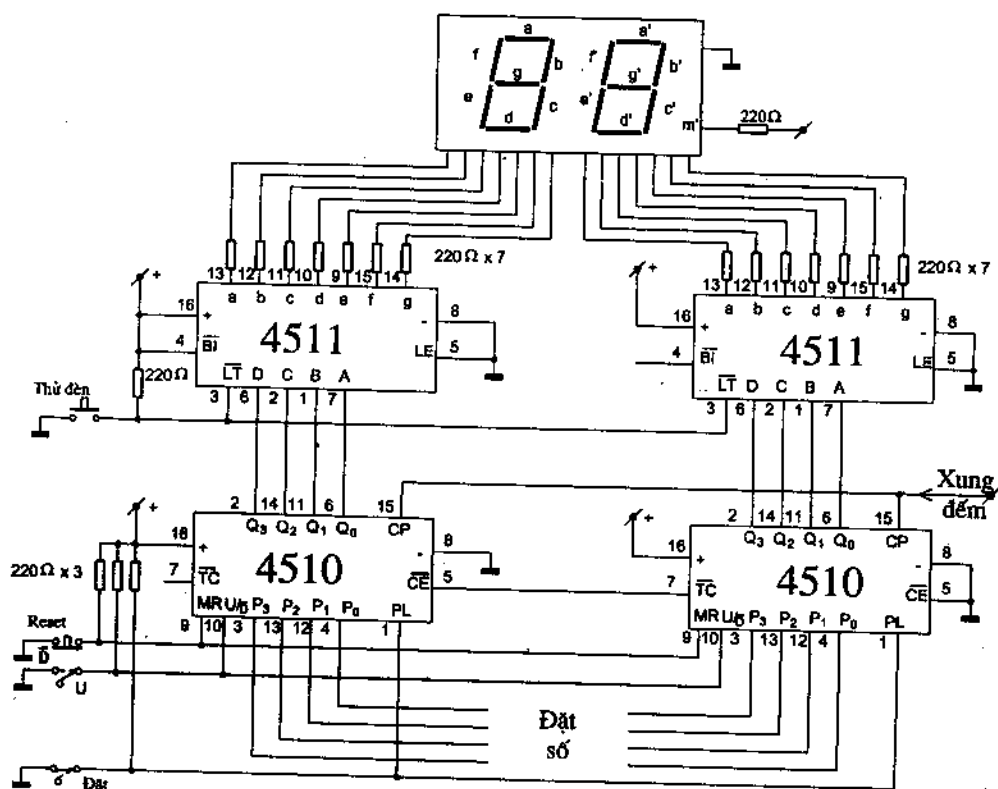
Hình 3.102 là sơ đồ cụ thể của một bộ đếm hai số (2 digit). Xung đếm đưa vào chân 15 (CP) (bộ đếm đồng bộ) của IC 4510. Đếm tiến thì đặt mức logic 1 vào chân 10 ($\frac{U}{D}$), đếm lùi thì đặt mức logic 0 vào chân



Hình 3.101: Sơ đồ khối bộ đếm

10 nhờ công tắc 2 vị trí $\bar{D}$ và U. Đếm từ 0 thì ấn nút reset để về 0 trước khi đếm. Đếm từ số nào đó (tiến hoặc lùi) thì chuyển công tắc đặt để chân 1 có mức logic 1 và đặt số vào các đầu P_3, P_2, P_1, P_0 (theo mã BCD-8421).

Số đếm được ở dạng mã BCD-8421 được chuyển tới IC giải mã 4511 và từ đó đưa tới các LED catốt chung để hiển thị. Thử các LED nhờ nút "thử đèn". Chấm m' được nối với cực dương (+) của nguồn.



Hình 3.102: Bộ đếm hai số (2 digit)

3.6. CÁC BỘ NHỚ BÁN DẪN

Yêu cầu đối với các thiết bị số là phải có khả năng lưu trữ (hay chứa đựng) các thông tin (dưới dạng nhị phân). Như trong máy tính, các con số cần tính toán đưa vào máy cần phải lưu trữ cũng như lưu trữ các lệnh điều khiển nhằm thực hiện tính toán theo một trình tự nào đó.

Bộ nhớ (memory) là thiết bị dùng để lưu trữ các thông tin hay dữ liệu. Nó là thành phần không thể thiếu trong các thiết bị số.

Thông tin đưa vào bộ nhớ dưới dạng từ (word). Một từ có thể dài 8 bit (còn gọi là octet), 12 bit, 16 bit, 32 bit... tùy theo loại thiết bị số. Một từ được tạo nên bởi nhiều bit nên đơn vị cơ bản của bộ nhớ là một bit.

- Các bộ nhớ thường được đánh giá qua các chỉ tiêu :

+ Dung lượng (capacity) hay dung lượng nhớ là số lượng thông tin có thể lưu trữ được trong bộ nhớ. Đơn vị tính dung lượng là bit, kilôbit, megabit, gigabit.

Lưu ý rằng :

$$1 \text{ bit} = 2^0 \text{ bit} = 1 \text{ bit}$$

$$1 \text{ kilôbit} = 2^{10} \text{ bit} = 1024 \text{ bit}$$

$$1 \text{ megabit} = 2^{20} \text{ bit} = 1.048.576 \text{ bit}$$

$$1 \text{ gigabit} = 2^{30} \text{ bit} = 1.073.741.824 \text{ bit}$$

+ Thời gian thâm nhập (access time), viết tắt là at. Đó là thời gian để tìm từ trong bộ nhớ và thời gian để lấy từ ra khỏi bộ nhớ. Thời gian thâm nhập lớn thì tốc độ nhập - xuất sẽ giảm.

- Theo chỉ tiêu, bộ nhớ được chia thành 2 loại:

+ Bộ nhớ chính : dùng lưu trữ các thông tin, các lệnh cần ngay cho làm việc của thiết bị số. Bộ nhớ chính có tốc độ nhập - xuất nhanh ($1 \text{ at} \leq 1 \mu\text{s}$) và dung lượng không cần lớn lắm (vài chục kilôbit).

+ Bộ nhớ phụ : dùng lưu trữ các thông tin chưa cần ngay hoặc kết quả vừa xử lý phải chờ để xử lý tiếp. Bộ nhớ phụ cần dung lượng lớn (tới hàng nghìn megabit) nhưng tốc độ nhập - xuất có thể chậm hơn ($1 \text{ at} \sim 1 \text{ ms}$). Các bộ nhớ chỉ có khả năng lưu trữ thông tin (dữ liệu). Khi sử dụng bộ nhớ, phải ghi (viết) dữ liệu vào hoặc lấy (đọc) dữ liệu ra. Mỗi từ trong bộ nhớ được gửi vào một địa chỉ có mã địa chỉ riêng.

- Tùy theo khả năng cho phép ghi hoặc đọc của bộ nhớ mà chia ra:

+ Bộ nhớ chỉ đọc ROM (Read Only Memory). Với ROM, dữ liệu cũng như chương trình hoạt động (tập các lệnh điều khiển) được ghi vào trong quá trình chế tạo bởi người thiết kế và không thể thay đổi được khi sử dụng. Nội dung bộ nhớ không thay đổi theo thời gian và không bị mất khi mất điện. Thông tin là thường trú.

+ Bộ nhớ đọc - ghi RAM (Random Access Memory). Với RAM, nó cho phép viết vào và lưu trữ các kết quả trung gian tạm thời trong khi thực hiện chương trình điều khiển, sau đó có thể lấy thông tin ra để xử lý tiếp hoặc xóa đi để viết vào thông tin mới. Các dữ liệu ghi trong RAM có thể mất khi mất điện nên cần có nguồn nuôi dự trữ.

Dưới đây là một số bộ nhớ thông dụng nhất.

3.6.1. Bộ nhớ ROM

Bộ nhớ ROM có dữ liệu và chương trình được cài đặt sẵn, cố định nên được dùng để điều hành một máy hay máy tính theo các bước quy định với một nhóm công việc giới hạn theo một quy trình công nghệ nào đó.

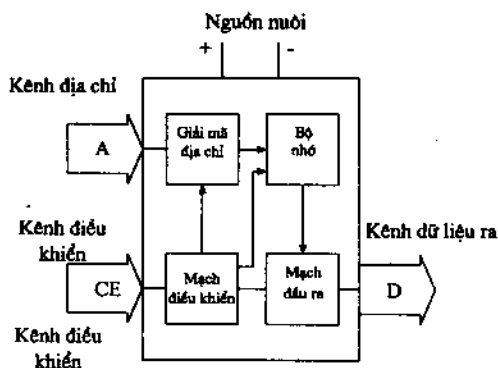
Cấu trúc chung của ROM như trên hình 3.103, Nó gồm 4 khối :

- Khối bộ nhớ : nơi lưu giữ dữ liệu đã được ghi cố định. Đơn vị cơ bản của bộ nhớ là ô nhớ với một mã địa chỉ riêng.

- Khối giải mã địa chỉ : khi nhận thông tin về địa chỉ của ô nhớ, khối này giải mã khi có lệnh để đưa tới bộ nhớ.

- Khối mạch ra : đưa các dữ liệu cần đọc từ bộ nhớ ra kênh dữ liệu để gửi tới các thiết bị tiếp nhận dữ liệu.

- Khối điều khiển : khi có thông tin ở kênh điều khiển, sẽ điều khiển khối giải mã địa chỉ, khối bộ nhớ và khối mạch ra để chọn đúng dữ liệu theo địa chỉ ở kênh địa chỉ đưa từ bộ nhớ qua mạch đầu ra tới kênh dữ liệu ra.

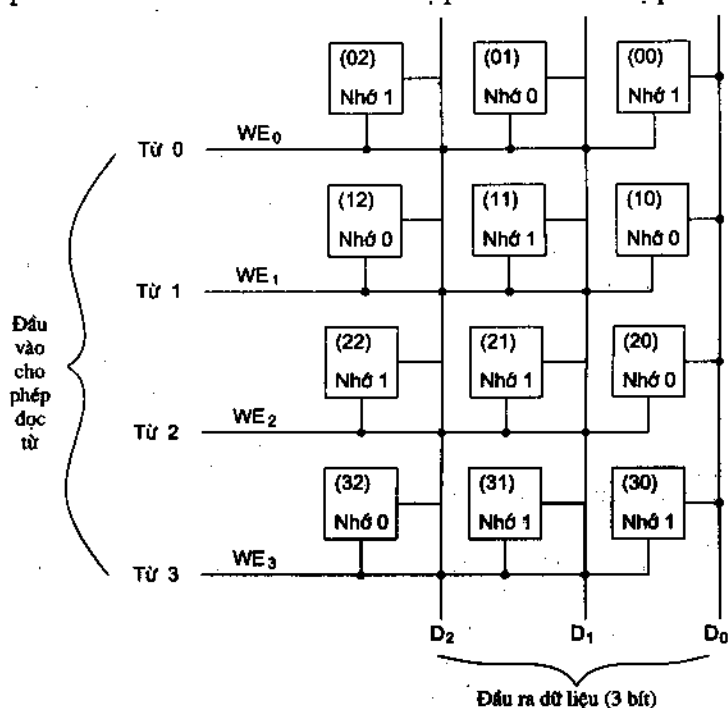


Hình 3.103 : Cấu trúc của ROM

Bộ nhớ trong ROM bao gồm nhiều phần tử nhớ cơ bản (hay đơn vị nhớ : memory cell). Mỗi phần tử nhớ cơ bản là 1 ô nhớ nhị phân. Ô nhớ nhị phân có

chức năng nhớ một trong hai trạng thái : hoặc logic 0 hoặc logic 1.

Trong bộ nhớ ROM, các ô nhớ nhị phân được sắp xếp thành hàng và cột (hình 3.104). Mỗi hàng nhớ được 1 từ (word). Từ 8 bit cần 8 ô nhớ, từ 16 bit cần 16 ô nhớ...



Hình 3.104 : Cấu trúc bộ nhớ kiểu mảng tuyến tính có dung lượng 4×3

Trên hình 3.104 là một ví dụ về bộ nhớ ROM có dung

lượng 4×3 , nghĩa là bộ nhớ chứa được 4 từ, mỗi từ 3 bit. Số ô nhớ là $4 \times 3 = 12$, mỗi ô nhớ được đánh số theo hàng và cột. Ô nhớ 21 là ở hàng 2 cột 1. Bộ nhớ có 3 ô nhớ trên một hàng nên lưu nhớ được một từ 3 bit.

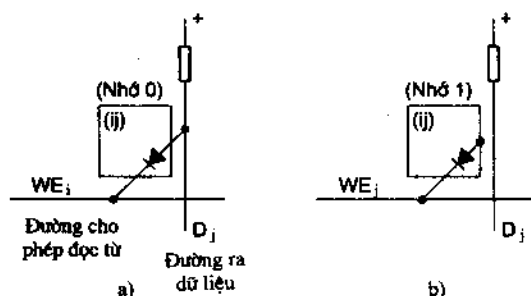
Bộ nhớ có bao nhiêu hàng thì lưu được bấy nhiêu từ. Bộ nhớ ở hình 3.104 có 4 hàng nên lưu nhớ được 4 từ. Ví dụ : từ 3 là 011, trong đó ô nhớ (30) nhớ mức logic 0, ô nhớ (31) nhớ mức logic 1 và ô nhớ (32) nhớ mức logic 0. Từ 0 là 101, trong đó ô nhớ (00) nhớ mức logic 1, ô nhớ (01) nhớ mức logic 0, ô nhớ (02) nhớ mức logic 1 v.v...

Để đọc ra một từ, chẳng hạn từ 2, ta cho địa chỉ 10 vào mạch giải mã, đường vào 2 cho phép đọc từ sẽ được kích hoạt (lên logic 1 hay logic 0 tùy theo cấu tạo của ô nhớ). Từ đó, các ô nhớ (22), (21) và (20) sẽ phản ứng và cho ra đầu ra dữ liệu $D_2D_1D_0 = 110$.

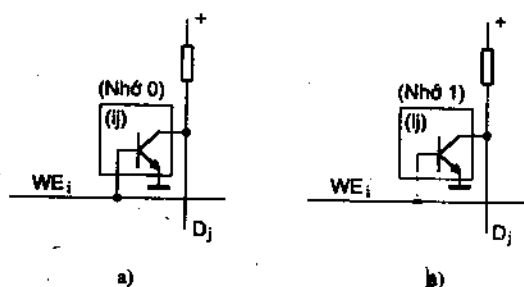
Bộ nhớ có cấu trúc trên là cấu trúc kiểu mảng tuyến tính. Với dung lượng nhớ lớn, bộ nhớ sẽ rất phức tạp, công kênh nên thực tế còn có cấu trúc kiểu mảng ma trận (không xét trong giáo trình này).

Ô nhớ trong bộ nhớ của ROM được cấu tạo theo nhiều cách với một phương pháp lập trình sẵn nào đó để ghi nhớ một mức logic (hoặc 0 hoặc 1) một cách vĩnh viễn.

Với ô nhớ dùng diốt thì diốt được nối chéo giữa đường đọc từ và đường bit ra. Khi cần nhớ mức logic 0 thì diốt sẽ nối liền giữa hai đường (hình 3.105a). Như vậy, khi đường đọc từ có mức logic 0 thì diốt dẫn dòng và đường bit ra sẽ có mức logic 0 là mức lưu giữ của ô nhớ. Khi cần nhớ mức logic 1 thì diốt không nối liền giữa hai đường (hình 3.105b). Vậy, khi đường đọc từ có mức logic 0 thì diốt không dẫn dòng và đường bit ra sẽ có mức logic 1 là mức lưu giữ của ô nhớ.



Hình 3.105 : Ô nhớ dùng diốt khi nhớ mức logic 0 (a) và khi nhớ mức logic 1 (b)

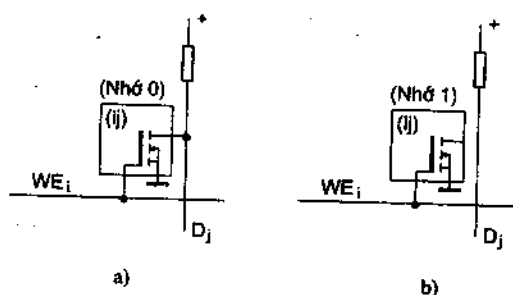


Hình 3.106 : Ô nhớ dùng tranzito khi nhớ mức logic 0 (a) và khi nhớ mức logic 1 (b)

Với ô nhớ dùng tranzito thì tranzito được nối như ở hình 3.106. Khi cần nhớ mức logic 0 thì cực C được nối với đường bit, cực B được nối với đường cho

phép đọc từ (hình 3.106a). Như vậy, khi đường đọc từ có mức logic 1 thì tranzito thông và đường bit ra D_j sẽ có mức logic 0 là mức lưu giữ của ô nhớ. Khi cần nhớ mức logic 1 thì cực C vẫn được nối với đường bit, còn cực B để hở mạch (hình 3.106b). Vậy, khi đường cho phép đọc từ có mức logic 1 thì tranzito không thông và đường bit ra D_j sẽ có mức logic 1 là mức lưu giữ của ô nhớ.

Với ô nhớ dùng MOSFET, khi cần nhớ mức logic 0 thì cực D được nối với đường bit, cực G được nối với đường từ (hình 3.107a). Vậy, khi đường đọc từ có mức logic 1 thì MOSFET dẫn dòng và đường bit ra D_j sẽ có mức logic 0 là mức lưu giữ của ô nhớ. Khi cần nhớ mức logic 1 thì cực S hở (hình 3.107b) và mức logic 1 ở đường bit ra D_j được giữ khi có ở mức logic 1 ở đường đọc từ.

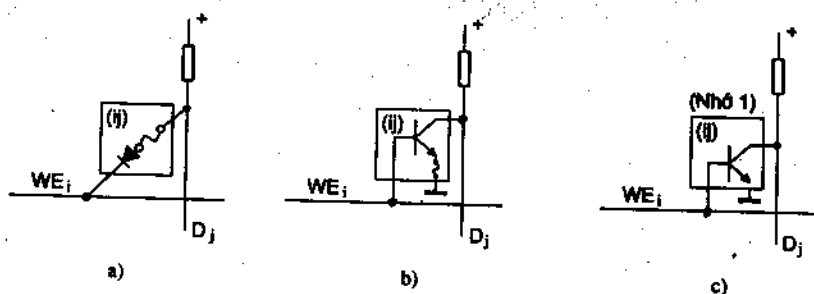


Hình 3.107 : Ô nhớ dùng MOSFET khi nhớ mức logic 0 (a) và khi nhớ mức logic 1 (b)

ROM là bộ nhớ chỉ đọc. Các dữ liệu chứa trong nó được ghi sẵn khi chế tạo và thường là các lệnh điều khiển hoạt động của một thiết bị mà các lệnh này không thay đổi được. Để có thể tạo điều kiện linh động hơn cho người sử dụng, người ta sản xuất ra những ROM có thể ghi được. Đó là những bộ nhớ đọc - ghi song khác RAM là phải ghi bằng phương tiện đặc biệt và nội dung ghi thường được lưu giữ vĩnh viễn. ROM loại này gọi là bộ nhớ bán cố định (RMM : Read Mostly Memory).

3.6.2. ROM cho phép lập trình

ROM cho phép lập trình còn gọi là PROM (Programmable ROM). Với PROM, người sử dụng có thể lập trình theo yêu cầu của mình và chỉ ghi được một lần bằng thiết bị riêng. Các phần tử bán dẫn của ô nhớ được nối thêm một

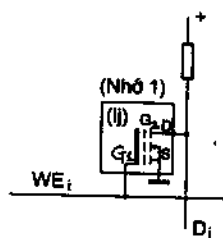


Hình 3.108 : Ô nhớ PROM có cấu trúc dây ở diốt (a) hay ở tranzito (b)

cầu chày bằng Ni-Cr hay Si đa tinh thể (hình 3.108). Để lập trình cho ô nhớ mức logic 1 thì phải cho xung điện làm đứt cầu chày (hình 3.105b, 3.108a). Khi ghi sai, PROM không cho phép ghi lại vì cầu chày đã đứt.

Khắc phục nhược điểm này, người ta tạo ra các EPROM (Erasable PROM) cho phép khi nạp (ghi) chưa chuẩn thì có thể nạp lại. Hình 3.109 là ô nhớ của EPROM dùng MOSFET có hai cực cửa (xem mục 2. 2. 5c), trong đó một cực cửa G2 thả nổi về điện nhờ bọc kín trong lớp thủy tinh mỏng.

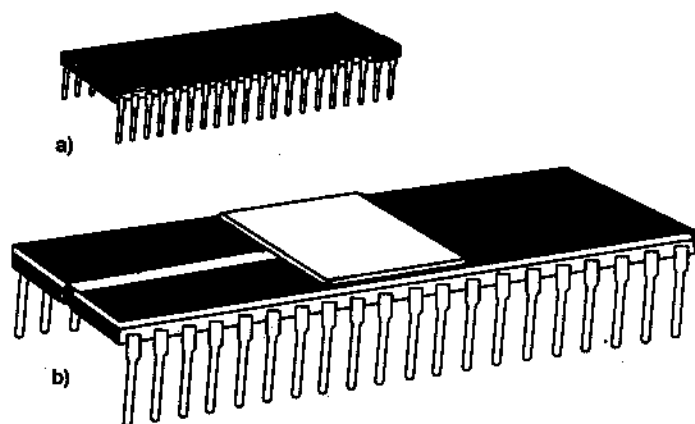
Ghi : Khi không tích điện cho G2 thì G1 điều khiển dòng cực máng bình thường theo điện thế dương U_{GS} đặt vào nó ($WE_i = 1$). Có dòng cực máng I_{DS} về mát nên $D_j = 0$. Kết quả có ô nhớ 0. Khi tích điện âm cho G2 thì G1 mất khả năng điều khiển MOSFET nên có $WE_i = 1$ thì vẫn có $I_{DS} = 0$ nên $D_j = 1$. Kết quả có ô nhớ 1.



Hình 3.109: Ô nhớ EPROM dùng MOSFET hai cực cửa (một cực cửa thả nổi)

Xoá : Thao tác xoá thực chất là loại bỏ điện tích âm ở cực G2 đối với các ô nhớ 1. Điều này thực hiện được nhờ chiếu tia cực tím mạnh vào EPROM qua một cửa sổ trên EPROM để giải phóng điện tích âm (điện tử) ở G2 qua lớp thủy tinh mỏng bao bọc cực. Khi chiếu tia cực tím, toàn bộ ô nhớ 1 bị xoá nhớ. Sau khi xoá nhớ, EPROM có thể nạp thông tin mới. Thời gian xoá (chiếu tia cực tím) khoảng $15 \div 20$ phút.

Cửa sổ trên EPROM phải có giấy che chống ánh sáng chiếu vào (hình 3.110b) sau khi đã nạp xong. Không được bóc giấy che này khi EPROM đang làm việc trên mạch vì dữ liệu nạp có thể bị xoá. Cũng có thể xoá EPROM



Hình 3.110 : Dạng bên ngoài của một chip ROM (a) và chip EPROM (b)

bằng điện nhờ đặt lên G1 một điện thế dương đủ lớn để làm mất các điện tử tích ở G2. Cách này cho phép xoá chọn lọc từng từ hoặc vài từ. EPROM xoá bằng điện gọi là EEPROM (hay E²PROM : Electrically EPROM) hay EAPROM : Electrically Alterable PROM).

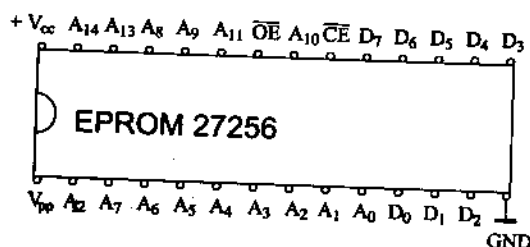
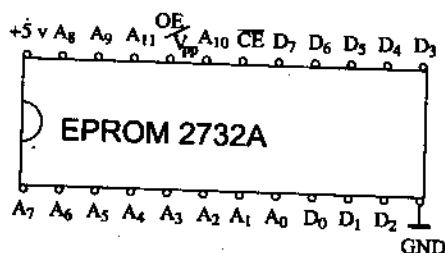
Sử dụng ROM là tùy yêu cầu, mức độ tiện dụng. Thông thường, ROM được dùng để :

- Chứa các lệnh điều khiển để điều khiển máy theo một chương trình nào đó.

- Chứa các dữ liệu mà máy thường dùng như π , e...

- Chuyển mã : cho đầu vào một từ của mã nào đó thì đầu ra là một từ của mã khác.

Hình 3.111 là một số ví dụ về chip EPROM phổ biến thuộc họ 27..(.). Hai hoặc ba số sau chỉ dung lượng tính theo Kbit. Các chip họ 27 có chân V_{pp} để đặt điện áp cao khi nạp dữ liệu.

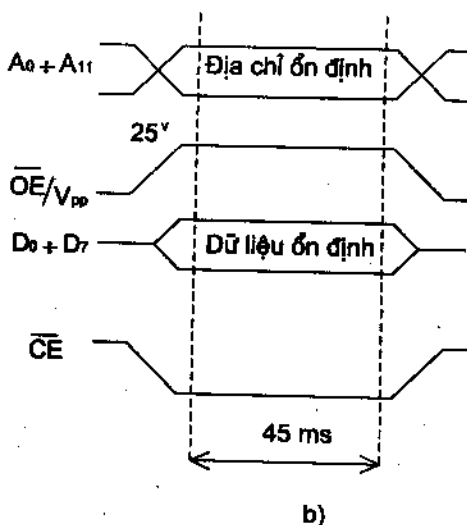
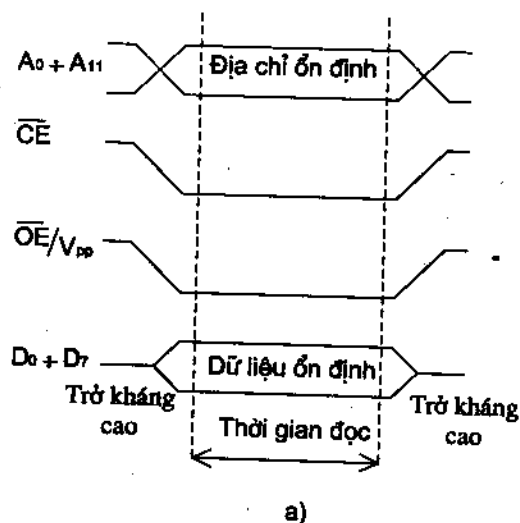


2732A

Hình 3.111: Một số chip EPROM

EPROM có dung lượng 32 Kbit hay $4K \times 8$ octet, tức là chứa được $32 \times 2^{10} (= 32.768)$ bit hay $4 \times 1024 (= 4096)$ từ 8 bit.

8 chân dữ liệu : $D_0, D_1, \dots, D_7$ (cho 1 octet).



Hình 3.112 : Giản đồ thời gian khi đọc (a) và ghi (b) của EPROM 2732A

12 chân địa chỉ : $A_0, A_1, \dots, A_{11}$ ($2^{12} = 4096$ địa chỉ cho 4096 octet)

$\overline{CE}$: chip enable, điều khiển IC hoạt động (lògic 0) hay ngưng (lògic 1)

$\frac{\overline{OE}}{V_{pp}}$: Khi ghi thì đặt điện áp cao (25V), còn khi đọc thì $\overline{OE} = 0$

(OE : Output Enable).

Giản đồ thời gian khi đọc như hình 3.112a. Có hai đường địa chỉ vì một số chân chuyển về 0 trong khi số khác chuyển lên 1. Thời gian đọc (khi xuất hiện dữ liệu ở các chân D_i) là vài trăm nano giây.

Giản đồ thời gian khi ghi như trên hình 3.112b. Chân $\frac{\overline{OE}}{V_{pp}}$ đặt lên 25V.

Chọn địa chỉ và dữ liệu cần ghi xong thì cho xung chuẩn có độ rộng 45 ms vào CE để ghi.

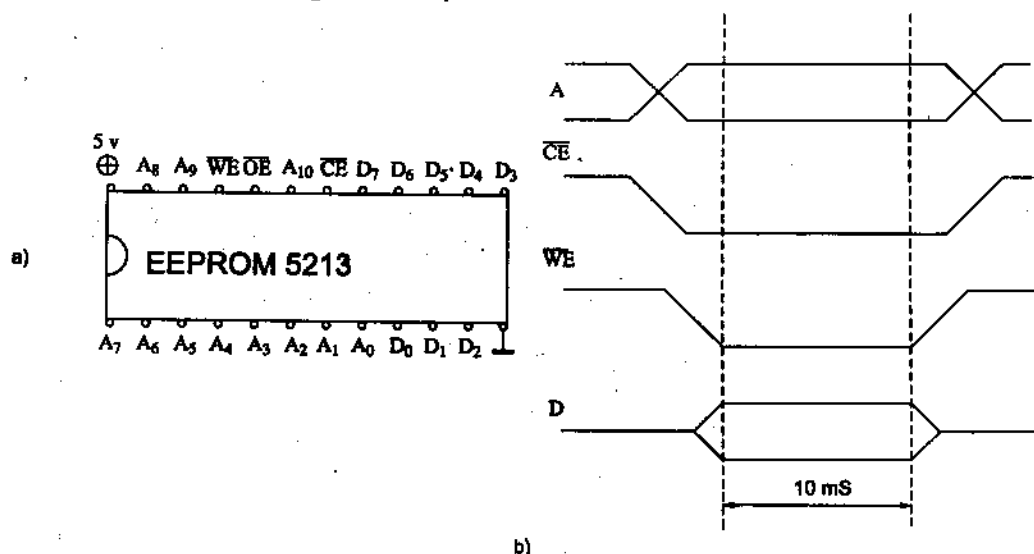
27256 : EPROM có dung lượng 256Kbit hay $32K \times 8$ octet, tức là chứa $256 \times 1024 = 262144$ bit hay $32 \times 1024 = 32768$ từ 8 bit.

8 chân dữ liệu : $D_0, D_1, \dots, D_7$ (cho 1 octet).

15 chân địa chỉ : $A_0, A_1, \dots, A_{14}$ ($2^{15} = 32768$ địa chỉ của 32768 octet)

$\overline{CE}$, $\overline{OE}$, V_{pp} : có chức năng tương tự của EPROM 2732A. Điểm khác biệt là hai chân $\overline{OE}$ và V_{pp} tách riêng.

5213 : EEPROM 5213 (hình 3.113a) có dung lượng $16384 \text{ bit} = 16 \text{ Kbit}$ hay $2K \times 8$ octet. Thời gian thâm nhập at ~ 200ns. Thời gian ghi là 10ms. Hình 3.113b là giản đồ thời gian khi đọc.



Hình 3.113 : EEPROM 5213 (a) và giản đồ thời gian khi đọc (b)

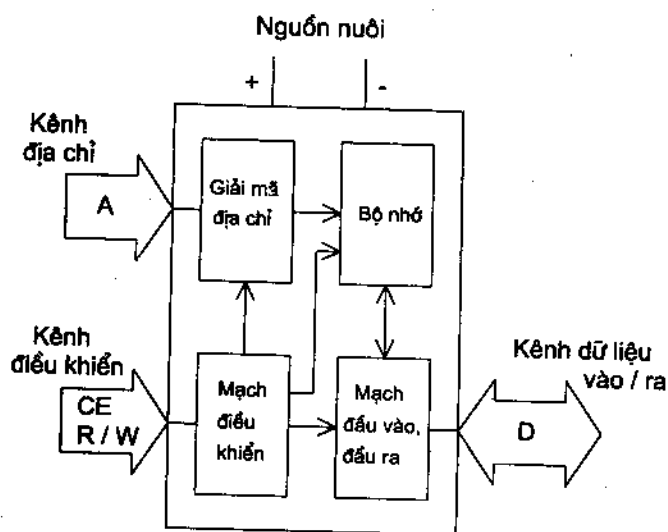
3.6.3. Bộ nhớ RAM

Cấu trúc chung của RAM như trên hình 3.114 và cũng gồm 4 khối như ROM là :

- Khối giải mã địa chỉ : tương tự ROM.

- Khối bộ nhớ : lưu giữ dữ liệu đã được ghi nhưng có thể xóa để ghi dữ liệu mới khi được lệnh.

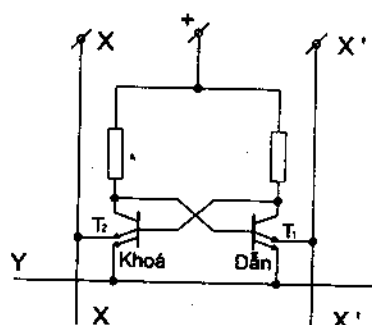
- Khối điều khiển: Ngoài tín hiệu cho phép còn có tín hiệu làm việc ở chế độ đọc hoặc ghi. Hai chế độ này không xảy ra đồng thời.



Hình 3.114: Cấu trúc của RAM

- Khối mạch vào/ra dữ liệu : Khi có lệnh điều khiển đọc thì cấp dữ liệu ra. Khi có lệnh ghi thì nạp dữ liệu vào bộ nhớ.

Bộ nhớ của RAM với các ô nhớ có thể ghi nhớ dữ liệu nhập vào (mức 0 hoặc mức 1), có thể cấp dữ liệu ra và có thể xóa dữ liệu khi cần thiết. Với chức năng như vậy, các ô nhớ của RAM thường được cấu tạo từ một transistor được biến đổi đôi chút, chẳng hạn như transistor dùng tranzito có 2 cực phát ở hình 3.115. Trên đó, đường Y dùng cho 1 từ (tương tự WE ở ROM), 2 đường X, X' dùng cho 1 bit của từ.

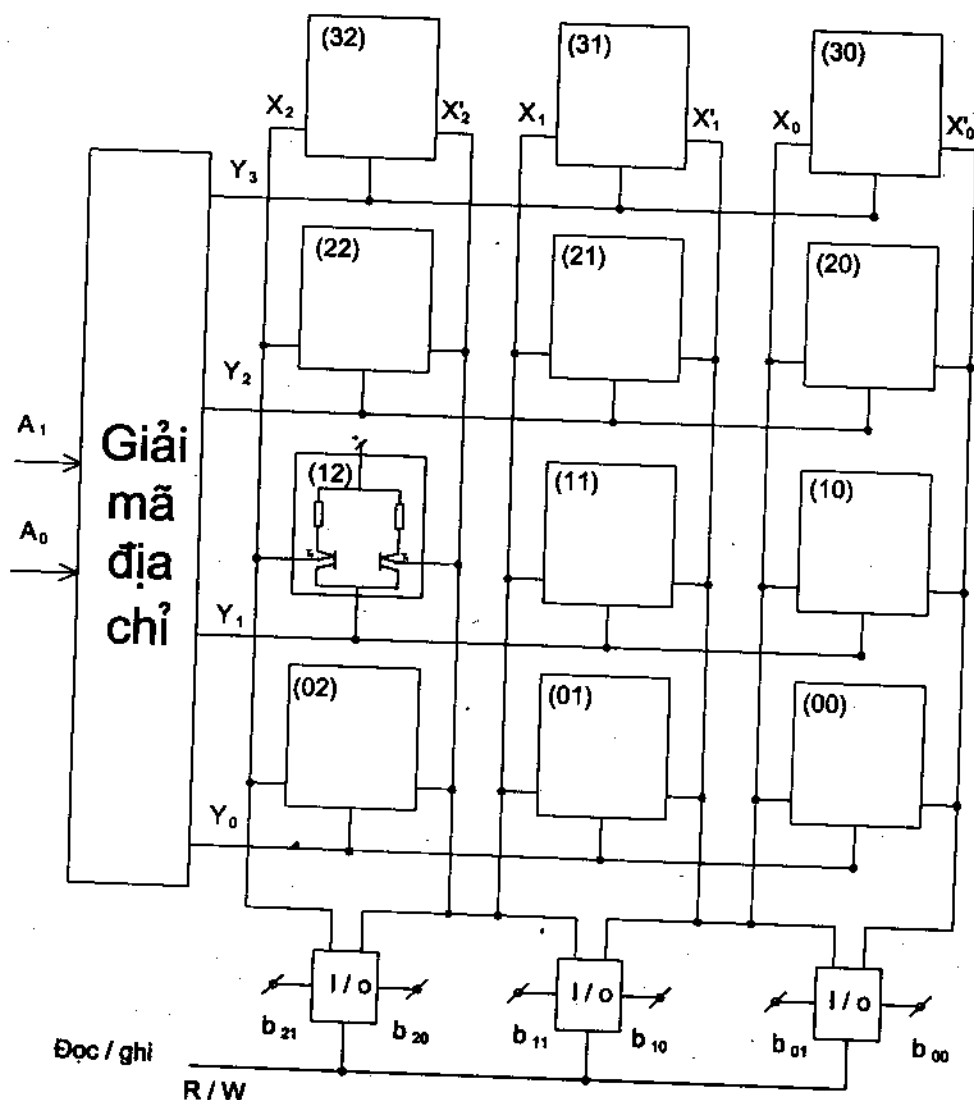


Hình 3.115: Ô nhớ RAM dùng tranzito 2 cực phát

Khi ghi (viết) ta phải chọn địa chỉ và thế đường Y tương ứng lên cao (logic 1) để 2 cực phát nối vào Y không dẫn, sau đó điều khiển các đường X, X' để ghi bit.

- Ghi bit 0, phải hạ thế đường X' xuống thấp hơn đường X để T_1 dẫn (cho xung âm vào X').

- Ghi bit 1, phải hạ thế đường X xuống thấp hơn đường X' để T_2 dẫn (cho xung âm vào X).



Hình 3.116 : Bộ nhớ RAM dung lượng 4 từ 3 bit

Sau khi ghi xong cho ô nhớ (hoặc bit 0, hoặc bit 1) thì trigơ luôn nhớ trạng thái vừa có. Nâng thế đường Y lên cao nhờ xung dương.

Khi đọc, ta phải nâng thế đường Y lên để 2 cực phát nối vào Y không dẫn và trigơ nhớ sẽ hoạt động nhờ 2 cực phát nối vào X, X'.

- Bit 0, do T_1 đã dẫn nên có dòng điện qua X' .
- Bit 1, do T_2 đã dẫn nên có dòng điện qua X .

Sự hiện diện của dòng điện báo hiệu sự xuất hiện tín hiệu. Mạch ra biến dòng điện thành điện thế thích hợp ở đầu ra (logic 0 hoặc logic 1). Phép đọc không làm mất dữ liệu đã ghi ở ô nhớ.

RAM dùng tranzito hai cực phát có vận tốc thao tác cao, thời gian thâm nhập nhỏ nhưng công suất tiêu thụ lớn hơn loại dùng MOSFET.

Hình 3.116 biểu thị một bộ nhớ RAM chứa 4 từ, mỗi từ 3 bit.

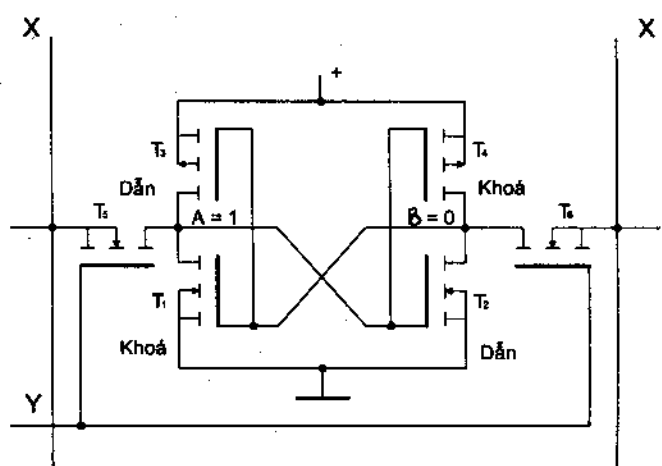
Ô nhớ của RAM có thể cấu tạo từ MOSFET và được chia thành 2 loại :

- Loại tĩnh, gọi là RAM tĩnh (SRAM : Static RAM) : Lợi dụng tính chất nhớ 1 trạng thái ổn định của trigơ dùng MOSFET.

- Loại động, gọi là RAM động (DRAM : Dynamic RAM) : lợi dụng điện dung kí sinh của cực của MOSFET để lưu giữ thông tin trong một khoảng thời gian nhất định.

SRAM

Ô nhớ của SRAM dùng MOSFET như hình 3.117. Trigơ được tạo bởi 2 MOSFET kiểu bù (CMOSFET - xem mục 3.2.4) T_1T_3 và T_2T_4 . T_1 và T_2 là các tranzito chính, còn T_3 và T_4 hoạt động như 2 điện trở. Ngoài ra, còn có T_5 và T_6 là 2 khoá điện tử để đọc ra từ ô nhớ hoặc ghi vào ô nhớ.



Hình 3.117 : Ô nhớ SRAM dùng MOSFET

Như hình 3.117, giả sử T_2 , T_3 dẫn và T_1 , T_4 khoá thì cực máng của T_2 (điểm B) có mức logic 0, còn cực máng của T_1 (điểm A) có mức logic 1. Các trạng thái này được trigơ lưu nhớ bền vững nếu không mất nguồn nuôi và không có tín hiệu điều khiển xoá.

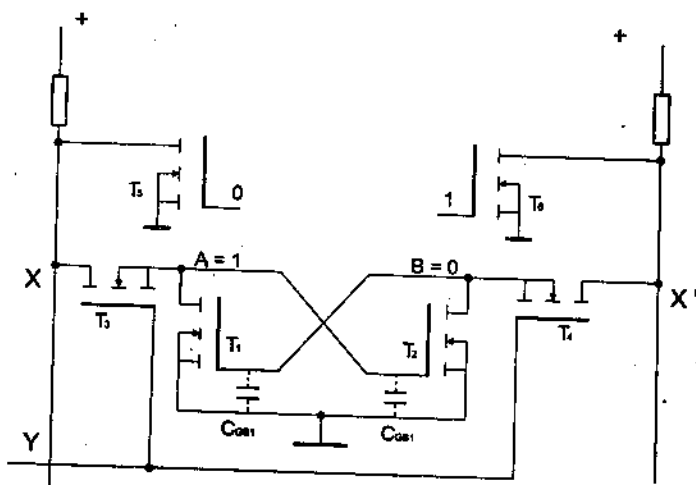
DRAM

Ô nhớ của DRAM dùng MOSFET như hình 3.118. Sự có hay không có điện tích trên tụ kí sinh C_{gs} giữa cực cửa và cực nguồn dùng để ghi và lưu giữ thông tin.

Ô nhớ DRAM có 3 chế độ làm việc :

- Chế độ ghi : Đặt vào đường Y mức logic 1 thì T_3 và T_4 nối thông với đường X và X'. Nếu lúc này đặt logic 1 vào cực cửa của T_6 thì T_6 thông và đường

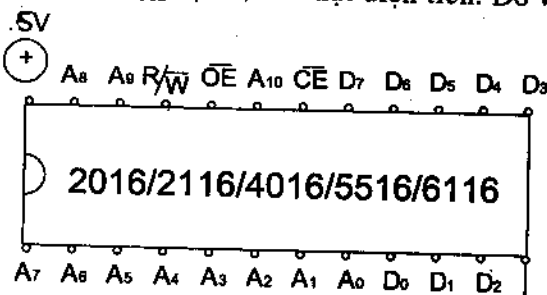
X' bị nối tắt ($X' = 0$) và qua T_4 thông sẽ có $B = 0$, dẫn tới T_1 khoá. Cực cửa T_5 được đặt mức logic 0 nên T_5 khoá và đường X có mức logic 1, qua T_3 thông nên $A = 1$. Tụ kí sinh C_{GS2} được nạp tới điện áp nguồn dương (+) và T_2 thông. Mức $B = 0$ được lưu giữ.



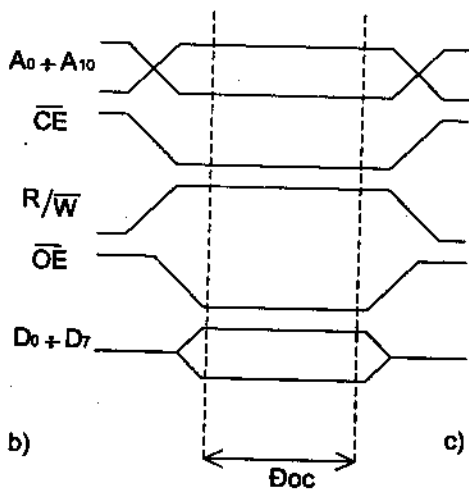
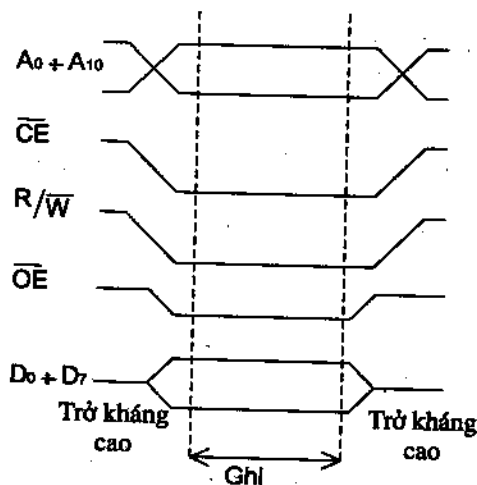
Hình 3.118 : Ô nhớ DRAM dùng MOSFET

- Chế độ chờ :
đường Y trở về logic

0 làm T_3, T_4 khoá. Ô nhớ gồm T_1, T_2 bị cô lập. Tụ C_{GS2} đặt thế dương vào cực cửa của T_2 và T_2 tiếp tục dẫn, duy trì $B = 0$. Trong thời gian chờ (đọc và xoá để ghi lại), tụ C_{GS2} bị dò, hao hụt điện tích. Do vậy, cần phải nạp bổ sung (gọi là làm



a)



Hình 3.119: Chip DRAM (a) và chế độ ghi (b), đọc (c)

tươi bộ nhớ). Khi làm tươi, cực cửa T_5 , T_6 đều có mức logic 0 và T_5 , T_6 khoá. Đặt $Y = 1$ thì T_3 , T_4 thông. T_4 thông và T_2 đang thông (do tụ C_{GS2}) nên $X' = 0$ vì nối mát, duy trì $B = 0$. T_3 thông sẽ nạp thêm cho C_{GS2} . Chu kì làm tươi khoảng phần nghìn giây.

- Chế độ đọc : Đặt Y lên logic 1 làm T_3 , T_4 thông. Do T_2 đang dẫn nên $X' = 0$ và bit 0 được đưa ra từ X' .

Hình 3.119 là một ví dụ về chip SRAM :

SRAM 2016/2116/4016/5516/6116

Dung lượng : 16 Kbit hay $2K \times 8$ bit

8 chân dữ liệu : $D_0 \div D_7$ (cho 1 octet)

11 chân địa chỉ : $A_0 \div A_{10}$ ($2^{11} = 2048$ địa chỉ cho 2048 octet).

$\overline{OE}$: cho phép đầu ra. $\overline{OE} = 1$: đầu ra có trở kháng cao. $\overline{OE} = 0$: đầu ra nối với hệ thống.

$\overline{CE}$: chọn chip. $\overline{CE} = 1$: vi mạch bị đóng ; $\overline{CE} = 0$: có thể ghi/đọc.

$R/\overline{W}$: đọc/ghi. $R/\overline{W} = 1$: đọc ; $R/\overline{W} = 0$: ghi

Chế độ làm việc của SRAM được biểu diễn trong bảng 3.36

Bảng 3.36:

$R/\overline{W}$	$\overline{OE}$	$\overline{CE}$	$D_0 \div D_7$	Mode
0	x	0	Dữ liệu xác định	Ghi
1	0	0	Dữ liệu ra	Đọc
x	x	1	Trở kháng cao	Cấm vi mạch
1	1	0	Trở kháng cao	Cấm ra

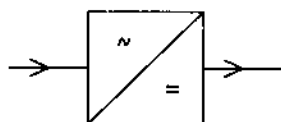
CÂU HỎI CHƯƠNG 3

1. Phân biệt các hệ đếm 10, hệ đếm 2, hệ đếm 8 và hệ đếm 16 ? Cách tính một số trong các hệ đếm đó như thế nào ?
2. Nêu cách chuyển đổi một số hệ đếm 10 sang hệ đếm 2 và ngược lại ?
3. Mã BCD-8421 là gì ?
4. Có những loại cổng logic nào ? Nêu hàm biểu diễn, bảng chân lí và cho ví dụ về các loại cổng đó ?
5. Khi sử dụng cổng logic thì cần lưu ý gì ?
6. Hệ logic tổ hợp và hệ logic dãy khác nhau thế nào ? Chức năng của chúng là gì ?
7. Thế nào là bộ mã hoá ? Nêu cách mã hoá số thập phân sang mã BCD-8421 ?
8. Thế nào là bộ giải mã ? Nêu cách giải mã nhị phân sang thập phân và mã BCD sang mã 7 thanh ?
9. Nêu cách chỉ thị số bằng 7 thanh ?
10. Thế nào là bộ chọn kênh, bộ phân kênh ? Nêu nguyên tắc làm việc của chúng ?
11. Mạch bán cộng và mạch cộng toàn phần là gì ?
12. Thế nào là bộ so sánh hai số nhị phân ?
13. Triger là gì ? Có những loại triger nào ? Hãy nêu bảng chân lí của chúng và so sánh sự khác nhau giữa chúng.
14. Phân biệt triger đồng bộ và triger không đồng bộ ?
15. Thế nào là triger chủ-tớ ?
16. Tín hiệu kích thích triger như thế nào ?
17. Trình bày mạch đếm không đồng bộ và mạch đếm đồng bộ ?
18. Mạch đếm modulo là gì ?
19. Trình bày mạch đếm modulo 5, modulo 10 và mạch đếm modulo bất kì ?
20. Thế nào là bộ nhớ bán dẫn ? Nêu chỉ tiêu đánh giá một bộ nhớ ?
21. So sánh sự khác nhau giữa ROM và RAM ?
22. Phân biệt bộ nhớ ROM, PROM, EPROM, EEPROM ?
23. Trình bày về ô nhớ ROM ?
24. Phân biệt bộ nhớ RAM, SRAM, DRAM ?
25. Trình bày về ô nhớ RAM ?

Chương 4

CÁC BỘ CHỈNH LƯU

Bộ chỉnh lưu là bộ biến đổi điện áp xoay chiều thành một chiều. Bộ chỉnh lưu được sử dụng rất nhiều trong các máy công nghiệp, vì vậy, chúng ta cần tìm hiểu cấu tạo và nguyên lý hoạt động của chúng. Kí hiệu tổng quát của một bộ chỉnh lưu như trên hình 4.1.

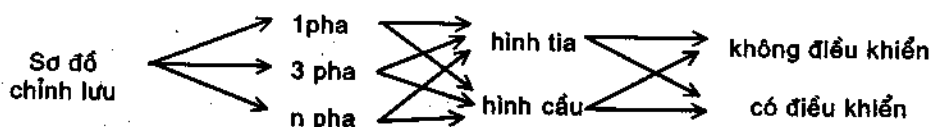


Hình 4.1 : Kí hiệu tổng quát một bộ chỉnh lưu

Có nhiều loại sơ đồ chỉnh lưu và chúng được phân loại như sau :

- Theo số pha : chỉnh lưu 1 pha, chỉnh lưu 3 pha, chỉnh lưu n pha.
 - Theo sơ đồ nối : chỉnh lưu nửa kì, chỉnh lưu hai nửa chu kì hay cả chu kì, chỉnh lưu hình tia, chỉnh lưu hình cầu.
 - Theo sự điều khiển : chỉnh lưu không điều khiển, chỉnh lưu có điều khiển
- Hiện nay, chỉnh lưu không điều khiển thường dùng diot (xem mục 2.1.1), chỉnh lưu có điều khiển thường dùng thyristo (xem mục 2.2.3).

Với các cách phân loại trên, một sơ đồ chỉnh lưu có thể được gọi tên như sau:



Ví dụ : Sơ đồ chỉnh lưu 1 pha hình cầu không điều khiển.

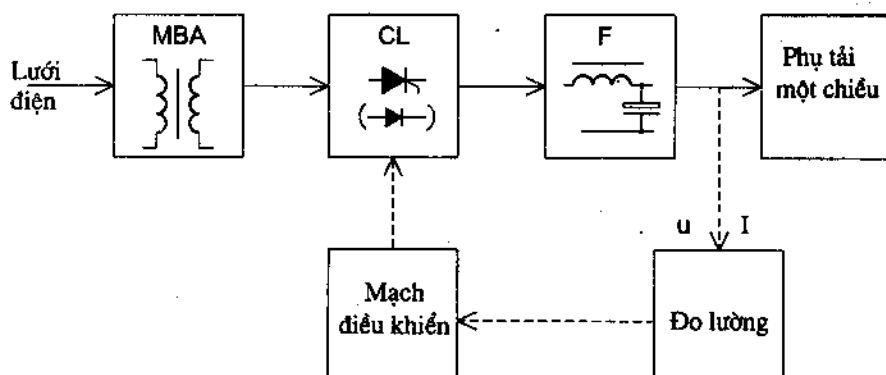
Sơ đồ chỉnh lưu 3 pha hình tia có điều khiển v.v.

Cấu trúc chung của một bộ chỉnh lưu như trên hình 4.2, bao gồm :

- Máy biến áp : dùng phối hợp điện áp lưới điện và điện áp đầu vào của bộ chỉnh lưu.
- Chỉnh lưu : là sơ đồ chỉnh lưu thực hiện việc biến đổi điện áp xoay chiều thành một chiều.
- Khâu lọc F : có chức năng san bằng điện áp một chiều sau chỉnh lưu đến mức độ nào đó. Khâu lọc thường sử dụng cuộn cảm, tụ điện.

- Mạch đo lường : đo lường các tín hiệu đầu ra một chiều (dòng điện, điện áp) để thực hiện chức năng bảo vệ hoặc để thực hiện chức năng phản hồi về mạch điều khiển (khi bộ chỉnh lưu là có điều khiển)

- Mạch điều khiển : dùng để điều khiển các thyristo trong chỉnh lưu có điều khiển. Mạch điều khiển cũng thực hiện chức năng tín hiệu hoá và bảo vệ toàn bộ bộ chỉnh lưu.

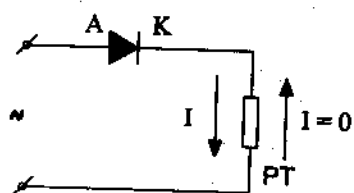


Hình 4.2: Cấu trúc chung một bộ chỉnh lưu

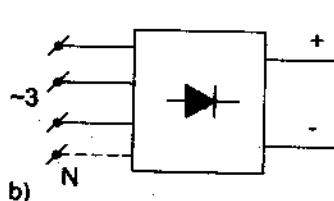
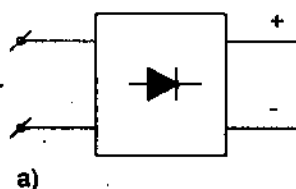
Một bộ chỉnh lưu không nhất thiết phải bao gồm tất cả các khâu, ngoại trừ khâu chỉnh lưu. Thông số của một bộ chỉnh lưu thường là : điện áp chỉnh lưu, dòng điện hay công suất chỉnh lưu, độ bằng phẳng của điện áp chỉnh lưu v.v...

4.1. CHỈNH LƯU KHÔNG ĐIỀU KHIỂN

Mắc một diốt giữa nguồn xoay chiều và phụ tải (hình 4.3) thì diốt chỉ cho dòng điện chạy qua phụ tải ở nửa chu kì mà nguồn phân áp thuận cho diốt, còn diốt không dẫn dòng (khóa) ở nửa chu kì ngược tiếp theo vì bị phân áp ngược (xem mục 2.2.1).



Hình 4.3 : Tải được cấp điện một chiều qua diốt

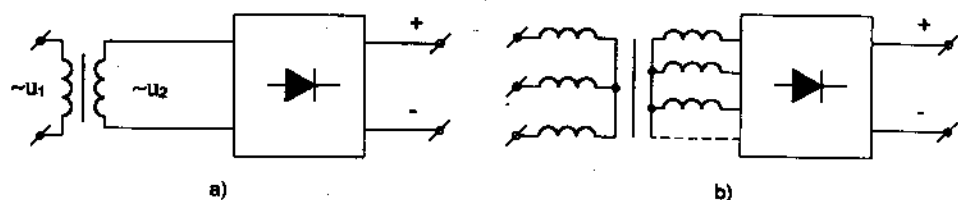


Hình 4.4 : Kí hiệu bộ chỉnh lưu không điều khiển 1 pha (a) và 3 pha (b) dùng diốt

Khi được phân áp thuận, diốt thông, dẫn dòng ngay và trị số dòng điện phụ thuộc vào điện áp nguồn và tổng trở phụ tải. Do vậy, diốt là một van không điều khiển và chỉnh lưu dùng diốt gọi là chỉnh lưu không điều khiển.

Các bộ chỉnh lưu không điều khiển dùng diốt được kí hiệu như trên hình 4.4.

Để đáp ứng điện áp một chiều mà phụ tải cần, điện áp xoay chiều đầu vào của bộ chỉnh lưu diốt thường được cấp qua máy biến áp (MBA) như trên hình 4.5.



Hình 4.5 : Nguồn xoay chiều cấp cho bộ chỉnh lưu qua MBA 1 pha (a) và 3 pha (b)

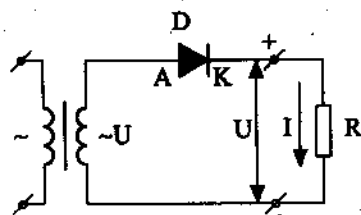
Các sơ đồ chỉnh lưu dùng diốt (bên trong khối chữ nhật có kí hiệu diốt) rất đa dạng, có thể là chỉnh lưu nửa chu kì, cả chu kì với sơ đồ hình tia, hình cầu v.v...

4.1.1. Chỉnh lưu một pha nửa chu kì

Quá trình làm việc của sơ đồ chỉnh lưu phụ thuộc vào tính chất của phụ tải nên ta xem xét riêng cho từng loại tải.

a) Tải thuần trở (R)

Hình 4.6 biểu thị sơ đồ chỉnh lưu 1 pha nửa chu kì với tải thuần trở (đèn sợi đốt, bếp điện, lò điện...). Ta coi diốt là lí tưởng, nghĩa là khi bị phân áp ngược thì $I_{ng} = 0$ và khi dẫn dòng, lúc được phân áp thuận thì sụt áp (hay điện áp rơi) trên diốt bằng 0 ($U_{AC} = 0$).



Hình 4.6 : Chỉnh lưu một pha nửa chu kì với tải thuần trở

Ở nửa chu kì dương của điện áp nguồn, diốt được phân áp thuận sẽ dẫn dòng qua tải. Dòng điện qua tải đồng pha với điện áp nguồn (hình 4.7b). Dòng qua tải là dòng một chiều (vì không có phần âm) nhưng bị nhấp nhô một lần trong một chu kì. Ta nói : dòng điện chỉnh lưu có tần số đập mạch là $m = 1$. Ở nửa chu kì âm, diốt bị phân áp ngược sẽ khoá, dòng điện qua tải bằng 0 và điện áp nguồn đặt lên diốt như hình 4.7c.

Giá trị trung bình của điện áp chỉnh lưu theo tính toán là :

$$U_d = \frac{U_m}{\pi} = \frac{\sqrt{2}U}{\pi} = 0,45U \quad (4.1)$$

Dòng điện tải trung bình :

$$I_d = \frac{U_d}{R} = \frac{\sqrt{2}U}{\pi R} = 0,45 \frac{U}{R} \quad (4.2)$$

Điện áp ngược lớn nhất đặt lên diốt sẽ là :

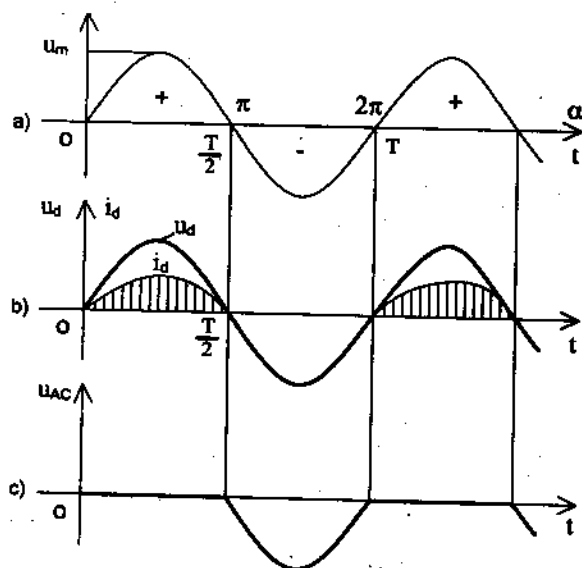
$$U_{ng,max} = U_m = \sqrt{2}U = 1,4U \quad (4.3)$$

b) Tải điện trở, điện cảm ($R + L$)

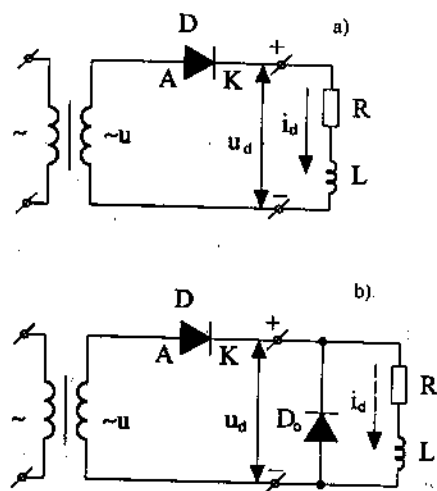
Tải có điện cảm là : các cuộn hút, cuộn dây, cuộn nam châm điện, cuộn li hợp, cuộn kích từ máy điện... Nếu điện trở rất nhỏ có thể bỏ qua thì ta có tải thuần cảm (L).

Trường hợp này (hình 4.8a), diốt dẫn điện ở nửa chu kì được phân áp thuận song vì tải có cảm kháng nên dòng điện không biến thiên cùng nhịp với điện áp nguồn (hình 4.9b) mà luôn chậm hơn (tăng chậm hơn, giảm chậm hơn). Nguyên nhân là do sức điện động (s.đ.đ) tự cảm của cuộn dây luôn có xu hướng chống lại sự biến thiên của điện áp nguồn.

Lúc dòng tăng, s.đ.đ tự cảm ngược chiều điện áp nguồn làm dòng tăng chậm. Điện năng tích lũy trong cuộn dây dưới dạng từ năng. Lúc dòng điện giảm, s.đ.đ tự cảm cùng chiều với điện áp nguồn làm dòng điện giảm chậm. Từ năng của từ trường cuộn dây biến trở thành điện năng. Do vậy, khi điện áp nguồn $u = 0$ và đảo chiều thành âm, s.đ.đ tự cảm e_L vẫn có giá trị đủ lớn, áp đảo u , tiếp tục phân áp thuận cho diốt D nên diốt D tiếp tục dẫn dòng qua tải. Tới thời điểm t_λ (ứng với góc pha λ) thì $-u > e_L$ và diốt bị phân áp ngược nên khoá, cắt dòng và $i_d = 0$.



Hình 4.7: Biểu đồ điện áp và dòng điện theo thời gian của chỉnh lưu 1 pha nửa chu kì với tải thuần trở



Hình 4.8 : Chỉnh lưu một pha nửa chu kì với tải có tính chất cảm kháng

Vì vậy :

- Khi tải có cảm kháng ($L \neq 0$) thì khoảng dẫn dòng của diốt $\lambda > \pi$ so với trường hợp tải trở thuần (khoảng dẫn dòng là π , hình 4.7b). Độ tự cảm L càng lớn thì λ càng lớn.

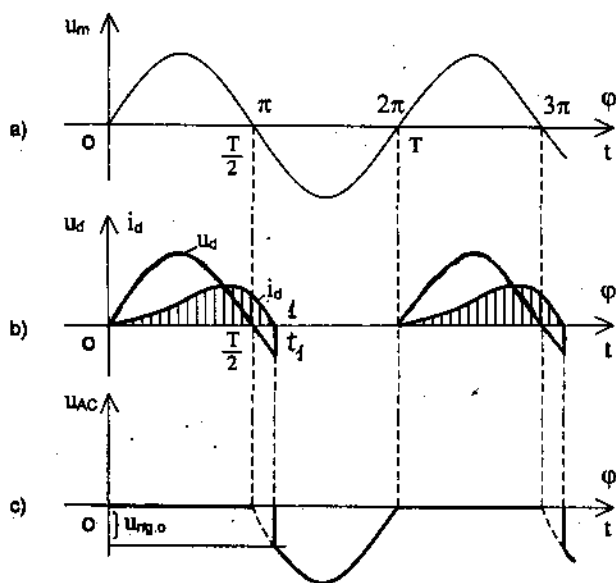
- Khi diốt dẫn dòng, điện áp trên tải lặp lại điện áp nguồn nên có một vùng âm ($\lambda - \pi$) như hình 4.9b. Do vậy, điện áp chỉnh lưu trung bình U_d nhỏ hơn so với trường hợp tải trở thuần.

- Điện áp ngược đặt lên diốt khi nó khoá như hình 4.9c và có bước nhảy vọt ban đầu $U_{ng,0}$ gây tác dụng xấu cho chuyển mạch của diốt. Độ tự cảm λ càng lớn thì $U_{ng,0}$ càng lớn.

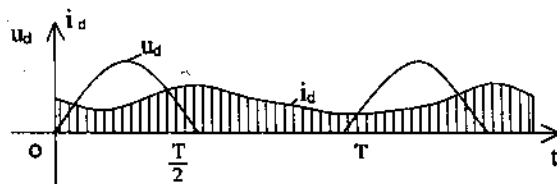
Trong thực tế, với tải cảm kháng, người ta thường mắc ngược một diốt dẽm D_0 (hình 4.10) song song với tải. Diốt D_0 không làm việc ở nửa chu kỳ dương của nguồn. Ở nửa chu kỳ âm nó khép kín dòng tải do sức điện động tự cảm, duy trì dòng tải liên tục và bảo vệ các thiết bị khỏi bị quá áp. Nhờ diốt D_0 mà điện áp trên tải không có vùng âm và dòng là liên tục.

c) Tải có sức điện động

Tải có sức điện động dùng bộ chỉnh lưu thường gặp như : động cơ điện một chiều, bể điện phân, bộ nạp ắc quy, tụ điện lớn... Các sức điện động của phụ tải khi làm việc có chiều ngược với điện áp nguồn nên còn gọi là sức phản điện động (s.f.d).

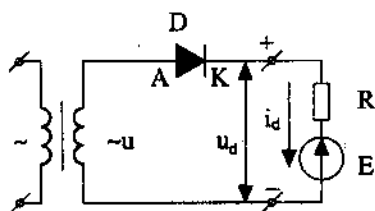


Hình 4.9: Giản đồ thời gian của dòng, áp khi chỉnh lưu một pha nửa chu kỳ với tải cảm kháng



Hình 4.10: Dòng và áp khi chỉnh lưu một pha nửa chu kỳ với tải cảm kháng và có diốt dẽm

a) Sơ đồ, nguyên lý ; b) Giản đồ dòng điện



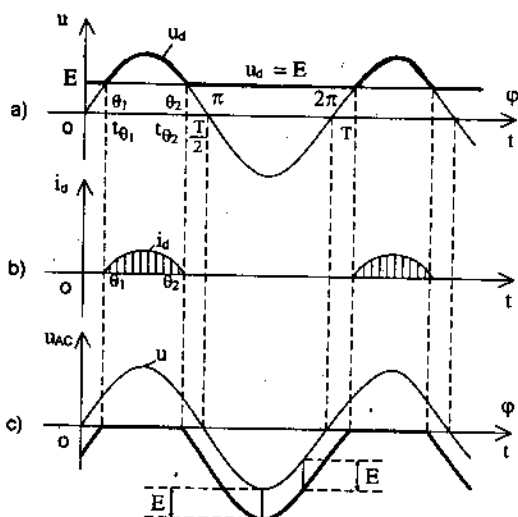
Hình 4.11: Chỉnh lưu một pha nửa chu kỳ với tải $R + E$

Trường hợp tải $R + E$ (bể mạ, nạp ắc quy, tụ điện lớn) được biểu thị trên hình 4.11. Vì có sức điện động nên diốt thực sự được phân áp thuận chỉ khi $U > E$. Do vậy, vùng dẫn của diốt là từ góc θ_1 đến θ_2 (hình 4.12a) hay từ thời điểm t_{01} đến t_{02} , nghĩa là vùng dẫn là $(\theta_2 - \theta_1) < \pi$. Sức điện động E càng lớn thì khoảng dẫn $\lambda = \theta_2 - \theta_1$ càng nhỏ. Cũng do có sức điện động E mà điện áp ngược đặt lên diốt D sẽ lớn lên $u_{ng} = u + E$ (hình 4.12c).

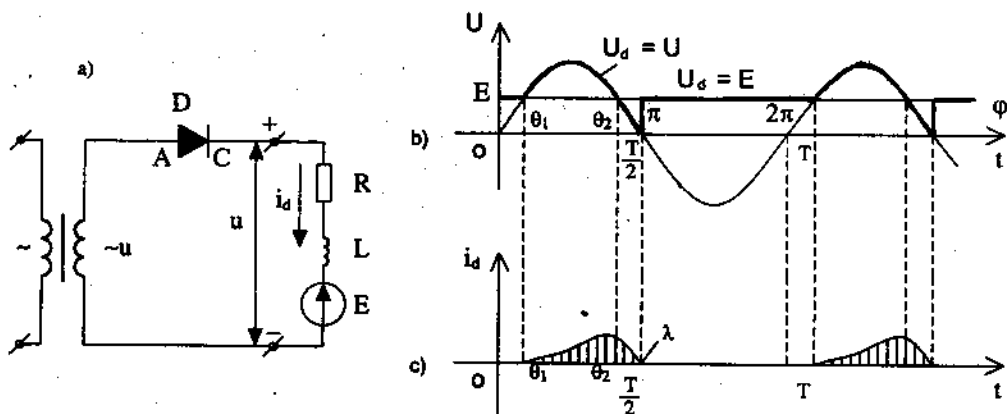
$$U_{ng,max} = U_{max} + E = \sqrt{2}U + E \quad (4.4)$$

Trường hợp tải $R + L + E$ (động cơ điện một chiều) như trên hình 4.13a.

Như đã phân tích ở hình 4.9b, do có điện cảm mà dòng điện tăng chậm ở sườn trước và kéo dài khoảng dẫn của diốt ở sườn sau (hình 4.13c). Vì thế, góc thông của diốt D là θ_1 còn góc khoá của diốt D không phải là θ_2 mà lớn hơn θ_2 ($\lambda > \theta_2$). Điện áp trên tải có dạng đường nét đậm trên hình 4.13b.



Hình 4.12: Giảm độ thời gian của dòng, áp khi chỉnh lưu một pha nửa chu kỳ với tải $R + E$

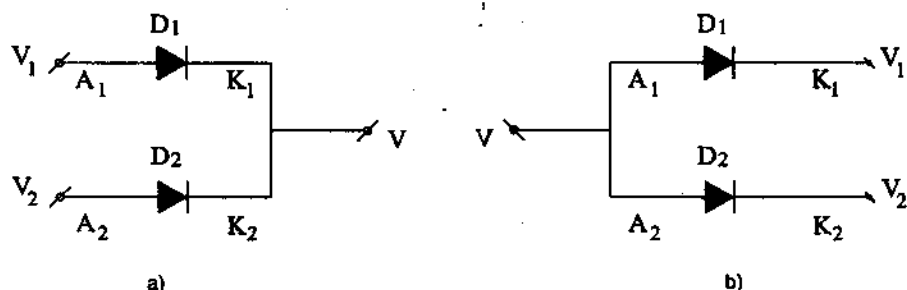


Hình 4.13: Chỉnh lưu một pha nửa chu kỳ với tải $R + L + E$

4.1.2. Chính lưu một pha hai nửa chu kỳ (cả chu kỳ)

Trong các sơ đồ chỉnh lưu một pha hai nửa chu kỳ, ta thường gặp các diốt có catốt nối chung vào một điểm hoặc có anốt nối chung vào một điểm. Ta xem xét vấn đề này trước :

a) Sự dẫn dòng của nhóm diốt nối catốt chung hoặc anốt chung



Hình 4.14 : Ghép các diốt thành nhóm:
a) catốt chung ; b) anốt chung.

Hình 4.14a là các diốt nối catốt chung.

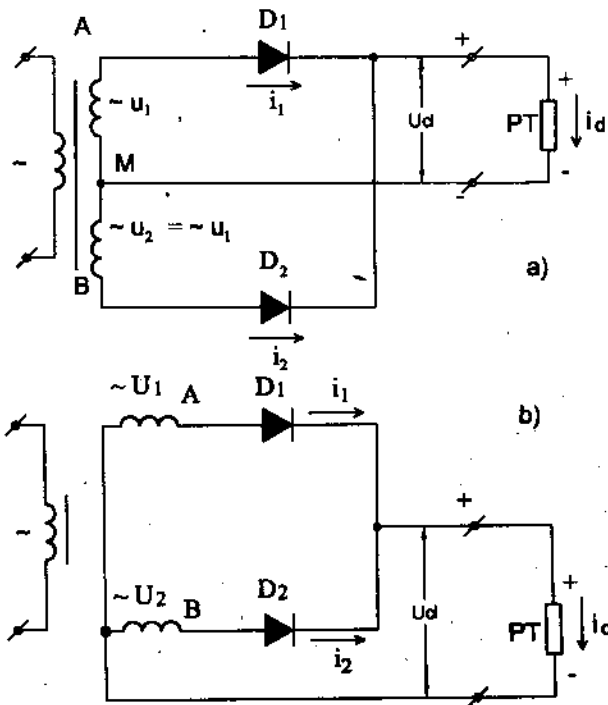
- Nếu thế $V_1 > V_2 > V$ thì diốt D_1 dẫn. Coi sụt áp trong D_1 là lý tưởng (bằng 0) thì ta có $V_1 = V$. Như vậy, D_1 thông, D_2 bị khoá (do $V_1 > V_2$).

- Nếu thế $V_2 > V_1 > V$ thì diốt D_2 dẫn và D_1 khoá (do $V_2 > V_1$).

Vậy : Trong một nhóm các diốt nối theo sơ đồ catốt chung, diốt nào có thế anốt lớn nhất sẽ dẫn và khi dẫn, nó đặt lên catốt chung thế anốt lớn nhất và các diốt khác sẽ bị khoá vì bị phân áp ngược.

Với nhóm diốt nối chung anốt (hình 4.14b), bạn đọc có thể tự giải thích và có thể kết luận :

Trong một nhóm các diốt nối theo sơ đồ anốt chung, diốt nào có thế catốt nhỏ nhất sẽ dẫn và khi dẫn, nó đặt lên anốt chung thế catốt lớn nhất và các diốt khác sẽ bị khoá vì bị phân áp ngược.



Hình 4.15 : Sơ đồ chỉnh lưu hai nửa chu kỳ (hình tia)

b) Chính lưu một pha hai nửa chu kì với sơ đồ có điểm giữa

Ở sơ đồ hình 4.15a, thứ cấp MBA có hai cuộn dây cùng chiều quấn nối tiếp nhau (hay một cuộn dây có điểm giữa M) cấp điện cho tải qua hai diốt nối catốt chung.

Trong nửa chu kì dương của u , giả sử $V_A > V_B$ thì D_1 thông, dẫn dòng qua tải, diốt D_2 bị khoá.

Trong nửa chu kì âm của u , $V_A < V_B$ nên diốt D_2 thông, diốt D_1 khoá.

Như vậy, mỗi diốt dẫn dòng trong nửa chu kì (hình 4.16b,c) nhưng phụ tải có dòng điện trong cả hai nửa chu kì (hình 4.16d).

Hệ số đập mạch của sơ đồ chỉnh lưu là $m = 2$.

- Đối với tải thuần trở R điện áp chỉnh lưu U_d trung bình :

$$U_d = 2 \frac{\sqrt{2}U}{\pi} = 0,9U \quad (4.5)$$

Dòng điện chỉnh lưu đồng pha với điện áp và giá trị trung bình là :

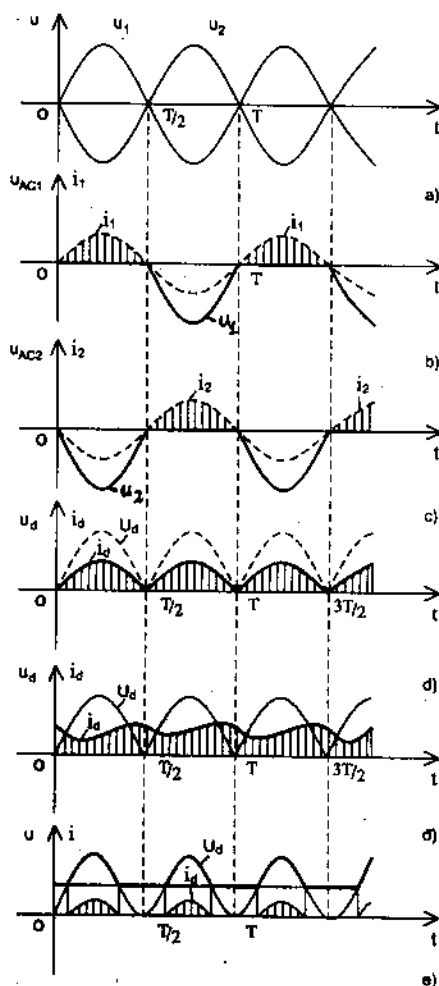
$$I_d = \frac{U_d}{R} = 2 \frac{\sqrt{2}U}{\pi R} = 0,9 \frac{U}{R} \quad (4.6)$$

Điện áp ngược cực đại đặt lên mỗi diốt là : $U_{ng\max} = 2U$.

- Đối với tải $R + L$ thì do điện cảm mà dòng điện phụ tải bị tăng chậm và giảm chậm nên không bao giờ dòng về 0 (hình 4.16d).

- Đối với tải $R + E$, như đã phân tích, diốt chỉ thông khi $U > E$ và khoảng dẫn của diốt nhỏ hơn π (hình 4.16e).

Chú ý rằng, với chỉnh lưu hai nửa chu kì có điểm chung, người ta không dùng diốt đệm D_0 vì lúc nào cũng có điện thế hoặc A hoặc B luôn lớn hơn điện thế điểm giữa (điểm chung) M nên diốt đệm không bao giờ dẫn dòng.

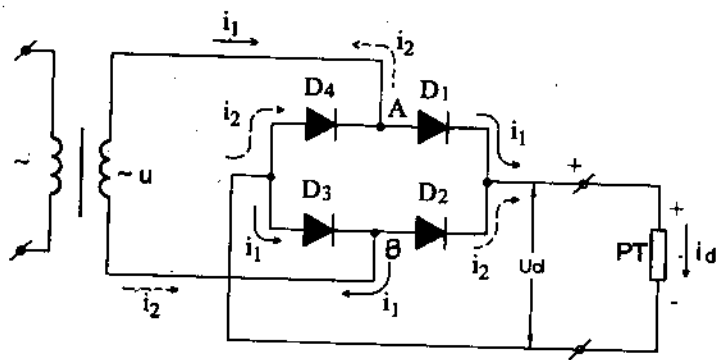


Hình 4.16: Giản đồ theo thời gian của dòng, áp khi chỉnh lưu một pha hai nửa chu kì

c) *Chỉnh lưu một pha hai nửa chu kì với sơ đồ cầu một pha*

Sơ đồ cầu một pha (còn gọi là sơ đồ cầu Graetz) như trên hình 4.17.

- Trong nửa chu kì dương của điện áp nguồn, giả sử $V_A > V_B$. Ở nhóm các diốt D_1 và D_2 nối catốt chung thì D_1 dẫn còn D_2 khoá. Ở nhóm các diốt D_3 và D_4 nối anốt chung thì D_3 dẫn còn D_4 khoá. Dòng qua phụ tải (PT) theo đường :



Hình 4.17: Sơ đồ cầu Graetz

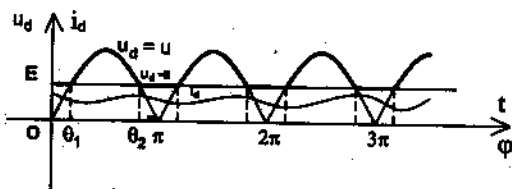
nguồn u - A - D_1 - PT - D_3 - B - nguồn u.

- Trong nửa chu kì âm của điện áp nguồn : $V_A < V_B$. Giải thích tương tự có : D_2, D_4 dẫn; D_1, D_3 khoá. Dòng qua phụ tải theo đường :

nguồn u - B - D_2 - PT - D_4 - A - nguồn u.

Sơ đồ chỉnh lưu là hai nửa chu kì nên điện áp và dòng điện trên PT thuận trở như hình 4.16d, khi PT là $R + L$ như hình 4.16d và khi PT là $R + E$ như hình 4.16e.

Khi tải là $R + L + E$ (động cơ điện một chiều) có giản đồ như hình 4.18. Do dòng tăng chậm và giảm chậm hơn điện áp (vì sự có mặt của điện cảm) nên thời gian thông (hay góc thông) lớn hơn. Khi L đủ lớn, I_d là liên tục. Giá trị trung bình của điện áp chỉnh lưu và dòng điện chỉnh lưu tính theo (4.5) và (4.6).



Hình 4.18: Giản đồ thời gian của dòng và áp khi chỉnh lưu toàn sóng với tải $R + L + E$

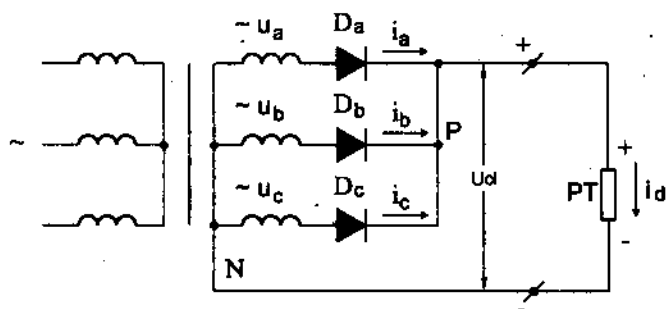
4.1.3. Chỉnh lưu ba pha nửa chu kì

Trong chỉnh lưu một pha hai nửa chu kì, các diốt trong sơ đồ lần lượt thay phiên nhau dẫn dòng từ nguồn tới phụ tải. Đó là sự chuyển mạch. Quá trình

làm việc của sơ đồ chỉnh lưu nhiều pha nói chung và chỉnh lưu ba pha nói riêng cũng có đặc điểm cơ bản là chuyển mạch từ sự dẫn của điốt pha này sang sự dẫn của điốt pha khác.

Xét quá trình chuyển mạch của 2 sơ đồ chỉnh lưu ba pha hình tia (chỉnh lưu nửa chu kỳ) và ba pha hình cầu (chỉnh lưu cả chu kỳ).

Chỉnh lưu theo sơ đồ ba pha hình tia là chỉnh lưu ba pha nửa chu kỳ. Sơ đồ được biểu thị trên hình 4.19. Các điện áp nguồn ba pha lệch nhau góc $\frac{2\pi}{3} = 120^\circ$ được biểu thị trên hình 4.20a.

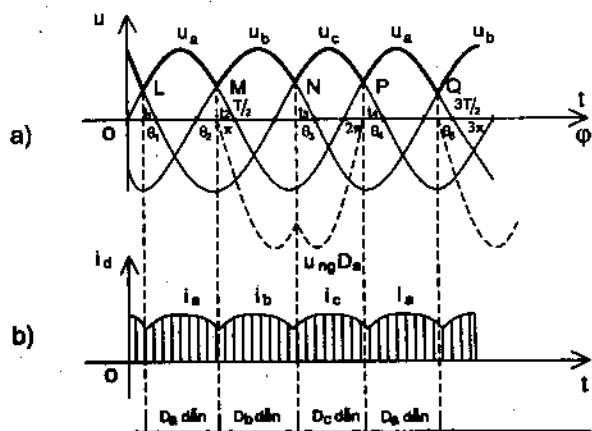


Hình 4.19: Sơ đồ chỉnh lưu ba pha hình tia

a) Chuyển mạch tự nhiên tức thời

Đây là trường hợp điện cảm của biến áp (BA) nguồn không đáng kể ($L \approx 0$) và xét trường hợp tải R.

Trong khoảng θ_1 đến θ_2 , thế pha a dương hơn 2 pha b và c ($V_a > V_b, V_a > V_c$) nên D_a dẫn, D_b và D_c khoá. Dòng điện từ nguồn áp u_a qua D_a tới phụ tải ($i_a = i_d$) về điểm trung tính. Từ đó, điện áp trên phụ tải bằng u_a .



Hình 4.20 : Biểu đồ điện áp và dòng điện khi chỉnh lưu ba pha hình tia với tải R

Trong khoảng θ_2 đến θ_3 , thế pha b dương hơn 2 pha a và c ($V_b > V_a, V_b > V_c$) nên điốt D_b dẫn, D_a và D_c khoá. Dòng điện phụ tải $i_d = i_b$ và điện áp trên phụ tải $u_d = u_b$.

Tương tự, trong khoảng θ_3 đến θ_4 : điốt D_c dẫn, còn D_b và D_a khoá. Lúc này $i_d = i_c$ và $u_d = u_c$ v.v...

Vậy : Trong mỗi chu kì của nguồn 3 pha sẽ có 3 lần chuyển mạch (điốt này khoá để điốt kia dẫn). Thời điểm chuyển mạch là thời điểm điện áp các pha liên tiếp bằng nhau, nghĩa là khi $u_c = u_a$ (điểm L), $u_a = u_b$ (điểm M), $u_b = u_c$ (điểm N) v.v... Đó là chuyển mạch tự nhiên.

Khi chuyển mạch tự nhiên, dòng điện qua tải R giảm về 0 ngay ở điốt này và tăng lên ngay ở điốt kia nên chuyển mạch tự nhiên còn gọi là chuyển mạch tự nhiên tức thời.

Nguyên tắc chuyển mạch là : Tại một thời điểm nào đó, điốt nào có thế anốt cao hơn sẽ dẫn, còn các điốt khác sẽ khoá. Khi thế anốt của 2 điốt như nhau thì điốt nào có thế anốt đang tăng sẽ dẫn còn điốt nào có thế anốt đang giảm sẽ khoá.

b) Các thông số cơ bản của mạch

- Góc dẫn của mỗi điốt trong một chu kì là $\frac{2\pi}{3} = 120^\circ$.

- Giá trị trung bình của điện áp chỉnh lưu theo tính toán là :

$$U_d = \frac{3\sqrt{6}}{2\pi} U = 1,17U \quad (4.7)$$

Dạng điện áp chỉnh lưu là các chòm sin ba pha với tần số đập mạch $m=3$ (đường nét đậm trên hình 4.20a)

- Điện áp ngược $U_{ng\max}$ trung bình đặt lên mỗi điốt là :

$$U_{ng\max} = \sqrt{3} \cdot \sqrt{2} U = \sqrt{6} U = 2,45U \quad (4.8)$$

- Giá trị trung bình của dòng điện chỉnh lưu qua phụ tải (hình 4.20b) là :

$$I_d = \frac{U_d}{R} = \frac{3\sqrt{6}}{2\pi} \cdot \frac{U}{R} = 1,17 \frac{U}{R} \quad (4.9)$$

- Dòng trung bình qua mỗi điốt là :

$$I_D = \frac{I_d}{3} = \frac{\sqrt{6}}{2\pi} \cdot \frac{U}{R} = 0,39 \cdot \frac{U}{R} \quad (4.10)$$

Khi PT có sức điện động E thì cần phân biệt 2 trường hợp :

1. Sức điện động E có giá trị nhỏ hơn tung độ của các điểm chuyển mạch tự nhiên L, M, N, P... Tung độ của các điểm này đều bằng nhau và có trị số bằng điện áp U_a tại góc $\theta_1 = 30^\circ$.

$$U_a|_{\theta_1=30^\circ} = \sqrt{2} U \sin 30^\circ = \frac{\sqrt{2}}{2} U = 0,7U$$

2. Sức điện động E có giá trị lớn hơn tung độ của các điểm chuyển mạch tự nhiên.

Khi $E < 0,7U$ thì quá trình chuyển mạch tự nhiên không bị ảnh hưởng gì dạng điện áp chỉnh lưu (hình 4.21a) và dòng điện chỉnh lưu (hình 4.21b) giống như hình 4.20 nhưng giá trị được tính theo công thức sau :

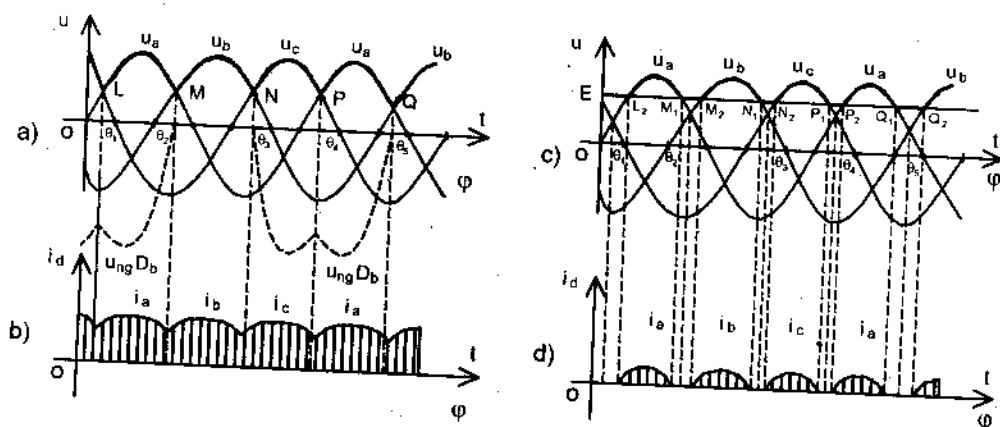
$$U_d = \frac{3\sqrt{6}}{2\pi} U - \sqrt{2} E = 1,17U - 1,41E \quad (4.11)$$

$$I_d = \frac{U_d}{R} = \frac{3\sqrt{6}}{2\pi} \frac{U}{R} - \sqrt{2} \frac{E}{R} = 1,17 \frac{U}{R} - 1,41 \frac{E}{R} \quad (4.12)$$

Dòng trung bình qua mỗi diốt sẽ là :

$$I_D = \frac{I_d}{3} = \frac{\sqrt{6}}{2\pi} \frac{U}{R} - \frac{\sqrt{2}}{3} \frac{E}{R} = 0,39 \frac{U}{R} - 0,47 \frac{E}{R} \quad (4.13)$$

Khi $E > 0,7U$ thì sức điện động E ngược chiều đặt một thế dương vào điểm nối catốt chung nên điều kiện dẫn của một diốt nào đó trong nhóm không chỉ là có thế anốt lớn nhất mà còn phải lớn hơn cả thế dương ở catốt chung do E gây ra. Kết quả là các điểm thông và khoá của các diốt không còn là các điểm chuyển mạch tự nhiên $L, M, N, P, \dots$ nữa mà là giao điểm của đường ngang E với các điện áp pha hình sin. Đó là các điểm $L_1, L_2, M_1, M_2, N_1, N_2, \dots$ (hình 4.21c).



Hình 4.21 : Dạng điện áp và dòng điện khi chỉnh lưu ba pha hình tia với tải $R + E$
 Vì vậy, dòng điện qua phụ tải do diốt D_a dẫn là :

$$i_d = \frac{u_a - E}{R}$$

Tới điểm M_1 ứng với góc pha θ_2 thì diốt D_a khoá. Lúc này, diốt D_b chưa dẫn được vì $u_b < E$. Diốt D_c cũng khoá. Dòng điện giảm về 0.

Từ điểm M_2 , điện áp u_b trở thành lớn nhất so với điện áp u_a , u_c và E nên diốt D_b dẫn còn D_a , D_c khoá. Dòng điện phụ tải lại có và bằng :

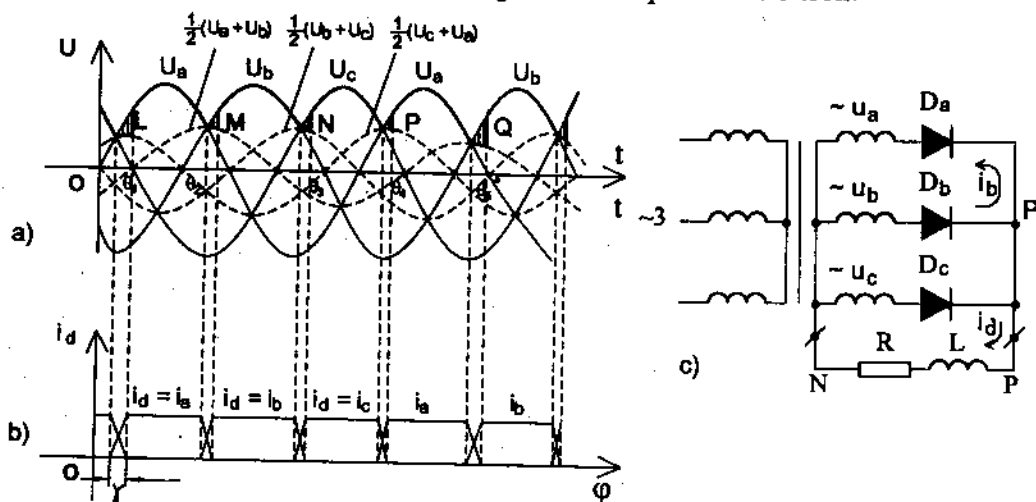
$$i_d = \frac{u_b - E}{R}$$

Tới điểm N_1 thì cả 3 diốt đều khoá. Quá trình cứ thế tiếp diễn và dòng điện phụ tải là dòng gián đoạn (hình 4.21d).

Góc dẫn ($\theta_1 - \theta_2$) và thời gian dẫn τ khi $E > 0,7U$ là nhỏ hơn so với trường hợp $E < 0,7U$.

c) Chuyển mạch tự nhiên có quá trình (hiện tượng trùng dẫn)

Trong thực tế, mạch chỉnh lưu luôn có điện cảm tạo bởi các cuộn dây MBA, chưa kể điện cảm của PT (như động cơ điện). Vì thế, dòng qua diốt không thể tăng giảm tức thời như đã giả thiết và phân tích ở trên.



Hình 4.22 : Chuyển mạch tự nhiên có quá trình khi nguồn và mạch có điện cảm $L \neq 0$

Ví dụ : Tại điểm chuyển mạch M (hình 4.22a) diốt D_a khoá và diốt D_b dẫn nhưng dòng i_a không giảm ngay từ I_a về 0 mà giảm từ từ, còn dòng i_b không tăng ngay từ 0 lên I_b mà tăng từ từ. Diễn biến giảm i_a và tăng i_b như hình 4.22b. Nếu coi $L = \infty$ thì dòng tải I_d coi như được lọc bằng phẳng. Thời gian tăng, giảm dòng các diốt là tương ứng với góc $\gamma = \omega t_r$. Góc γ gọi là góc chuyển mạch và chuyển mạch này gọi là chuyển mạch có quá trình. Hiện tượng xảy ra gọi là hiện tượng trùng dẫn (2 diốt cùng dẫn).

Do trùng dẫn, 2 nguồn u_a và u_b coi như khép kín mạch (vì 2 diốt D_a và D_b đều dẫn) (hình 4.22c) và điện áp chỉnh lưu tức thời trên tải sẽ là :

$$u_{d,r} = \frac{u_a + u_b}{2}$$

Điện áp này nhỏ hơn điện áp khi không có trùng dẫn ($L = 0$) (đường nét đứt trên hình 4.22a). Kết quả giá trị trung bình của điện áp trên phụ tải khi có trùng dẫn nhỏ hơn điện áp trên phụ tải khi không có trùng dẫn và dạng điện áp chỉnh lưu trên tải có trùng dẫn như đường nét đậm trên hình 4.22a.

4.1.4. Chỉnh lưu ba pha hai nửa chu kì

Chỉnh lưu ba pha hình cầu là chỉnh lưu ba pha hai nửa chu kì và có sơ đồ mạch như hình 4.23a. Sáu diốt tạo thành 2 nhóm : nhóm catốt chung (D_1, D_3, D_5) và nhóm anốt chung (D_2, D_4, D_6).

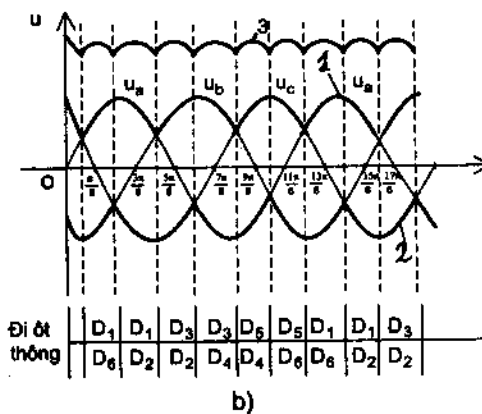
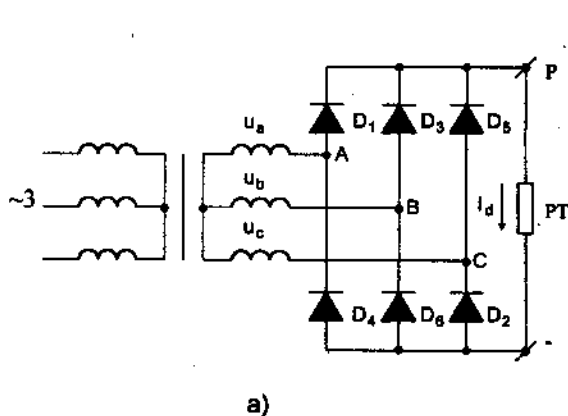
Trong khoảng $\frac{\pi}{6} \div \frac{3\pi}{6}$:

- Trong khoảng này, điện áp nguồn có quan hệ $u_a > u_c > u_b$ và điện thế tại các điểm A, B, C có quan hệ : $V_a > V_b > V_c$ (hình 4.23b).

- Với nhóm catốt chung, diốt D_1 có thế anốt dương cao nhất nên thông, còn các diốt D_3, D_5 khoá.

- Với nhóm anốt chung, diốt D_6 có thế anốt thấp nhất nên thông, còn các diốt D_2, D_4 khoá.

- Dòng qua phụ tải theo đường : $0 - u_a - D_1 - PT - D_6 - 0$



Hình 4.23: Chỉnh lưu cầu ba pha

Trong khoảng $\frac{3\pi}{6} \div \frac{5\pi}{6}$:

- Trong khoảng này, các điện áp nguồn có quan hệ $u_a > u_b > u_c$ và điện thế tại các điểm A, B, C có quan hệ : $V_a > V_b > V_c$.

- Ở nhóm catốt chung thì D_1 thông, còn D_3, D_5 khoá.

- Ở nhóm anốt chung thì D_2 thông, còn D_4, D_6 khoá.

- Dòng qua phụ tải theo đường : $0 - u_a - D_1 - PT - D_2 - u_c - 0$

Lập luận tương tự cho các khoảng tiếp theo : $\frac{5\pi}{6} \div \frac{7\pi}{6}$; $\frac{7\pi}{6} \div \frac{9\pi}{6}$;

$\frac{9\pi}{6} \div \frac{11\pi}{6}$ v.v..., ta có kết quả như trong bảng 4.1.

Bảng 4.1 :

Khoảng	Điốt thông	Chiều dòng điện	Điện áp chỉnh lưu trên tải u_d
$\frac{\pi}{6} \div \frac{3\pi}{6}$	D_1 và D_6	Từ A qua tải về B	$u_a - u_b$
$\frac{3\pi}{6} \div \frac{5\pi}{6}$	D_1 và D_2	Từ A qua tải về C	$u_a - u_c$
$\frac{5\pi}{6} \div \frac{7\pi}{6}$	D_3 và D_2	Từ B qua tải về C	$u_b - u_c$
$\frac{7\pi}{6} \div \frac{9\pi}{6}$	D_3 và D_4	Từ B qua tải về A	$u_b - u_a$
$\frac{9\pi}{6} \div \frac{11\pi}{6}$	D_5 và D_4	Từ C qua tải về A	$u_c - u_a$
$\frac{11\pi}{6} \div \frac{13\pi}{6}$	D_5 và D_6	Từ C qua tải về B	$u_c - u_b$
$\frac{13\pi}{6} \div \frac{15\pi}{6}$	D_1 và D_6	Từ A qua tải về B	$u_a - u_b$
...	...	...	...

Từ bảng 4.1, có thể thấy giá trị tức thời của điện áp chỉnh lưu trên phụ tải bằng hiệu các giá trị tức thời của các điện áp hai pha đang cấp dòng cho phụ tải. Đó là hiệu các giá trị tức thời của điện áp pha dương nhất và điện áp pha âm nhất. Nói cách khác, đó là khoảng cách thẳng đứng giữa đường bao điện áp 1 trên cùng và đường bao điện áp 2 dưới cùng. Điện áp chỉnh lưu là đường 3 và trong một chu kì điện áp chỉnh lưu đập mạch $m = 6$ lần.

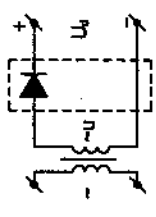
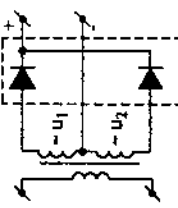
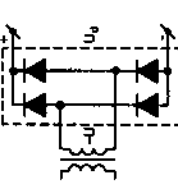
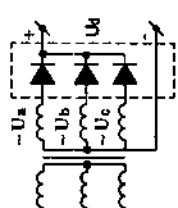
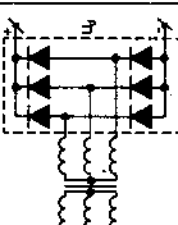
Điện áp chỉnh lưu trung bình này có giá trị là :

$$U_d = \frac{3\sqrt{6}}{\pi} U = 2,34U \quad (4.14)$$

Dòng điện chỉnh lưu qua tải phụ thuộc bản chất phụ tải. Với tải trở thuần thì :

$$I_d = \frac{U_d}{R} = \frac{3\sqrt{6}}{\pi} \cdot \frac{U}{R} = 2,34 \cdot \frac{U}{R}$$

BẢNG 4.2

Sơ đồ	CL một pha nửa chu kỳ	CL một pha 2 nửa chu kỳ (sơ đồ hình tia)	CL một pha 2 nửa chu kỳ (sơ đồ hình cầu)	CL ba pha nửa chu kỳ (sơ đồ hình tia)	CL ba pha nửa chu kỳ (sơ đồ hình cầu)
Số pha	1	1	1	3	3
Sơ đồ					
Dạng điện áp CL					
Số lần đập mạch m trong 1 chu kỳ dòng xoay chiều	1	2	2	3	3
Điện áp CL	$U_d = \frac{\sqrt{2}}{\pi} U = 0,45 U$	$U_d = 2 \frac{\sqrt{2}}{\pi} U = 0,9 U$	$U_d = 2 \frac{\sqrt{2}}{\pi} U = 0,9 U$	$U_d = \frac{3\sqrt{6}}{2\pi} U = 1,17 U$	$U_d = \frac{3\sqrt{6}}{\pi} U = 2,34 U$
Dòng trung bình qua 1 Diốt	$I_D = I_d$	$I_D = \frac{1}{2} I_d$	$I_D = \frac{1}{2} I_d$	$I_D = \frac{1}{3} I_d$	$I_D = \frac{1}{3} I_d$
Điện áp ngược lớn nhất đặt lên Diốt	$\sqrt{2} U = 1,4 U$	$2\sqrt{2} U = 2,8 U$	$\sqrt{2} U = 1,4 U$	$\sqrt{6} U = 2,25 U$	$\sqrt{6} U = 2,45 U$
MBA	I_2 / I_d	1,57	0,78	0,58	0,82
	P_{BA} / P_d	3,09	1,45	1,34	1,05

4.2. CHỈNH LƯU CÓ ĐIỀU KHIỂN

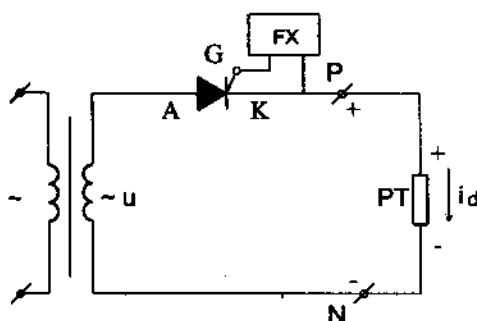
4.2.1. Giới thiệu chung

Phân trên đã nghiên cứu các sơ đồ chỉnh lưu không điều khiển với các tải khác nhau. Để có thể điều chỉnh điện áp sau chỉnh lưu cho phù hợp với yêu cầu công nghệ nào đó trong công nghiệp như : điều chỉnh vô cấp tốc độ động cơ, tự động hoá điều chỉnh điện áp cho các thiết bị có yêu cầu, điều khiển đóng mở các khoá điện tử để tạo ra các bộ nghịch lưu, biến tần v.v... Để đáp ứng những yêu cầu đó, thyristo được thay thế diot trong các sơ đồ chỉnh lưu và ta có các sơ đồ chỉnh lưu có điều khiển.

4.2.2. Chỉnh lưu có điều khiển một pha nửa chu kì

Hình 4.24 giới thiệu sơ đồ chỉnh lưu có điều khiển một pha nửa chu kì. Để mở thyristo ở nửa chu kì dương, phải có bộ phát xung đưa xung đến mạch điều khiển. Khi thay đổi thời điểm phát xung (thay đổi góc α) sẽ thay đổi được điện áp chỉnh lưu.

Cũng như chỉnh lưu không điều khiển, các thông số của chỉnh lưu có điều khiển ngoài việc thay đổi theo góc mở α còn chịu tác động của các phụ tải. Ta xét tính chất của các phụ tải tác động đến các thông số của mạch chỉnh lưu có điều khiển.



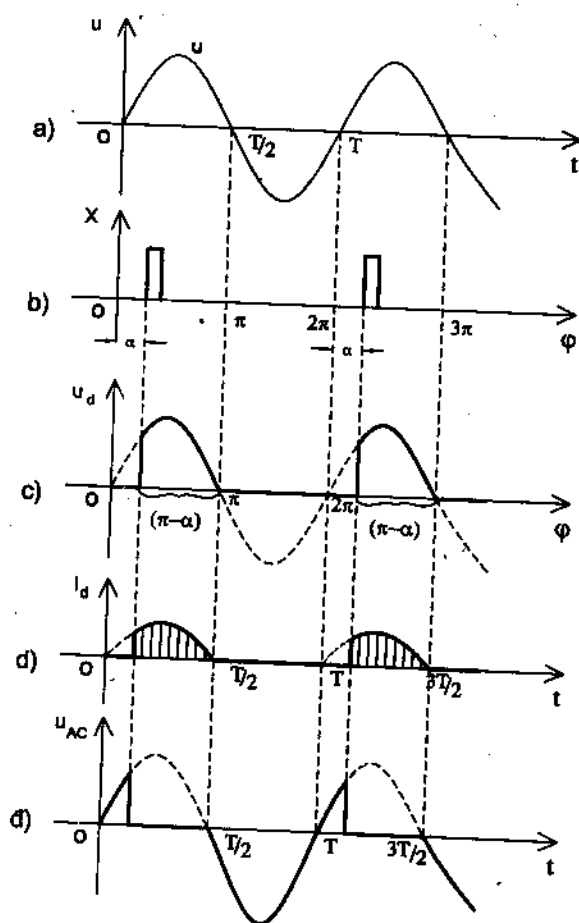
Hình 4.24 : Sơ đồ chỉnh lưu có điều khiển một pha nửa chu kì

a) Trường hợp tải thuần trở R

Giả sử thyristo được phân áp thuận ở nửa chu kì dương của điện áp nguồn. Trong thời gian nửa chu kì này, nếu bộ FX cấp một xung điều khiển (hình 4.25b) vào cực G thì thyristo sẽ thông (điều kiện phân áp thuận và có xung điều khiển). Khi thyristo thông thì có điện áp đặt lên tải (hình 4.25c) và có dòng điện trên tải. Dòng điện qua tải R sẽ có dạng của điện áp chỉnh lưu (hình 4.25d). Đó là một dòng điện gián đoạn.

Khi điện áp nguồn giảm về 0 thì thyristo khoá. Trạng thái khoá của thyristo kéo dài suốt nửa chu kì âm vì thyristo bị phân áp ngược. Tới nửa chu kì dương, thyristo lại thông khi có xung điều khiển.

Góc pha α kể từ thời điểm bắt đầu nửa chu kì dương đến thời điểm phát xung gọi là góc mở thyristo. Thay đổi góc mở α sẽ thay đổi được khoảng thông ($\pi - \alpha$) của thyristo, do đó điện áp chỉnh lưu và dòng điện chỉnh lưu thay đổi,

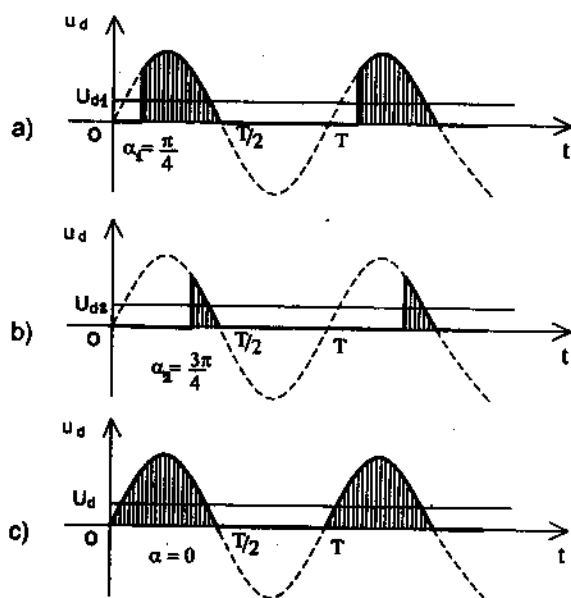


Hình 4.25 : Biểu đồ điện áp và dòng điện chỉnh lưu của sơ đồ chỉnh lưu một pha nửa chu kỳ với tải R

Hình 4.26 biểu thị vài trường hợp thông thyristo với các góc mở α khác nhau. Ta thấy :

- Khi tăng góc mở α thì khoảng thông thyristo thu nhỏ. Điện áp chỉnh lưu trung bình giảm ($\alpha_2 > \alpha_1$ nên $U_{d2} < U_{d1}$ - hình 4.26a,b).

- Khi $\alpha = 0$ thì thyristo dẫn dòng như diốt. Vậy, chỉnh lưu không điều khiển có thể coi như trường hợp riêng của chỉnh lưu có điều khiển với $\alpha = 0$. Lúc này, điện áp chỉnh lưu trung bình là lớn nhất. Điện áp đặt lên thyristo như hình 4.26c.



Hình 4.26: Góc mở α khác nhau thì U_d khác nhau

Các biểu thức :

- Tính toán cho biết, điện áp chỉnh lưu trung bình là :

$$U_d = \frac{\sqrt{2}(1 + \cos \alpha)}{2\pi} U \quad (4.16)$$

Khi $\alpha = \pi$ thì $U_d = 0$ vì thyristo không mở.

Khi $\alpha = 0$ thì $U_d = \frac{\sqrt{2}}{\pi} U$, nghĩa là biểu thức chỉnh lưu có điều khiển (4.16) trở lại biểu thức chỉnh lưu không điều khiển (4.1).

- Giá trị dòng chỉnh lưu trung bình :

$$I_d = \frac{U_d}{R} = \frac{\sqrt{2}(1 + \cos \alpha)}{2\pi} \cdot \frac{U}{R} \quad (4.17)$$

- Dòng trung bình qua diốt là dòng trung bình qua tải :

$$I_D = I_d$$

- Điện áp ngược cực đại đặt lên thyristo (xem hình 4.25d) :

$$U_{ng \max} = \sqrt{2}U = 1,4U$$

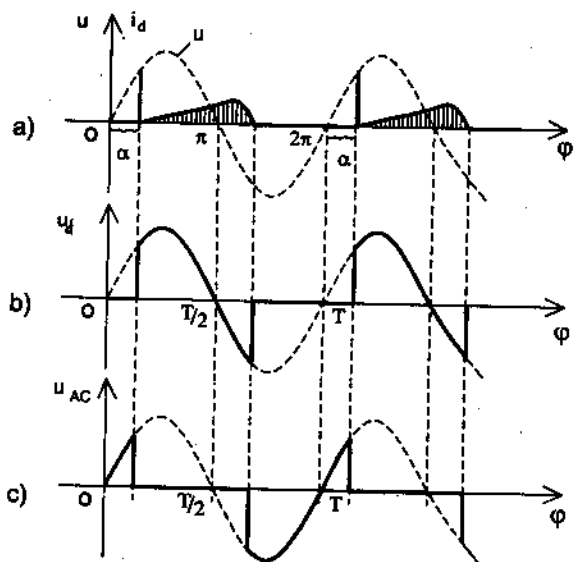
b) Trường hợp tải có cảm kháng ($R + L$)

Do có sức điện động tự cảm tạo bởi điện cảm, dòng điện sẽ tăng chậm và giảm chậm hơn so với điện áp (hình 4.27a). Thyristo sẽ khoá khi I_d giảm về 0 ứng với góc λ . Do vậy, dạng điện áp trên tải U_d và điện áp trên thyristo U_{AC} như hình 4.27b, c. Trị số trung bình của điện áp chỉnh lưu theo tính toán là :

$$U_d = \frac{\sqrt{2}(\cos \alpha - \cos \lambda)}{2\pi} U \quad (4.18)$$

Dòng chỉnh lưu trung bình qua tải :

$$I_d = \frac{U_d}{R} = \frac{\sqrt{2}(\cos \alpha - \cos \lambda)}{2\pi} \frac{U}{R} \quad (4.19)$$



Hình 4.27 : Giản đồ điện áp và dòng điện khi chỉnh lưu một pha nửa chu kì với tải $R + L$

Trường hợp tải $R + L$ và có diốt đệm D_0 (hình 4.28a) thì dòng điện phụ tải sẽ liên tục khi thyristo khoá nhờ sự giải phóng năng lượng từ trường tích lũy trong cuộn dây khi thyristo thông (khoảng dẫn $(\lambda - \alpha)$).

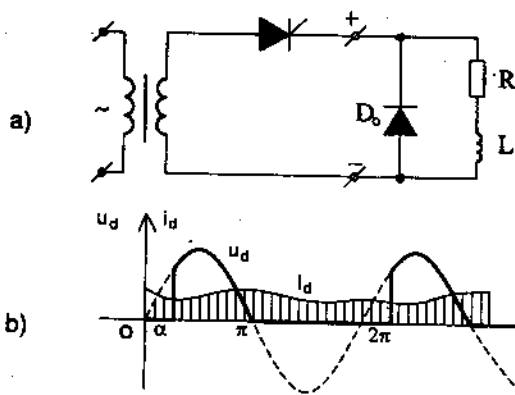
Thyristo dẫn dòng trong khoảng $\alpha \rightarrow \pi$.

Diốt D_0 dẫn dòng trong khoảng $\pi \rightarrow 2\pi + \alpha$.

Độ tự cảm L càng lớn thì dòng điện phụ tải càng bằng phẳng. Mạch chỉnh lưu có diốt đệm sẽ làm việc tốt khi L lớn, tối thiểu với $\cos \varphi = 0,4$. Do vậy, mạch chỉnh lưu hình 4.28a thường sử dụng trong mạch kích từ máy điện một chiều có công suất nhỏ.

Vì có diốt đệm D_0 nên U_d không thể âm và $\lambda = \pi$. Đường biểu diễn U_d như trong trường hợp tải thuần trở R ở hình 4.25c.

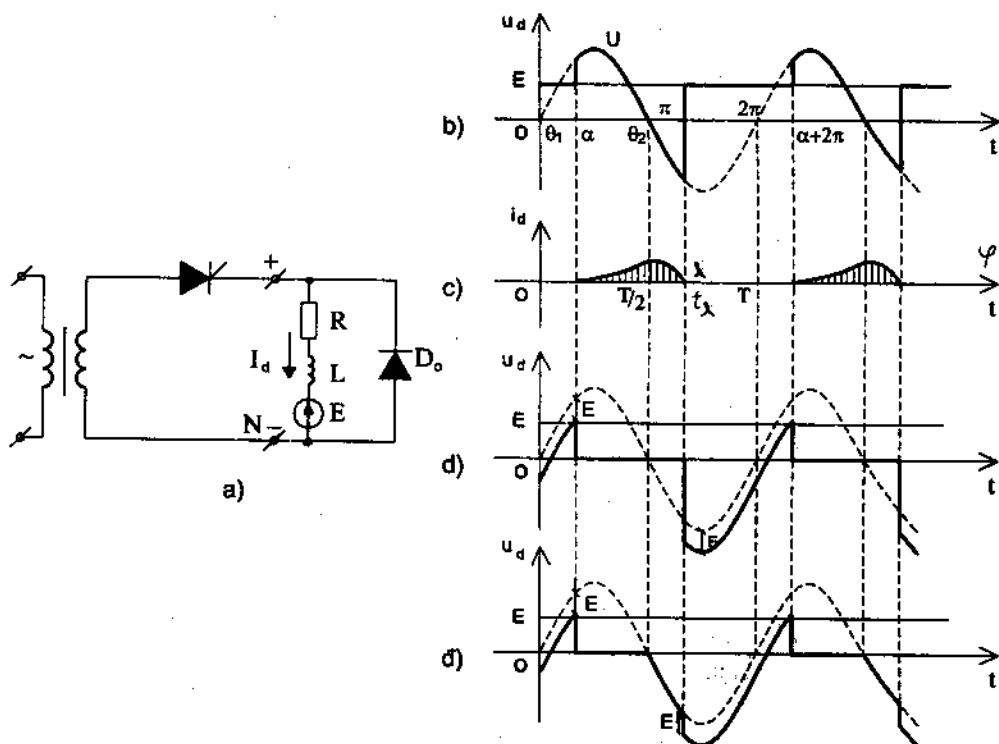
Điện áp và dòng điện chỉnh lưu được tính theo (4.18), (4.19) với $\lambda = \pi$. Khi đó, các biểu thức quay về (4.16), (4.17).



Hình 4.28 : Chỉnh lưu có điều khiển một pha nửa chu kì, tải $R + L$ khi có diốt đệm

c) Trường hợp tải $R + L + E$

Đây là trường hợp thường gặp nhất trong hệ TĐĐ (tải động cơ) một chiều



Hình 4.29: Biểu đồ điện áp và dòng điện trong sơ đồ chỉnh lưu có điều khiển một pha nửa chu kì, tải $R + L + E$

(hình 4.29a). Do có E nên thyristo chỉ có thể thông khi phân áp thuận với $u > E$ (hình 4.29b), nghĩa là góc mở α phải thoả mãn điều kiện : $\theta_1 < \alpha < \theta_2$.

Do có cảm kháng L nên khi điện áp nguồn về 0 thì dòng điện vẫn chưa giảm về 0 (hình 4.29c) nên thyristo vẫn thông. Tại thời điểm t_λ ứng với góc tắt λ thì $i_d = 0$ và thyristo khoá.

Giá trị điện áp chỉnh lưu trung bình được tính là :

$$U_d = \frac{\sqrt{2}}{2\pi} [(\cos \alpha - \cos \lambda) - a(\lambda - \alpha)] U \quad (4.20)$$

với : $a = \frac{E}{\sqrt{2}U}$ (4.21)

Dòng chỉnh lưu trung bình :

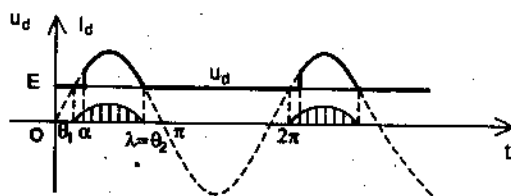
$$I_d = \frac{U_d}{R} = \frac{\sqrt{2}}{2\pi} [(\cos \alpha - \cos \lambda) - a(\lambda - \alpha)] \frac{U}{R} \quad (4.22)$$

Các biểu thức (4.20), (4.22) sẽ trở thành (4.18), (4.19) khi $E = 0$. Dòng điện phụ tải là gián đoạn. Khi có diốt đệm, dòng điện có thể liên tục nếu L đủ lớn, điều kiện là $\tau = \frac{L}{R} > T$.

Điện áp đặt lên thyristo u_{AC} là : $u_{AC} = u - E$ và có dạng như hình 4.29d. Khi có diốt đệm thì U_{AC} như hình 4.29d.

d) Trường hợp tải $R + E$

Góc mở α cũng phải thoả mãn điều kiện : $\theta_1 < \alpha < \theta_2 = \pi - \theta_1$, nghĩa là thyristo chỉ có thể thông khi $u > E$.



Hình 4.30 : Dòng và áp khi chỉnh lưu có điều khiển một pha nửa chu kì với tải $R + E$

Dễ thấy rằng, do không có điện cảm L nên góc tắt λ

$= \theta_2 = \pi - \theta_1$. Thay λ vào

(4.20), ta có điện áp và

dòng chỉnh lưu trung bình là :

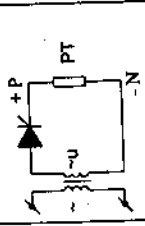
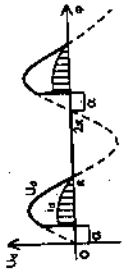
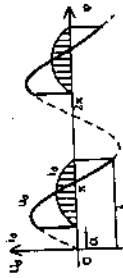
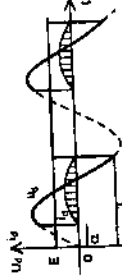
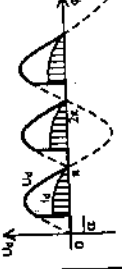
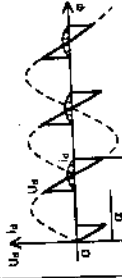
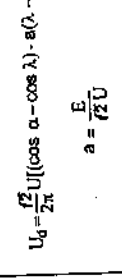
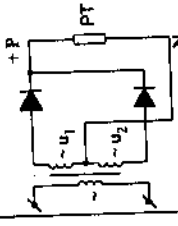
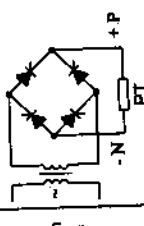
$$U_d = \frac{\sqrt{2}}{2\pi} [(\cos \alpha + \cos \theta_1) - a(\pi - \theta_1 - \alpha)] U \quad (4.23)$$

$$I_d = \frac{U_d}{R} = \frac{\sqrt{2}}{2\pi} [(\cos \alpha + \cos \theta_1) - a(\pi - \theta_1 - \alpha)] \frac{U}{R} \quad (4.24)$$

Các sơ đồ khác cũng được phân tích tương tự và được giới thiệu tóm tắt trong bảng 4.3.

Trong sơ đồ chỉnh lưu có điều khiển, việc tạo xung và đồng bộ xung mở là vấn đề phức tạp. Bạn đọc có thể tìm hiểu thêm ở giáo trình điện tử công suất.

Bảng 4.3 Các sơ đồ CL một pha có điều khiển

Sơ đồ	Tải R	Tải R + L	Tải R + L + E	Dòng qua thyristo	
 CL nửa chu kì	 $U_d = \frac{\sqrt{2}}{2\pi} U (1 + \cos \alpha)$ $I_d = \frac{U_d}{R}$	 $U_d = \frac{\sqrt{2}}{2\pi} U (\cos \alpha - \cos \lambda)$ $I_d = \frac{U}{R}$	 $U_d = \frac{\sqrt{2}}{2\pi} U [(\cos \alpha - \cos \lambda) - a(\lambda - \alpha)]$ $a = \frac{E}{\sqrt{2}U}$		
	 $U_d = \frac{\sqrt{2}}{\pi} U (1 + \cos \alpha)$	 $U_d = \frac{\sqrt{2}}{\pi} U (\cos \alpha - \cos \lambda)$	 $U_d = \frac{\sqrt{2}}{2\pi} U [(\cos \alpha - \cos \lambda) - a(\lambda - \alpha)]$ $a = \frac{E}{\sqrt{2}U}$		
Hình tia		Cấu bán điều khiển			
Hình cầu					
Hình cầu khác					Cấu không đối xứng

CÂU HỎI CHƯƠNG 4

1. Chính lưu là gì?
2. Các sơ đồ chính lưu được phân loại như thế nào?
3. Nêu các sơ đồ chính lưu một pha không điều khiển? Cách tính điện áp và dòng điện chính lưu trung bình theo tính chất tải?
4. Nêu các sơ đồ chính lưu ba pha không điều khiển? Cách tính điện áp và dòng điện chính lưu trung bình theo tính chất tải?
5. Công thức tính điện áp và dòng điện chính lưu trung bình của sơ đồ chính lưu một pha có điều khiển (hình tia và hình cầu) với tải $R + L + E$ như thế nào? Suy ra các trường hợp riêng.
6. Công thức tính điện áp và dòng điện chính lưu trung bình của sơ đồ chính lưu ba pha có điều khiển (hình tia và hình cầu) với tải $R + L + E$ như thế nào? Từ đó suy ra các trường hợp riêng?

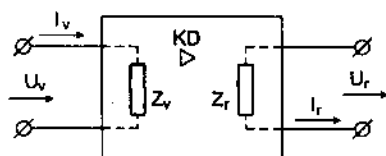
Chương 5

CÁC BỘ KHUẾCH ĐẠI

Trong các mạch điện tử công nghiệp hầu như mạch nào cũng có mạch khuếch đại. Mạch khuếch đại giúp biến một tín hiệu nhỏ (dòng, áp) thành tín hiệu lớn nhằm đáp ứng những yêu cầu điều khiển của mạch. Dưới đây nghiên cứu một số mạch khuếch đại thông dụng.

5.1. CÁC KHÁI NIỆM CƠ BẢN

Tín hiệu điện vào một phần tử mà khi ra khỏi phần tử đó được tăng cường hơn và vẫn giữ được dạng tín hiệu lúc vào gọi là khuếch đại. Phần tử làm nhiệm vụ khuếch đại tín hiệu gọi là bộ khuếch đại. Sơ đồ khối của một bộ khuếch đại như hình 5.1.



Mức độ tăng cường tín hiệu ra so với tín hiệu vào gọi là hệ số khuếch đại (K).

Hình 5.1 : Sơ đồ khối một bộ khuếch đại

Tùy theo tín hiệu khuếch đại là điện áp, dòng điện, công suất mà hệ số khuếch đại tương ứng được gọi là hệ số khuếch đại điện áp, hệ số khuếch đại dòng điện, hệ số khuếch đại công suất.

- Hệ số khuếch đại điện áp: $\beta = K_u = \frac{U_r}{U_v}$ (5.1)

- Hệ số khuếch đại dòng điện: $\alpha = K_i = \frac{I_r}{I_v}$ (5.2)

- Hệ số khuếch đại công suất: $K_p = \frac{P_r}{P_v}$ (5.3)

Các đại lượng vào có chỉ số v , các đại lượng ra có chỉ số r .

Bộ khuếch đại điện áp có $K_u > 1$, $K_i = 1$.

Bộ khuếch đại dòng điện có $K_i > 1$, $K_u = 1$.

Bộ khuếch đại công suất có $K_i > 1$, $K_u > 1$.

Trở kháng đầu vào và đầu ra của bộ khuếch đại được tính theo:

$$Z_v = \frac{U_v}{I_v} \quad (5.4)$$

$$Z_r = \frac{U_r}{I_r} \quad (5.5)$$

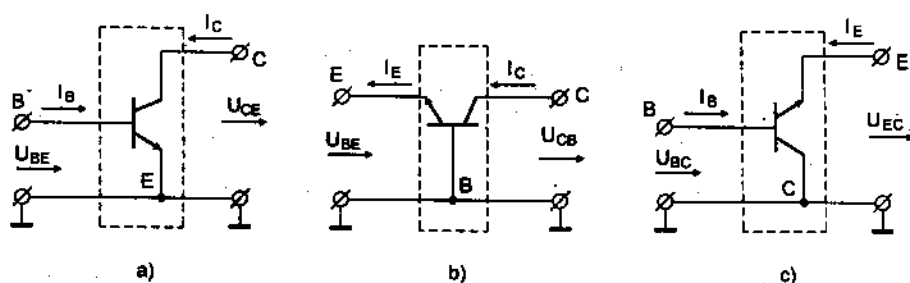
Các bộ khuếch đại có thể là điện cơ như máy điện khuếch đại, có thể là điện tử như các mạch khuếch đại điện tử. Trong chương này chỉ xét các bộ khuếch đại điện tử.

5.2. MẠCH KHUẾCH ĐẠI DÙNG TRANZITO

Tranzito đã được đề cập ở mục 2.2.2 còn gọi là tranzito lưỡng cực (BJT - Bipolar Junction Transistor).

Trong mạch điện của tranzito, tùy theo cách chọn 1 trong 3 cực của tranzito làm điểm chung (điểm có điện thế 0V) của đầu vào và đầu ra mà ta có 3 kiểu mắc cơ bản là:

- Kiểu mắc emitter chung (CE - Common Emitter) (hình 5.2a)
- Kiểu mắc bazơ chung (CB - Common Base) (hình 5.2b)
- Kiểu mắc collector chung (CC - Common Collector) (hình 5.2c)



Hình 5.2 : Các kiểu mắc tranzito: a) CE; b) CB; c) CC

Với kiểu mắc CE: điện áp vào là U_{BE} , dòng vào là I_B , điện áp ra là U_{CE} , dòng ra là I_C .

Với kiểu mắc CB: điện áp vào là U_{EB} , dòng vào là I_E , điện áp ra là U_{CB} , dòng ra là I_C .

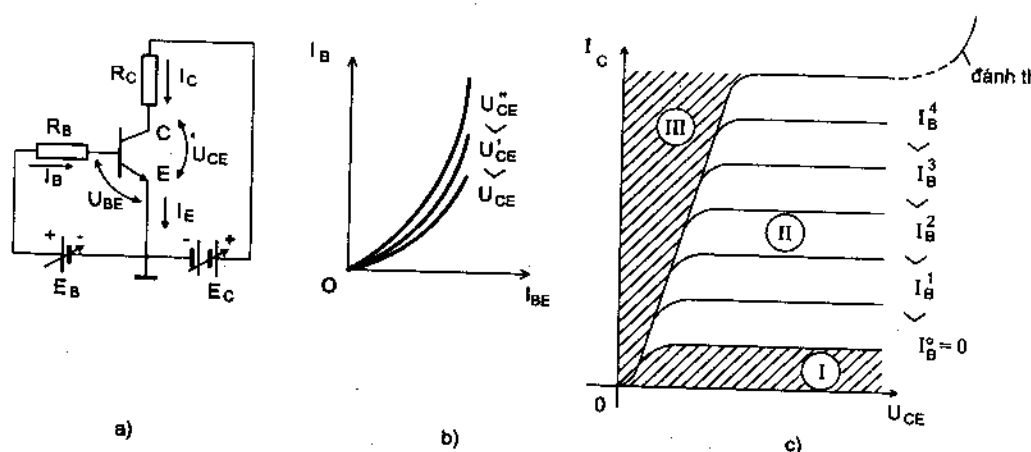
Với kiểu mắc CC: điện áp vào là U_{BC} , dòng vào là I_B , điện áp ra là U_{EC} , dòng ra là I_E .

Với mọi kiểu mắc của tranzito, đường biểu diễn quan hệ giữa các đại lượng vào - ra gọi là các đặc tuyến Von - Ampe (hay đặc tuyến dòng - áp) của tranzito.

- Đặc tuyến vào: $I_v = f_1(U_v)$ khi giữ I_r hay U_r không đổi.
- Đặc tuyến ra: $I_r = f_2(U_r)$ khi giữ I_v hay U_v không đổi.
- Đặc tuyến truyền đạt: $I_r = f_3(U_v)$ khi giữ I_v hay U_r không đổi.

5.2.1. Kiểu mắc CE

Sơ đồ mắc CE đối với tranzito NPN như trên hình 5.2a. Đầu vào là B - E, đầu ra là C - E, dòng vào là I_B (còn gọi là dòng điều khiển), dòng ra là I_C .



Hình 5.3 : Đặc tuyến vào (b) và ra (c) của kiểu mắc CE

Đặc tuyến vào (hình 5.3b) là quan hệ:

$$I_B = f(U_{BE}) \text{ khi } U_{CE} = \text{invar}$$

Qua họ đặc tuyến vào ta thấy khi U_{BE} tăng thì I_B tăng rất nhanh. Với cùng một giá trị U_{BE} , nếu U_{CE} tăng thì I_B cũng tăng theo.

Đặc tuyến ra (hình 5.3c) là quan hệ :

$$I_C = f(U_{CE}) \text{ khi } I_B = \text{invar}$$

Qua họ đặc tuyến ra, ta thấy U_{CE} tăng thì lúc đầu I_C tăng mạnh, nhanh, sau đó giữ hầu như không đổi (bão hoà) và khi U_{CE} quá lớn, I_C sẽ tăng vọt và tranzito bị đánh thủng (lớp C-B).

Với cùng điện áp U_{CE} , nếu I_B tăng thì I_C tăng. Lượng tăng nhỏ của I_B cũng dẫn theo lượng tăng lớn của I_C nên tranzito có tác dụng khuếch đại. Hệ số khuếch đại dòng điện của tranzito được định nghĩa là:

$$\alpha = \frac{I_C}{I_B} \quad (5.6)$$

Thường α có giá trị từ 50 đến vài trăm.

Lưu ý, từ hình 5.3a có:

$$I_E = I_B + I_C \quad (5.7)$$

Họ các đặc tuyến ra chia mặt phẳng góc vuông I thành 3 vùng:

- Vùng dưới đường ứng với $I_B = 0$ thì $I_C \approx 0$. Tranzito bị khoá vì không có dòng điều khiển hoặc khi lớp B - E bị phân áp ngược ($U_{BE} < 0$). Đây là vùng tranzito làm việc ở chế độ cắt dòng I_C (vùng I).
- Vùng mà I_C thay đổi theo dòng điều khiển I_B (vùng II). Đây là vùng tranzito làm việc ở chế độ khuếch đại (vùng II).
- Vùng mà I_B thay đổi nhiều nhưng I_C thay đổi ít hoặc không đổi. Đây là vùng tranzito làm việc ở chế độ bão hoà (vùng III).

5.2.2. Kiểu mắc CB

Sơ đồ mắc CB đối với tranzito NPN như trên hình 5.4. Đầu vào là E - B, đầu ra là C - B. Dòng vào là I_E , dòng ra là I_C .

- Đặc tuyến vào là quan hệ: $I_E = f(U_{BE})$ khi $U_{CB} = \text{invar}$.

- Đặc tuyến ra là quan hệ: $I_C = f(U_{CB})$ khi $I_E = \text{invar}$.

Dạng đặc tuyến vào và ra của kiểu mắc CB tương tự như kiểu mắc CE với các trục thay tên I_B bằng I_E , U_{CB} bằng U_{BE} .

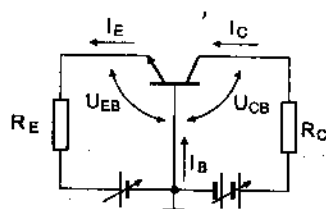
5.2.3. Kiểu mắc CC

Sơ đồ mắc CC đối với tranzito NPN như trên hình 5.5. Đầu vào là B - C, đầu ra là E - C. Dòng vào là I_B , dòng ra là I_E .

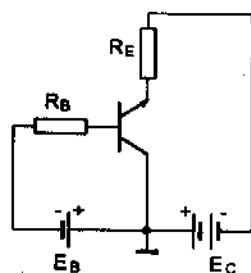
- Đặc tuyến vào là quan hệ: $I_B = f(U_{BC})$ khi $U_{EC} = \text{invar}$.

- Đặc tuyến ra là quan hệ: $I_E = f(U_{EC})$ khi $I_B = \text{invar}$.

Dạng đặc tuyến vào và ra của kiểu mắc CC tương tự như kiểu mắc CE với các trục thay tên I_C bằng I_E , U_{BE} bằng U_{BC} , U_{CE} bằng U_{EC} .



Hình 5.4 : Mắc tranzito theo mạch CB



Hình 5.5: Mắc tranzito theo mạch CC

5.3. PHÂN CỰC CHO TRANZITO

Muốn cho tranzito làm việc được ở chế độ khuếch đại dù tranzito loại PNP hay NPN, mắc theo kiểu CB, CC hay CE cũng phải cung cấp điện sao cho tiếp giáp B - E được phân cực (phân áp) thuận và tiếp giáp B - C phân cực ngược.

Điện áp phân cực thuận cho tiếp giáp B - E cỡ $0,1 \div 0,3V$ đối với tranzito Germani, cỡ $0,4 \div 0,7V$ đối với tranzito Silic. Điện áp phân cực ngược cho tiếp giáp B - C khoảng vài Von. Mạch cung cấp điện đảm bảo cho tranzito làm việc được gọi là mạch phân cực (hay mạch định thiên).

5.3.1. Mạch phân cực cơ bản

Mạch phân cực cơ bản (hình 5.3a) là mạch cần nguồn phân cực riêng E_B . Nguồn E_B phân cực thuận cho lớp tiếp giáp B - E nhằm đảm bảo $U_{BE} = 0,7V$. Dòng I_B được tính theo R_B . Nguồn E_C phân cực ngược cho lớp tiếp giáp B - E. Dòng I_C được hạn chế bởi R_C .

Có thể tính được:

$$I_B = \frac{E_B - U_{BE}}{R_B} = \frac{E_B - 0,7}{R_B} \quad (5.8)$$

$$I_C = \alpha I_B, \text{ theo (5.6)} \quad (5.9)$$

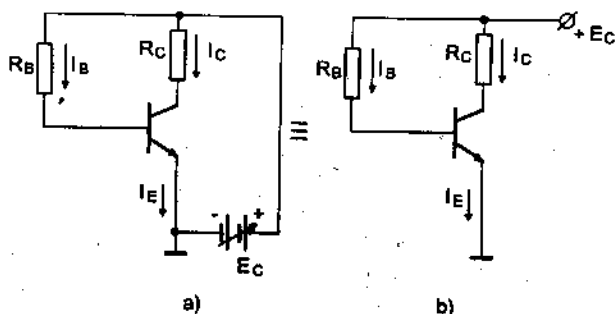
$$U_{CE} = E_C - I_C R_C \quad (5.10)$$

$$I_E = I_C + I_B = (\alpha + 1) I_B \quad (5.11)$$

5.3.2. Mạch phân cực cố định (phân cực bằng dòng bazơ)

Mạch này (hình 5.6) dùng một nguồn E_C vừa để tạo dòng I_C vừa để phân cực cho lớp tiếp giáp B - E.

Có thể tính được theo hình 5.6:



Hình 5.6 : Mạch phân cực cố định

$$I_B = \frac{E_C - U_{BE}}{R_B} = \frac{E_C - 0,7}{R_B} \quad (5.12)$$

Còn I_C , U_{CE} , I_E tính theo (5.9), (5.10) và (5.11).

5.3.3. Mạch phân cực kiểu chia áp (phân áp)

Mạch cũng dùng một nguồn E_C (hình 5.7) và phân áp cho cực B bằng 2 điện trở R_1, R_2 .

$$U_B = \frac{R_2}{R_1 + R_2} E_C \quad (5.13)$$

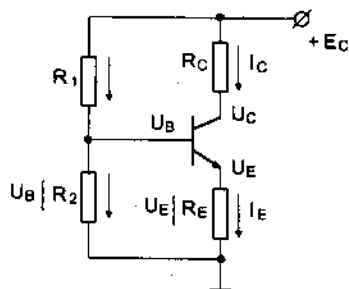
$$U_E = U_B - U_{BE} = U_B - 0,7$$

$$I_E = \frac{U_E}{R_E}$$

$$I_E = (\alpha + 1) I_B \approx \alpha I_B = I_C$$

$$U_C = E_C - I_C R_C$$

$$U_{CE} = E_C - I_C (R_C + R_E)$$



Hình 5.7 : Mạch phân áp cho bazơ

5.3.4. Mạch phân cực kiểu hồi tiếp điện áp (hồi tiếp song song)

Mạch kiểu này (hình 5.8), R_B không nối về $+E_C$ như hình 5.6 mà nối về cực C của tranzito.

Mạch thực hiện hồi tiếp âm về điện áp và có tác dụng ổn định sự làm việc của tranzito khi thay đổi nhiệt độ. Khi nhiệt độ tăng, hệ số α tăng kéo theo I_C tăng; điện áp rơi (sụt áp) trên R_C tăng và U_C giảm.

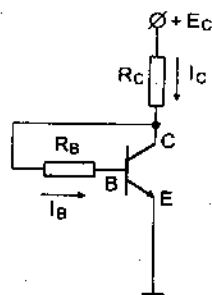
$$U_C = E_C - I_C R_C$$

Từ đó, U_B giảm vì :

$$U_B = U_C - I_B R_B = U_{BE} \quad (\text{vì cực E nối mát}).$$

Sự giảm U_{BE} làm giảm I_B và I_C giảm theo.

Khi nhiệt độ giảm, ta lập luận ngược lại, α giảm, I_C giảm, sụt áp trên R_C giảm, U_C tăng, U_B tăng, I_B tăng và I_C tăng theo.



Hình 5.8 : Phân cực kiểu hồi tiếp điện áp

5.3.5. Mạch phân cực kiểu hồi tiếp dòng điện (hồi tiếp nối tiếp)

Như hình 5.9, dòng qua R_1 gồm dòng qua R_2 và dòng I_B . Vì dòng I_B rất nhỏ nên điện áp cực gốc U_B chủ yếu phụ thuộc dòng qua R_1 và R_2 mà không bị ảnh hưởng của tranzito theo nhiệt độ.

Khi nhiệt độ tăng, α tăng, I_C tăng, I_E tăng và $U_E = I_E R_E$ tăng. Kết quả $U_{BE} = U_B - U_E$ giảm vì U_B coi như giữ nguyên. U_{BE} giảm dẫn tới I_B giảm và $I_C = \alpha I_B$ giảm.

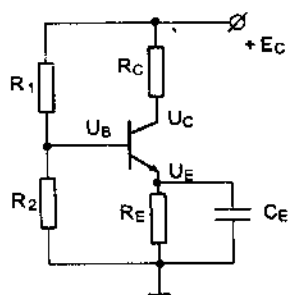
Khi nhiệt độ giảm, α giảm, I_C giảm, I_E giảm, U_E giảm và U_{BE} tăng (do U_B giữ không đổi). Kết quả I_B tăng, I_C tăng.

Vậy, biến động của nhiệt độ không làm ảnh hưởng tới hoạt động của tranzito là nhờ hồi tiếp dòng điện qua điện trở R_E . Trên thực tế, R_E thường mắc song song với một tụ C_E . Vấn đề này sẽ được đề cập sau.

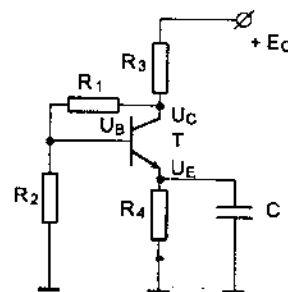
5.3.6. Mạch phân cực kiểu hồi tiếp hỗn hợp

Mạch có sơ đồ như hình 5.10. Mạch kết hợp cả hai loại hồi tiếp nên độ ổn định đối với nhiệt độ cao hơn.

Khi nhiệt độ tăng, I_C tăng, sụt áp trên R_3 tăng, U_C giảm, U_B giảm, đồng thời I_C tăng nên I_E tăng, U_{BE} giảm, I_C giảm. Kết quả I_C , U_C giữ ổn định.



Hình 5.9 : Phân cực kiểu hồi tiếp dòng điện



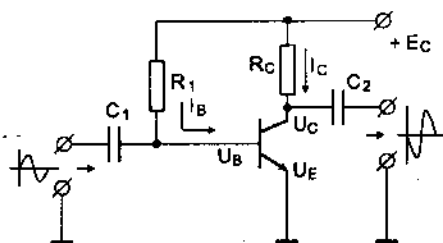
Hình 5.10 : Mạch phân cực kiểu hồi tiếp hỗn hợp

5.4. KHUẾCH ĐẠI ĐIỆN ÁP

Khuếch đại điện áp cũng có 3 kiểu mắc là CE, CB và CC.

5.4.1. Khuếch đại mắc kiểu CE

Mạch khuếch đại (hình 5.11) có thêm tụ đầu vào C_1 và tụ đầu ra C_2 . Các tụ này đưa tín hiệu xoay chiều cần khuếch đại vào đầu vào và tách tín hiệu xoay chiều đã khuếch đại ra đầu ra.



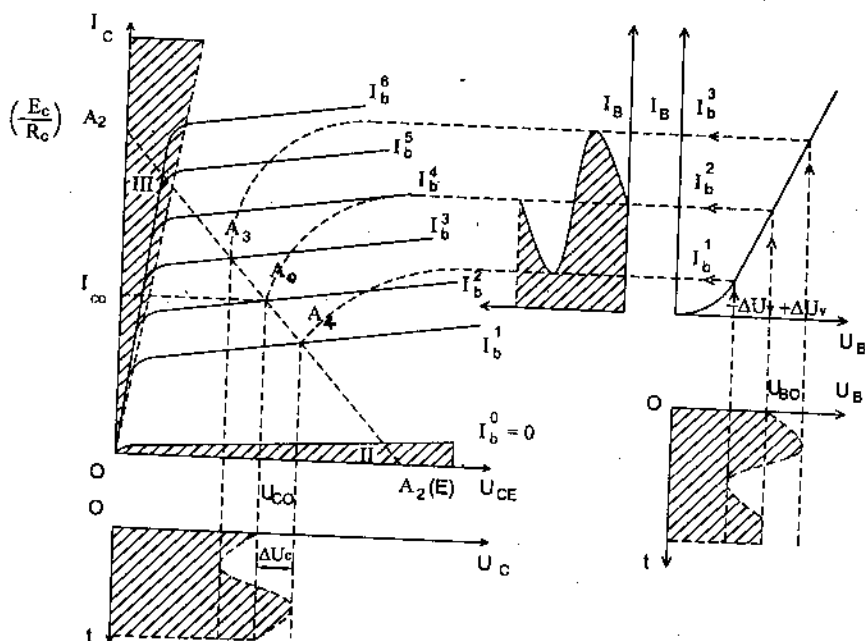
Hình 5.11: Mạch khuếch đại kiểu mắc CE

Với một tranzito đã chọn, ta tra được các đặc tuyến tĩnh của nó. Trên hình 5.12 là họ các đặc tuyến ra và một đặc tuyến vào ứng với U_{CE} không đổi.

Từ hình 5.11 có thể thấy phương trình đặc tuyến tải là:

$$U_C = E_C - I_C R_C \quad (5.14)$$

Đó là một đường thẳng qua 2 điểm trên 2 trục tọa độ $A_1(E_C, 0)$ và $A_2(0, E_C/R_C)$, được gọi là đặc tuyến động của tranzito.



Hình 5.12 : Đặc tuyến của tranzito và chế độ làm việc khuếch đại

Từ đặc tuyến vào, ứng với điện áp U_{B0} ta có dòng bazơ I_B^2 . Giao điểm của đặc tuyến ra ứng với I_B^2 và đặc tuyến động là điểm A_0 tương ứng với dòng I_{C0} và $U_{CE} = U_{C0}$. Đây là dòng colectơ và điện áp U_C khi chưa có tín hiệu vào.

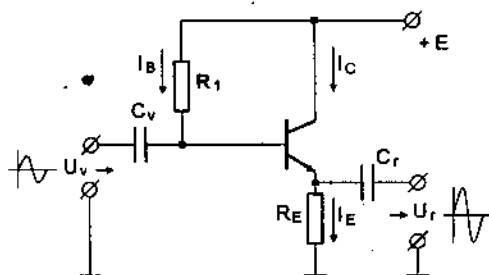
Khi có tín hiệu cần khuếch đại vào đầu vào $U_v = U_{B0} \pm \Delta U_v$ thì dòng I_B^2 biến thiên trong khoảng $I_B^1 \div I_B^3$ (xác định theo đặc tuyến vào). Điểm làm việc A_0 trên đặc tuyến động cũng dịch từ A_4 (giao điểm giữa đặc tuyến động và đặc tuyến ra ứng với I_B^1) và A_3 (giao điểm giữa đặc tuyến động và đặc tuyến ra ứng với I_B^3). Điện áp U_C cũng biến thiên $U_r = U_{C0} \pm \Delta U_C$. Dạng tín hiệu ra U_C biến thiên theo dạng tín hiệu vào U_B và được khuếch đại với hệ số khuếch đại α của tranzito. Hai tín hiệu vào và ra là đảo pha nhau.

Có thể tóm tắt diễn biến sự khuếch đại của tranzito như sau: Dưới tác động của một tín hiệu vào nhỏ, điện áp U_{BE} thay đổi gây ra sự thay đổi dòng

vào I_B . Từ đó, tranzito làm việc ở chế độ khuếch đại, dòng điện ra I_C lớn thay đổi theo cùng nhịp điệu với I_B và tạo ra điện áp U_C thay đổi ngược pha.

5.4.2. Khuếch đại mắc kiểu CC

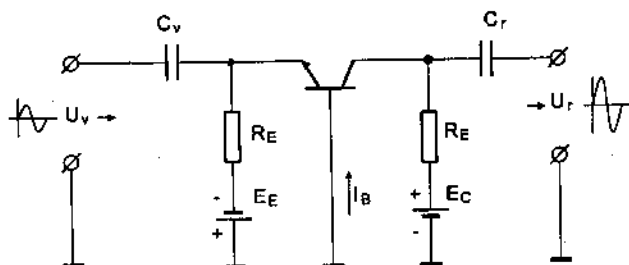
Sơ đồ mạch như hình 5.13. Điện áp ra lấy trên điện trở R_E nên còn gọi là mạch khuếch đại tải cực E. Dễ thấy vì U_r lấy trên R_E nên mạch mắc kiểu này có $U_r \approx U_v$ và các tín hiệu vào, ra đồng pha nhau. Từ đó hệ số khuếch đại $K_u \approx 1$. Mạch thường dùng để phối hợp trở kháng vì có trở kháng vào lớn và trở kháng ra nhỏ.



Hình 5.13: Mạch khuếch đại mắc kiểu CC

5.4.3. Khuếch đại mắc kiểu CB

Sơ đồ mạch như hình 5.14. Mạch có hệ số khuếch đại điện áp lớn nhưng hệ số khuếch đại dòng nhỏ. Trở kháng ra của mạch lớn nhưng trở kháng vào rất nhỏ nên mạch ít được sử dụng so với mạch CE và CC.



Hình 5.14 : Mạch khuếch đại mắc kiểu CB

Có thể tóm tắt các đặc điểm của 3 loại mạch tranzito mắc kiểu CE, CC và CB trong bảng 5.1. Các đặc điểm này còn phụ thuộc điều kiện làm việc của tranzito và một số yếu tố khác.

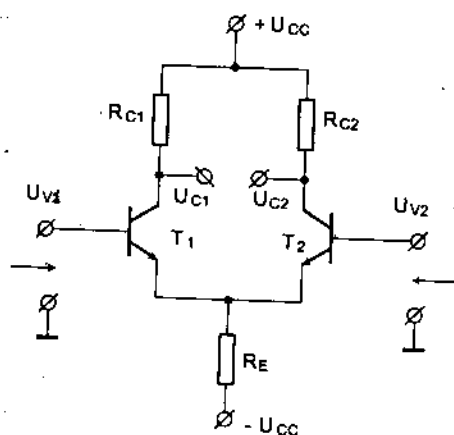
Bảng 5.1

Đặc điểm	Mạch CE	Mạch CB	Mạch CC
Pha giữa U_r và U_v	Ngược pha	Đồng pha	Đồng pha
Trở kháng vào	$(200 + 2000)\Omega$	$(30 + 500)\Omega$	$(20 + 500)k\Omega$
Trở kháng ra	$(20 + 100)k\Omega$	$(50 + 1000)k\Omega$	$(50 + 5000)\Omega$
Hệ số K_u (β)	$500 + 2000$	$200 + 2000$	$\approx < 1$
Hệ số K_i (α)	$20 + 100$	$0,9 + 0,99$	$20 + 100$
Hệ số K_p	$1000 + 10000$	$200 + 1000$	$20 + 50$
Ứng dụng	Phổ biến	Ít dùng	Không phổ biến bằng mạch CE

5.5. KHUẾCH ĐẠI VI SAI

Các mạch khuếch đại đã xét khuếch đại trực tiếp tín hiệu vào. Mạch khuếch đại vi sai chỉ khuếch đại sai lệch giữa 2 tín hiệu vào.

Sơ đồ một mạch khuếch đại vi sai điển hình được cho trên hình 5.15. Mạch làm việc theo nguyên lý cầu cân bằng và có cấu trúc đối xứng. Hai tranzito có tham số giống hệt nhau. Mạch có 2 cửa vào (U_{v1} , U_{v2}) và 1 cửa ra ($U_C = U_{C1} = U_{C2}$). Điện áp ra lấy giữa còlectơ của T1 và T2 gọi là kiểu đối xứng. Nếu điện áp lấy ra giữa 1 còlectơ (U_{C1} hoặc U_{C2}) và mát gọi là kiểu không đối xứng.



Hình 5.15 : Sơ đồ mạch khuếch đại vi sai điển hình

Nếu bazơ của T_1 có tín hiệu vào U_{v1} , bazơ của T_2 có tín hiệu vào U_{v2} thì điện áp ra lấy giữa 2 còlectơ là:

$$U_r = A_d (U_{v1} - U_{v2}) \quad (5.15)$$

trong đó: A_d là hệ số khuếch đại điện áp vi sai.

Điện áp ra $U_C = U_{C1} = U_{C2}$ so với mát là:

$$U_C = U_{CC} - I_C R_C \quad (5.16)$$

Ở chế độ một chiều (không có tín hiệu xoay chiều) như hình 5.16 thì do cực bazơ nối qua R_B về mát nên $U_B \approx 0$. Thế cực E là:

$$U_E = U_B - U_{BE} = 0 - 0,7 = -0,7(V)$$

Dòng cực E:

$$I_E = \frac{U_E - (-U_{EE})}{R_E} = \frac{U_{EE} - 0,7}{R_E}$$

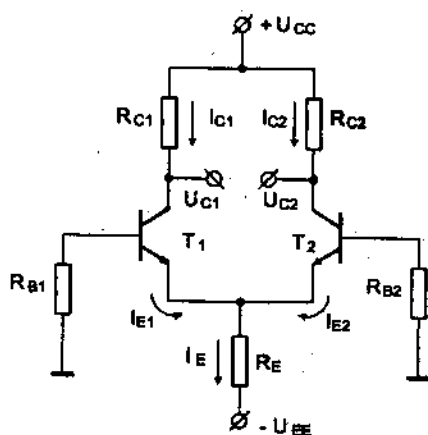
Vì T_1 và T_2 giống nhau nên:

$$I_{E1} = I_{E2} = \frac{I_E}{2}$$

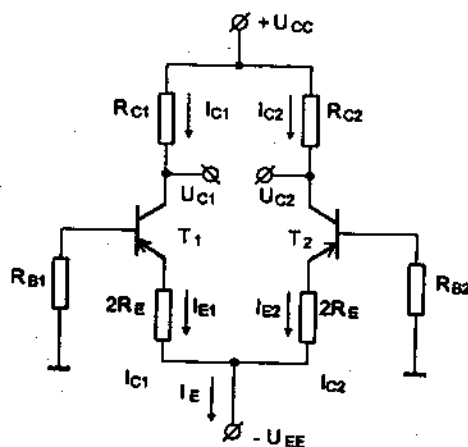
$$I_{C1} = I_{C2} = I_C = \frac{I_E}{2}$$

$$U_{C1} = U_{C2} = U_C = U_{CC} - I_C R_C$$

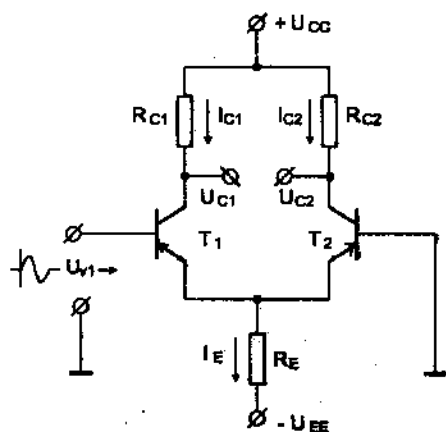
Do $I_{E1} = I_{E2} = \frac{I_E}{2}$ nên dễ thấy có thể dùng mạch mà mỗi tranzito có điện trở emítơ riêng (hình 5.17).



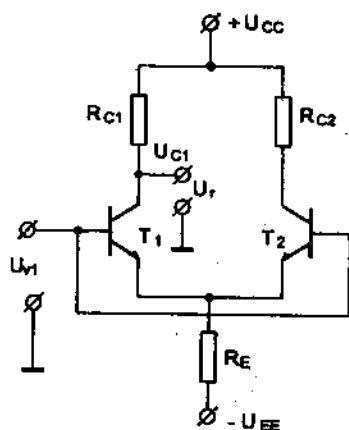
Hình 5.16 : Mạch khuếch đại vi sai ở chế độ một chiều



Hình 5.17 : Mạch khuếch đại vi sai tương đương với mạch ở hình 5.16



Hình 5.18 : Mạch khuếch đại vi sai ở chế độ đơn



Hình 5.19 : Mạch khuếch đại vi sai ở chế độ đồng pha

Khi đầu vào có tín hiệu xoay chiều (chế độ xoay chiều) thì tùy cách đưa tín hiệu vào mà ta có các chế độ khác nhau:

- Chế độ vi sai: 2 tín hiệu vào 2 đầu vào.
- Chế độ đơn: 1 tín hiệu vào 1 đầu vào còn tín hiệu kia nối mát.
- Chế độ đồng pha: Cùng 1 tín hiệu vào 2 đầu vào.

Ở chế độ vi sai, tín hiệu vào - ra quan hệ với nhau theo biểu thức (5.15) và có mạch như hình 5.15.

Ở chế độ đơn, mạch như trên hình 5.18 và:

$$U_r = A_d U_v \quad (5.17)$$

Ở chế độ đồng pha, mạch như trên hình 5.19. Các điện áp vào là đồng pha nhau.

5.6. KHUẾCH ĐẠI DÙNG TRANZITO TRƯỜNG

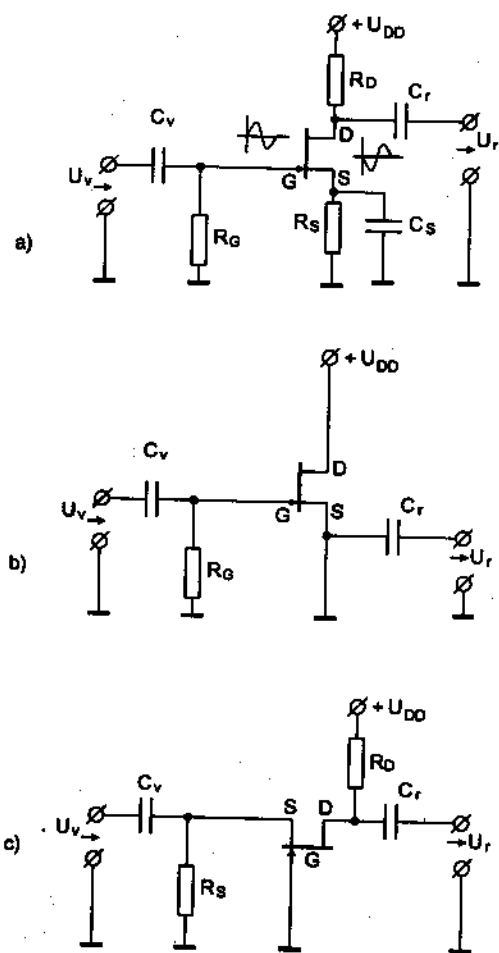
Với tranzito BJT, dòng điện côlectơ đầu ra được điều khiển bởi dòng điện bazơ đầu vào. Với tranzito FET, dòng cực máng đầu ra được điều khiển bởi điện áp cửa đầu vào.

FET có trở kháng đầu vào lớn hơn nhiều BJT nên khi khuếch đại tín hiệu xoay chiều biên độ nhỏ sẽ lợi hơn, tiêu hao năng lượng thấp. MOSFET có trở kháng vào lớn hơn FET vì có cực cửa cách ly.

Có 3 kiểu sơ đồ mắc tranzito trường: cực nguồn chung (CS), cực máng chung (CD) và cực cửa chung (CG) như trên hình 5.20. Các cách mắc này tương tự như các cách mắc CE, CC và CB đối với tranzito BJT.

Mắc kiểu CS (hình 5.20a) khi có tín hiệu xoay chiều vào đầu vào, qua tụ C_v sẽ làm U_{GS} biến thiên, do đó I_D biến thiên. Qua tụ C_r , tín hiệu khuếch đại sẽ được lấy ra. Đặc trưng cho chế độ khuếch đại của BJT là hệ số khuếch đại áp, dòng. Đặc trưng cho chế độ khuếch đại của JFET, MOSFET là độ dẫn:

$$g_m = \frac{\Delta I_D}{\Delta U_{GS}} \text{ khi } U_{DS} = \text{invar} \quad (5.18)$$



Hình 5.20 : Khuếch đại dùng tranzito trường :
a) Mắc CS ; b) Mắc CD ; c) Mắc CG

Đơn vị của g_m là: $\left[\frac{A}{V}\right] = [S] = \left[\frac{1}{\Omega}\right]$. Đọc là Simen (Siemens).

$$1S = 1000mS.$$

5.7. KHUẾCH ĐẠI CÔNG SUẤT

Tín hiệu ra của các mạch khuếch đại đã xét chưa đủ mạnh để cung cấp cho các phụ tải đòi hỏi công suất lớn. Để tín hiệu ra có công suất lớn và đáp ứng các yêu cầu của tải, ta phải sử dụng các mạch khuếch đại công suất.

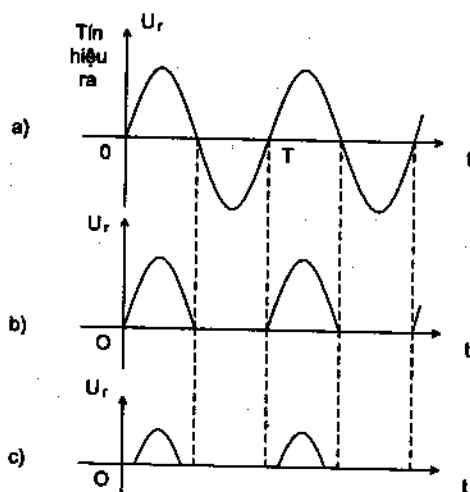
Mạch khuếch đại công suất phải đáp ứng các yêu cầu:

- Tín hiệu khuếch đại phải đạt công suất yêu cầu ;
- Độ méo tín hiệu nhỏ ;
- Hiệu suất cao.

Các chế độ làm việc của mạch khuếch đại công suất:

Khi tín hiệu vào có dạng hàm điều hòa thì tùy theo tín hiệu ra của mạch khuếch đại công suất mà chia ra:

- Chế độ A: Dạng tín hiệu ra được giữ nguyên (hình 5.21a).
- Chế độ B: Tín hiệu ra chỉ có trong nửa chu kỳ (hình 5.21b).
- Chế độ AB: Giữa chế độ A và chế độ B.
- Chế độ C: Tín hiệu ra chỉ có trong một phần của nửa chu kỳ (hình 5.21c).



Hình 5.21 : Các chế độ làm việc của mạch khuếch đại công suất: a) Chế độ A ; b) Chế độ B ; c) Chế độ C

Rõ ràng, độ méo tín hiệu tăng dần từ chế độ A đến chế độ C.

5.7.1. Khuếch đại công suất chế độ A

Xét mạch trên hình 5.22a với phân cực cố định.

$$\text{Dòng phân cực : } I_B = \frac{U_{CC} - 0,7}{R_B}$$

$$\text{Dòng colectơ : } I_C = \alpha I_B$$

Phương trình đặc tuyến động (xem 5.4.1) hay phương trình điện áp giữa 2 cực C và E : $U_{CE} = U_{CC} - I_C R_C$

Từ I_B , ta xác định được điểm làm việc A_0 là giao điểm của đặc tuyến ra ứng với I_B và đặc tuyến động. Khi có tín hiệu vào thì I_B biến thiên từ $(I_B - \Delta I_B)$ đến $(I_B + \Delta I_B)$ và điểm làm việc dịch chuyển trên đoạn $A_3 - A_0 - A_4$.

Kết quả U_{CE} biến thiên theo nhịp biến thiên của I_B với pha đảo lại. Dạng tín hiệu ra giữ nguyên.

Công suất do nguồn một chiều (DC) cấp

$$P_v(DC) = U_{CC} \cdot I_{CO} \quad (5.19)$$

I_{CO} là giá trị I_C ứng với điểm làm việc A_0 (hình 5.22b).

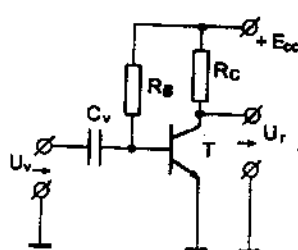
Công suất ra xoay chiều (AC) trung bình:

$$P_r(AC) = \frac{U_C^2}{R_C} \quad (5.20)$$

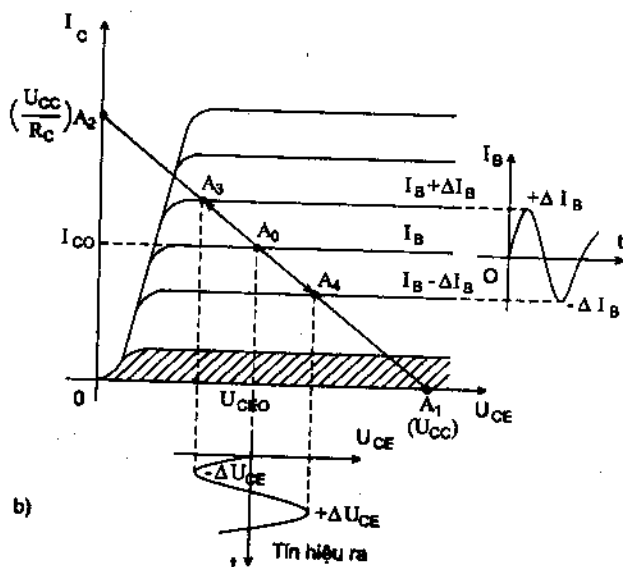
Hiệu suất mạch:

$$\eta = \frac{P_r(AC)}{P_v(DC)} \quad (5.21)$$

Khuếch đại công suất ở chế độ A có độ méo tín hiệu nhỏ nhưng hiệu suất thấp (không quá 25%).



a)



b)

Hình 5.22: Khuếch đại công suất chế độ A

5.7.2. Khuếch đại công suất chế độ B

Ở hình 5.22b, khi điểm làm việc A_0 dịch về phía A_1 , thì điểm A_4 sẽ đi vào vùng cắt I (xem mục 5.2.1). Do vậy, tín hiệu ra sẽ bị méo ứng với chế độ AB (hình 5.23a) hoặc bị cắt nửa chu kì ứng với chế độ B (hình 5.23b).

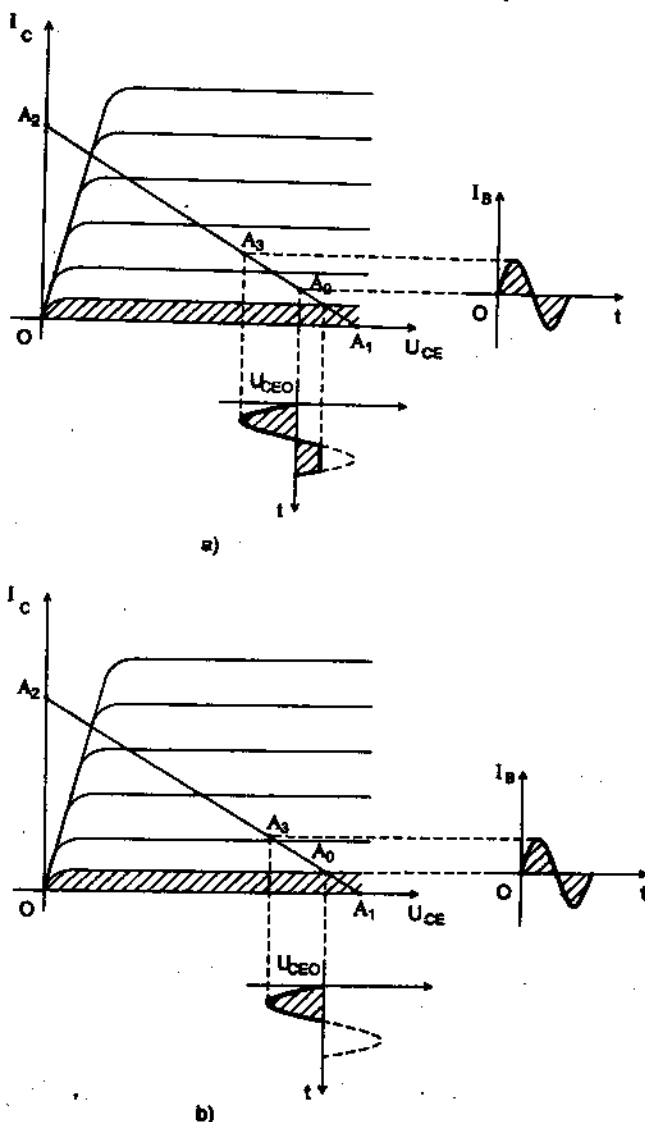
Để thu được cả tín hiệu đầu ra, người ta sử dụng tầng khuếch đại công suất đối xứng (khuếch đại đẩy kéo) gồm 2 tranzito (tham số giống nhau). Các tranzito sẽ luân phiên nhau làm việc trong mỗi nửa chu kỳ ở chế độ B và đầu ra sẽ nhận được tín hiệu cả chu kỳ.

Mạch khuếch đại công suất đẩy kéo (hình 5.24) có khả năng cung cấp công suất tới tải và hiệu suất khuếch đại ở chế độ B (78%) cao hơn ở chế độ A.

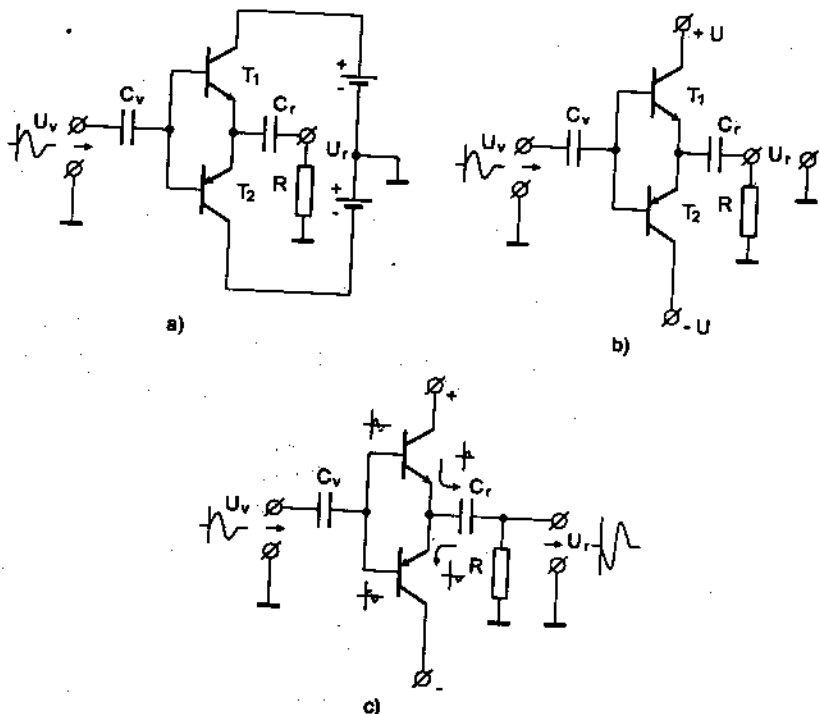
Hình 5.24a biểu thị mạch khuếch đại công suất đẩy kéo dùng 2 tranzito khác loại với 2 nguồn cấp. Hai nguồn cấp nối tiếp nhau nên có thể thay bằng nguồn 2 cực tính (hình 5.24b) có điểm giữa nối mát. Khi khuếch đại ở chế độ B, 2 tranzito sẽ luân phiên nhau làm việc. Ở nửa chu kỳ dương của tín hiệu vào, tranzito T_1 (loại NPN) làm việc còn tranzito T_2 (loại PNP) khoá. Ở

nửa chu kỳ âm của tín hiệu vào, tranzito T_2 làm việc còn tranzito T_1 khoá. Kết quả, đầu ra thu được tín hiệu đã khuếch đại trong cả chu kỳ của tín hiệu vào (hình 5.24c).

Mạch có nhược điểm là tín hiệu ra bị méo (sai lệch) khi chuyển từ nửa chu kỳ dương sang nửa chu kỳ âm và ngược lại. Nguyên nhân là các tranzito có ngưỡng thông (U_{BE}) là 0,7V nên khi $|U_v| < 0,7V$ thì các tranzito đều khoá, dẫn tới không có tín hiệu ra (hình 5.25). Để khắc phục hiện tượng này, cần tạo mạch phân áp để cho cả 2 tranzito có $U_{BE} \approx 0,7V$.

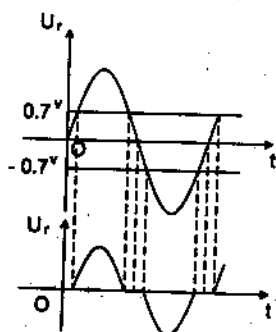


Hình 5.23 : Khuếch đại công suất chế độ AB (a) và chế độ B (b)

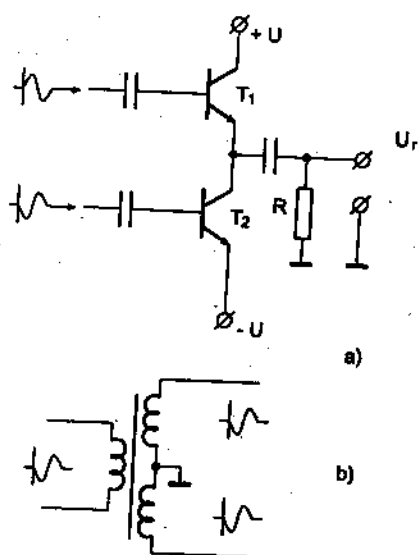


Hình 5.24 : Mạch khuếch đại công suất đẩy kéo

Sơ đồ hình 5.24b có thể thay bằng sơ đồ hình 5.26a với 2 tranzito cùng loại. Khi đó, để đảm bảo 2 tranzito thay phiên nhau làm việc thì các tín hiệu vào phải ngược pha nhau. Tạo 2 tín hiệu ngược pha này có thể dùng biến áp đảo pha (hình 5.26b) với số vòng dây như nhau.



Hình 5.25 : Hiện tượng méo tín hiệu ra khi chuyển đổi nửa chu kỳ dương $\longleftrightarrow$ âm



Hình 5.26 : Mạch khuếch đại công suất chế độ B dùng 2 tranzito cùng loại

5.8. KHUẾCH ĐẠI DARLINGTON

Đây là mạch khuếch đại phức hợp gồm 2 tranzito T_1 , T_2 mắc với nhau theo kiểu 2 cực C_1 , C_2 nối với nhau và cực E_1 của tranzito T_1 nối vào cực B_2 của tranzito T_2 . Chúng tạo thành một tranzito tương đương có cực gốc là cực gốc B_1 của tranzito T_1 , cực phát là cực phát E_2 của tranzito T_2 và cực góp là cực góp nối chung của 2 tranzito (hình 5.27a, b).

Trong mạch Darlington, 2 tranzito có thể cùng loại (hình 5.27a, b) hay khác loại (hình 5.27c, d). Trường hợp này, cách mắc hơi khác và cần chú ý tới tranzito tương đương.

Mạch Darlington có thể mắc theo kiểu cực phát chung (CE) hay cực gốc chung (CB).

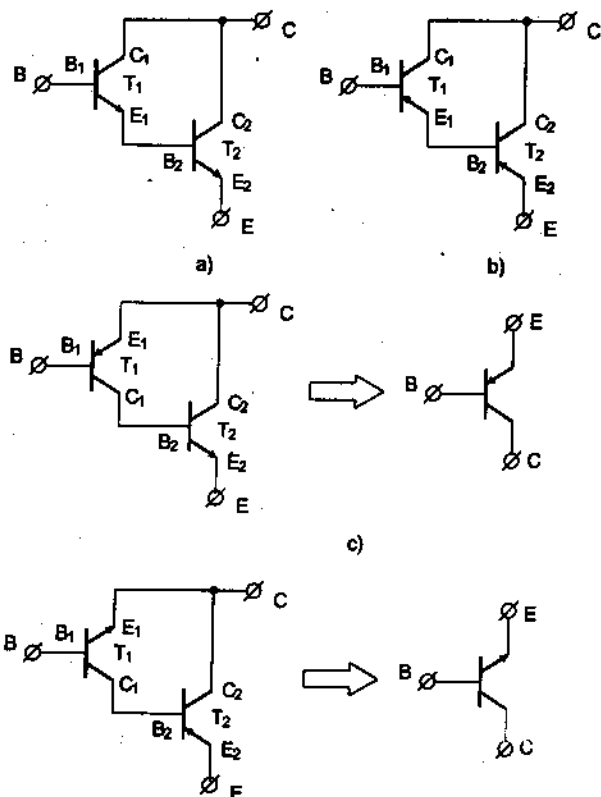
Mạch khuếch đại Darlington tương tự như mạch khuếch đại dùng 1 tranzito nhưng có nhiều ưu điểm hơn :

- Điện trở vào lớn (vài chục, vài trăm $k\Omega$) và điện trở ra nhỏ (vài chục Ω).
- Độ ổn định công tác cao.
- Độ méo tín hiệu nhỏ.
- Hệ số khuếch đại áp nhỏ (hàng đơn vị) nhưng hệ số khuếch đại dòng rất lớn (hàng nghìn).

Với mạch CE thì hệ số khuếch đại dòng của khuếch đại Darlington là:

$$\alpha = \alpha_1 + \alpha_2 + \alpha_1 \alpha_2 \quad (5.22)$$

Trong đó : α_1 , α_2 là các hệ số khuếch đại dòng của các tranzito T_1 , T_2 .



Hình 5.27 : Mạch Darlington: a, b) 2 tranzito cùng loại; c, d) 2 tranzito khác loại

5.9. KHUẾCH ĐẠI THUẬT TOÁN

Khuếch đại thuật toán (OA - Operational Amplifier) là mạch IC tuyến tính có hệ số khuếch đại điện áp rất lớn, trở kháng vào lớn và trở kháng ra nhỏ.

Khuếch đại thuật toán lí tưởng có trở kháng vào $Z_v = \infty$, trở kháng ra $Z_r = 0$ và hệ số khuếch đại $K_{OA} = \infty$.

Khuếch đại thuật toán có 2 đầu vào: đầu vào không đảo (kí hiệu +) và đầu vào đảo (kí hiệu -), một đầu ra và các chân nguồn. Ngoài ra, có thể có các chân khác nối với mạch ngoài nhằm hoàn thiện chức năng của khuếch đại thuật toán. Kí hiệu khuếch đại thuật toán trên bản vẽ như hình 5.28.

Hai đầu vào của khuếch đại thuật toán thực chất là 2 đầu vào của một bộ khuếch đại vi sai. Vì vậy, khuếch đại thuật toán sẽ khuếch đại hiệu điện áp giữa 2 đầu vào với hệ số khuếch đại K_{OA} , nghĩa là:

$$U_r = K_{OA} (U_+ - U_-) = K_{OA} \Delta U_v \quad (5.23)$$

Khi một trong hai điện áp U_+ (đặt vào đầu vào không đảo) hoặc U_- (đặt vào đầu vào đảo) bằng 0 thì:

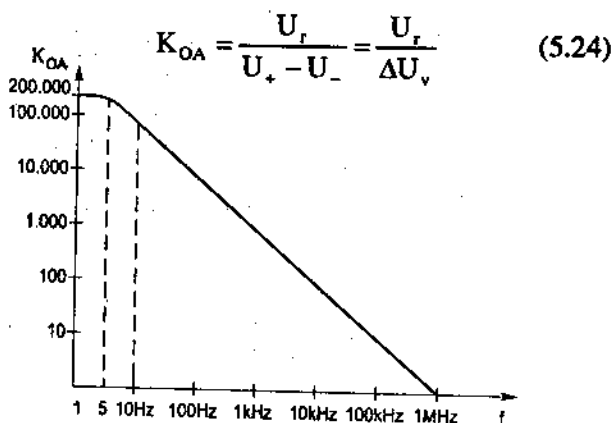
$U_+ = 0 \rightarrow U_r = -K_{OA} U_- \rightarrow U_r$ đảo pha so với tín hiệu vào U_- . Vì thế, đầu vào (-) gọi là đầu vào đảo.

$U_- = 0 \rightarrow U_r = K_{OA} U_+ \rightarrow U_r$ đồng pha so với tín hiệu vào U_+ . Vì thế, đầu vào (+) gọi là đầu vào không đảo.

5.9.1. Hệ số khuếch đại

Từ (5.23) suy ra:

Hệ số K_{OA} của khuếch đại thuật toán thường rất lớn và thay đổi theo từng loại IC. Với tín hiệu vào xoay chiều, K_{OA} giảm nhanh khi tần số lớn hơn 5Hz và giảm tới 0 ở tần số gần 1MHz (hình 5.29).



Hình 5.29: Đặc tuyến tần số của khuếch đại thuật toán (sự phụ thuộc của K_{OA} vào f)

5.9.2. Đặc tuyến truyền đạt

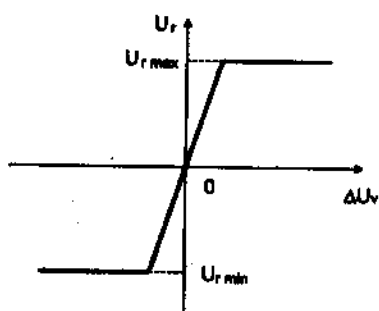
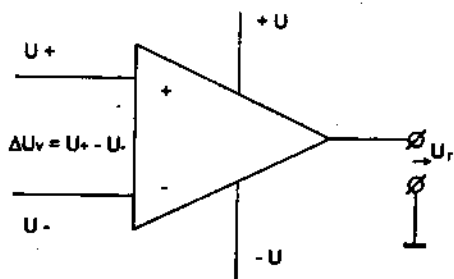
Đặc tuyến truyền đạt là đường biểu thị quan hệ giữa U_r và ΔU_v (hình 5.30).

Qua đặc tuyến truyền đạt ta thấy do hệ số khuếch đại lớn nên phần khuếch đại dốc đứng, U_r tỉ lệ với ΔU_v .

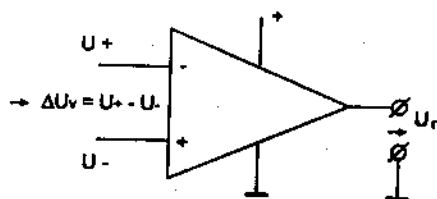
Sau khoảng này thì sự tăng ΔU_v không làm U_r tăng mà U_r bị bão hoà. Giá trị bão hoà của U_r bị giới hạn bởi điện áp nguồn và thường thấp hơn điện áp nguồn $(1 \div 2)V$.

Khi nguồn nuôi của khuếch đại thuật toán là nguồn 1 cực tính (so với mát) thì đặc tuyến truyền đạt sẽ thay đổi. Với sơ đồ hình 5.31a thì $\Delta U_v < 0$,

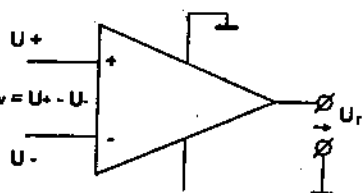
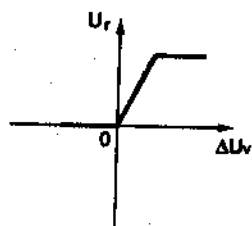
điện áp ra không thể âm được. Với sơ đồ hình 5.31b thì khi $\Delta U_v > 0$, điện áp ra không thể dương được.



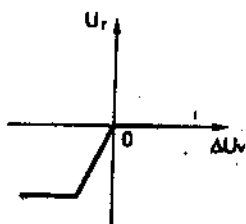
Hình 5.30: Đặc tuyến truyền đạt



a)



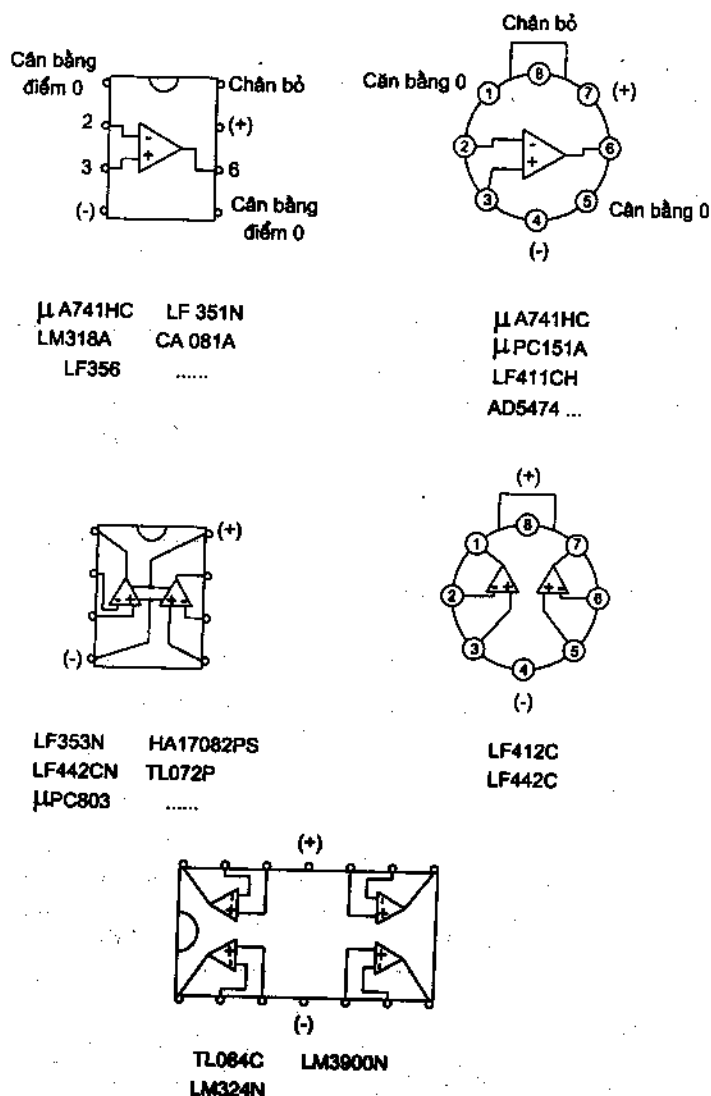
b)



Hình 5.31: Đặc tuyến truyền đạt khi dùng nguồn 1 cực tính

5.9.3. Ứng dụng của khuếch đại thuật toán

Khuếch đại thuật toán là mạch IC tuyến tính rất quan trọng, có rất nhiều ứng dụng. Khuếch đại tuyến tính phổ biến nhất là IC 741. Các IC 741 được chế tạo trong các loại vỏ bọc khác nhau, do nhiều hãng khác nhau sản xuất. Hình 5.32 biểu thị một số IC 741.

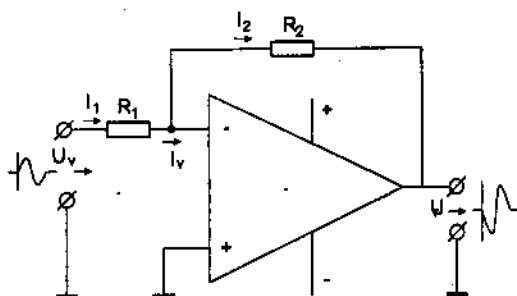


Hình 5.32 : Một số khuếch đại thuật toán 741

Chú ý: Khuếch đại thuật toán là IC tuyến tính nhưng IC tuyến tính có nhiều loại thực hiện các chức năng khác nhau: khuếch đại, tạo dao động, tách sóng, ổn áp... Tên gọi khuếch đại thuật toán là do mạch điện nguyên thủy được sử dụng để thực hiện các phép tính cộng, trừ, nhân, tích phân... trong máy tính.

Một số thông số cơ bản của khuếch đại thuật toán $\mu A 741$:

Thông số	$\mu A 741$
Hệ số KĐ K_{OA}	200000
Trở kháng vào Z_v	$1M\Omega$
Trở kháng ra Z_r	120Ω
Dải thông	1MHz
Điện áp nguồn nuôi	$5V \pm 18V$
Điện áp vào cực đại	$\pm 13V$
Điện áp ra cực đại	$\pm 14V$
Độ tăng trưởng U_r	$0,5 V/\mu S$



Hình 5.33: Khuếch đại đảo dùng khuếch đại thuật toán

a) Khuếch đại đảo

Sơ đồ mạch như hình 5.33. Tín hiệu vào đưa vào đầu đảo. Điện trở R_2 làm nhiệm vụ phản hồi (hồi tiếp) âm từ đầu ra về đầu vào đảo.

Coi khuếch đại thuật toán là lí tưởng thì $Z_v \approx \infty$ nên $I_v \approx 0$; $\Delta U_v = 0$.

Suy ra $U_- = U_+ = 0$ (nối mát)

Tại nút đầu vào đảo có:

$$I_1 = I_2 + I_v \approx I_2$$

$$\frac{U_v - U_-}{R_1} \approx \frac{U_- - U_r}{R_2}, \quad (U_- = 0)$$

$$\frac{U_v}{R_1} \approx -\frac{U_r}{R_2}$$

$$K_{OA} = \frac{U_r}{U_v} = -\frac{R_2}{R_1} \quad (5.25)$$

Dấu (-) thể hiện tín hiệu ra bị đảo pha so với tín hiệu vào.

$$U_r = -\frac{R_2}{R_1} U_v \quad (5.26)$$

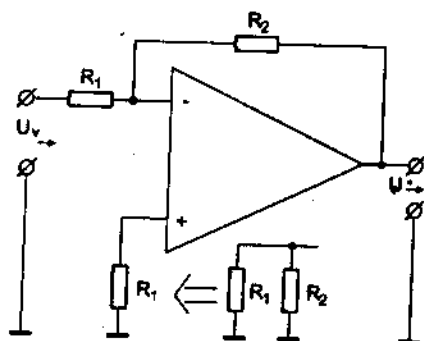
- Thực tế $I_v \neq 0$ nên sụt áp do I_v gây ra trên R_1, R_2 sẽ tạo sai số cho hệ số khuếch đại K_{OA} . Để loại trừ ảnh hưởng này, đầu vào (+) được nối qua một điện trở R xuống mát (hình 5.34). Điện trở R được chọn bằng điện trở tương đương của $(R_1 // R_2)$.

$$R = \frac{R_1 R_2}{R_1 + R_2} \quad (5.27)$$

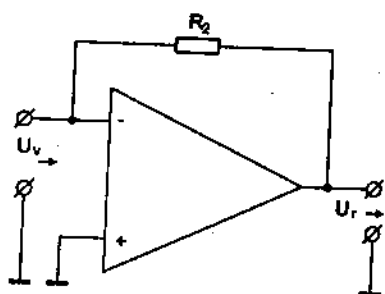
Khi đó, sụt áp gây bởi I_v trên các điện trở mắc ở đầu vào (-) sẽ bằng nhau và mạch khuếch đại thuật toán sẽ được cân bằng.

Do $R_2 \gg R_1$ nên có thể chọn $R \approx R_1$.

- Khi $R_2 = R_1$ thì $K_{OA} = -1$ và mạch khuếch đại đảo thực chất là mạch lặp có đảo tín hiệu (bộ đảo dấu tín hiệu).



Hình 5.34: Mạch loại trừ sai số khuếch đại



Hình 3.35: Mạch biến đổi dòng - áp

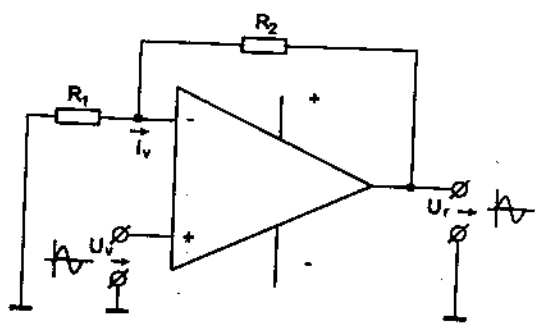
- Khi $R_1 = 0$ (hình 5.35) thì:

$$I_1 \approx I_2 = \frac{U_v - U_r}{R_2} = -\frac{U_r}{R_2} \rightarrow U_r = -R_2 I_v \quad (5.28)$$

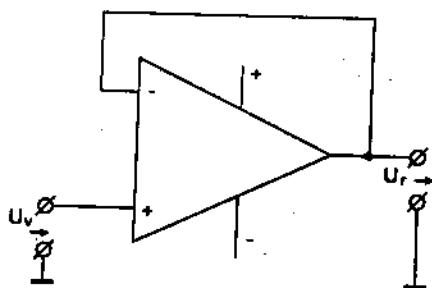
Đây là mạch biến đổi dòng - áp có đảo pha: điện áp ra tỉ lệ với dòng vào.

b) Khuếch đại không đảo

Sơ đồ mạch như hình 5.36. Tín hiệu vào đưa vào đầu không đảo.



Hình 5.36: Khuếch đại không đảo dùng khuếch đại thuật toán



Hình 5.37: Mạch lặp điện áp

Coi khuếch đại thuật toán là lí tưởng, $Z_v = \infty$, $I_v = 0$ nên

$$U_v = U_+ = U_- = U_r \frac{R_1}{R_1 + R_2} \text{ (mạch phản áp).}$$

$$U_r = \frac{R_1 + R_2}{R_1} U_v = \left(1 + \frac{R_2}{R_1}\right) U_v \quad (5.29)$$

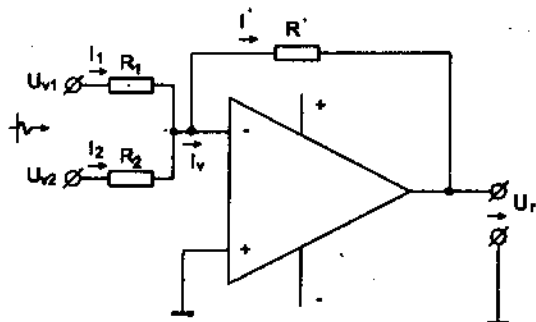
$$K_{OA} = 1 + \frac{R_2}{R_1} \quad (5.30)$$

- Khi $R_1 = \infty$ (hở mạch), $R_2 = 0$ (ngắn mạch) thì $K_{OA} = 1$ và $U_r = U_v$. Mạch khuếch đại không đảo trở thành mạch lặp lại điện áp. Tín hiệu áp đầu ra lặp lại tín hiệu áp đầu vào (hình 5.37).

- Mạch khuếch đại còn gọi là khâu tỉ lệ P (Proportional).

c) Khuếch đại cộng

Sơ đồ mạch như hình 5.38.



Hình 5.38 : Mạch khuếch đại cộng dùng khuếch đại thuật toán

Coi $Z_v = \infty$, $I_v = 0$ thì : $I_1 + I_2 = I'$ và $U_- = U_+ = 0$.

Suy ra:

$$\frac{U_{v1} - U_-}{R_1} + \frac{U_{v2} - U_-}{R_2} = \frac{U_- - U_r}{R'}$$

$$\frac{U_{v1}}{R_1} + \frac{U_{v2}}{R_2} = -\frac{U_r}{R'}$$

$$U_r = -\left(\frac{R'}{R_1}U_{v1} + \frac{R'}{R_2}U_{v2}\right)$$

$$\text{Đặt } \alpha_i = \frac{R'}{R_i} \quad (5.31)$$

$$\text{có : } U_r = -(\alpha_1 U_{v1} + \alpha_2 U_{v2}) \quad (5.32)$$

$$\text{hay tổng quát : } U_r = -\sum \alpha_i U_{vi} \quad (5.33)$$

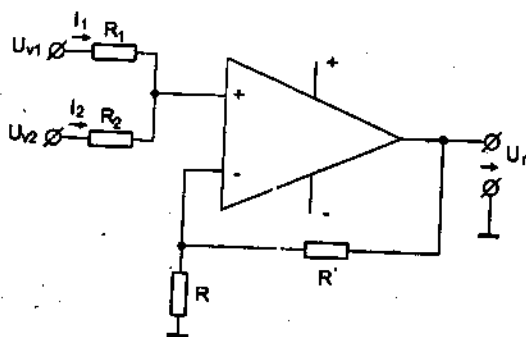
Nếu chọn $R_1 = R_2 = R' = \dots$ thì các $\alpha_i = 1$ và:

$$U_r = -\sum_{i=1}^n U_{vi} \quad (5.34)$$

Đây là mạch cộng đảo.

Để có mạch cộng không đảo, ta dùng sơ đồ hình 5.39. Với khuếch đại thuật toán lí tưởng thì $I_{v+} = I_{v-} = 0$ (vì $Z_v = \infty$) nên $U_+ = U_-$, ta có (theo mạch phân áp R - R')

$$U_- = \frac{R}{R + R'} U_r = U_+$$



Hình 5.39 : Mạch khuếch đại cộng không đảo

và tại đầu vào (+) : $I_1 + I_2 = 0$

$$\frac{U_{v1} - U_+}{R_1} + \frac{U_{v2} - U_+}{R_2} = 0 ; U_+ \left(\frac{1}{R_1} + \frac{1}{R_2} \right) = \frac{U_{v1}}{R_1} + \frac{U_{v2}}{R_2}$$

$$U_r \frac{R}{R + R'} \left(\frac{1}{R_1} + \frac{1}{R_2} \right) = \frac{U_{v1}}{R_1} + \frac{U_{v2}}{R_2}$$

$$U_r = \frac{R + R'}{R(R_1 + R_2)} (R_2 U_{v1} + R_1 U_{v2})$$

$$\text{Đặt: } \alpha = \frac{R'}{R} \quad (5.35)$$

$$\text{có: } U_r = \frac{1 + \alpha}{R_1 + R_2} (R_2 U_{v1} + R_1 U_{v2}) \quad (5.36)$$

Khi chọn $R_1 = R_2$ thì:

$$U_r = \frac{1 + \alpha}{2} (U_{v1} + U_{v2}) \quad (5.37)$$

hay tổng quát cho n đầu vào:

$$U_r = \frac{1 + \alpha}{2} \sum_{i=1}^n U_{vi} \quad (5.38)$$

d) Khuếch đại trừ

Sơ đồ mạch như hình 5.40. Tín hiệu vào ở cả 2 cửa vào đảo và không đảo.

Áp dụng các biểu thức điện áp ra trong trường hợp mắc không đảo (5.29) và đảo (5.26) với nguyên lí xếp chồng tại đầu ra, ta có:

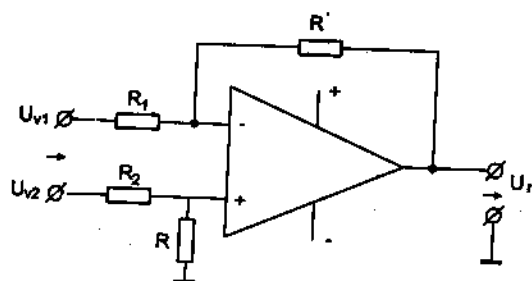
$$U_r = \underbrace{U_{v2} \frac{R}{R + R_2} \frac{R_1 + R'}{R_1}}_{U_{r+}} - \underbrace{U_{v1} \frac{R'}{R_1}}_{U_{r-}}$$

Khi chọn $R' = \alpha R_1$ và $R = \alpha R_2$ thì có:

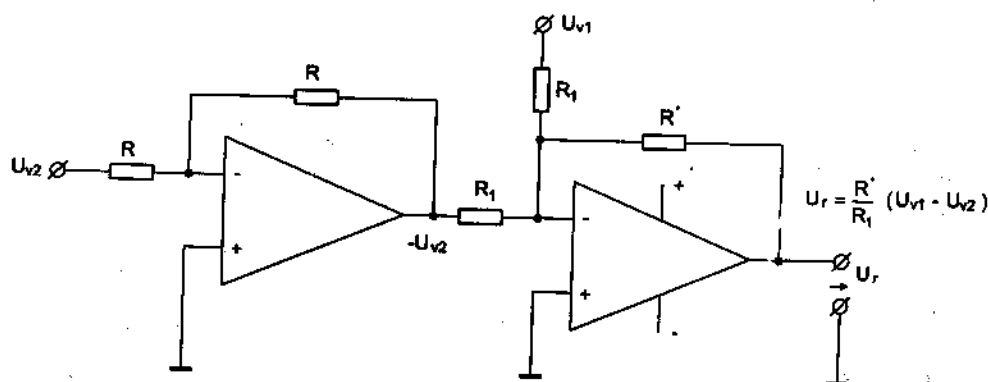
$$U_r = \alpha (U_{v1} - U_{v2}) \quad (5.39)$$

Chú ý :

Có thể sử dụng mạch cộng hình 5.38 để thực hiện phép trừ khi U_{v2} được đảo dấu theo mạch hình 5.33 với $K_{OA} = 1$. Mạch như trên hình 5.41.



Hình 5.40 : Mạch khuếch đại trừ dùng khuếch đại thuật toán



Hình 5.41 : Mạch trừ dùng 2 khuếch đại thuật toán

e) Mạch tích phân

Sơ đồ mạch như hình 5.42. Mạch còn gọi là khâu tích phân I (Integral). Tại đầu vào đảo có : $i_r = i_c$ (vì $I_L = 0$)

$$\frac{U_v - U_-}{R} = C \frac{dU_c}{dt} = C \frac{d}{dt}(U_- - U_r)$$

Vì $U_- = U_+ = 0$ nên :

$$\frac{U_v}{R} = -C \frac{dU_r}{dt} ; dU_r = -\frac{1}{RC} U_v dt$$

$$U_r = -\frac{1}{RC} \int_0^t U_v dt = -\frac{1}{\tau} \int_0^t U_v dt \quad (5.40)$$

với hằng số thời gian của mạch tích phân: $\tau = RC$ (5.41)

f) Mạch vi phân (mạch đạo hàm).

Sơ đồ mạch như hình 5.43a. Mạch còn gọi là khâu vi phân hay đạo hàm D (Differential).

Tại đầu vào đảo có:
 $i_c = i_r$ (vì coi $Z_v = \infty$, $I_v = 0$);

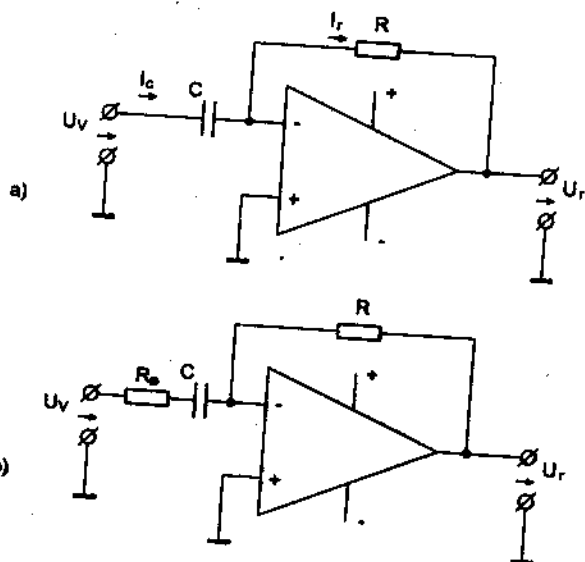
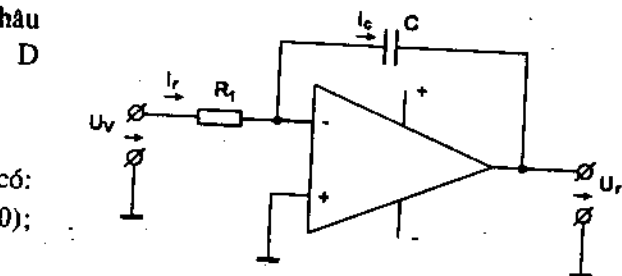
$$C \frac{dU_v}{dt} = -\frac{U_r}{R}$$

Hình 5.42 : Mạch tích phân dùng khuếch đại thuật toán

Vậy: $U_r = -RC \frac{d}{dt} U_v = -\tau \frac{d}{dt} U_v$ (5.42)

với hằng số thời gian của mạch vi phân: $\tau = RC$.

Khi tín hiệu vào có tần số cao, tụ C có dung kháng nhỏ $\left(X_c = \frac{1}{2\pi fC} \right)$ có thể gây ngắn mạch đầu vào và mạch kém ổn định. Để khắc phục tình trạng này, đầu vào được nối thêm điện trở R_0 (hình 5.43b).



Hình 5.43 : Mạch vi phân dùng khuếch đại thuật toán

CÂU HỎI CHƯƠNG 5

1. Nêu các cách mắc cơ bản của tranzito ? Vẽ sơ đồ mắc ?
2. Lập bảng so sánh các cách mắc cơ bản tranzito về trở kháng vào Z_v , trở kháng ra Z_r , hệ số khuếch đại điện áp K_u và hệ số khuếch đại dòng điện K_i ?
3. Nêu các phương pháp phân cực cho tranzito ?
4. Nêu ưu, nhược điểm của các phương pháp phân cực ?
5. Vẽ các sơ đồ khuếch đại điện áp mắc kiểu CC, CE, CB ?
6. Khuếch đại công suất khác khuếch đại thường thế nào ?
7. Khuếch đại vi sai khác khuếch đại thường thế nào ?
8. Các chế độ làm việc của khuếch đại công suất khác nhau thế nào ? ứng dụng ?
9. Ưu điểm của khuếch đại Darlington là gì ? Cách thực hiện ?
10. Khuếch đại thuật toán là gì ? Tính chất ? Hệ số khuếch đại ? Đặc tuyến truyền đạt ?
11. Nêu các ứng dụng của khuếch đại thuật toán và vẽ mạch ?

Chương 6

CÁC BỘ TẠO TÍN HIỆU

Các bộ tạo tín hiệu được sử dụng rất phổ biến trong kĩ thuật thông tin, đo lường, kiểm tra, các thiết bị điều khiển... Tần số tín hiệu sử dụng có thể từ rất nhỏ (vài Hz) đến rất lớn (vài ngàn MHz).

Các tín hiệu tạo ra có thể là tín hiệu điều hoà hình sin, tín hiệu răng cưa, tín hiệu hình chữ nhật v.v...

Các mạch tạo tín hiệu thường sử dụng mạch hồi tiếp (âm, dương).

6.1. BỘ TẠO TÍN HIỆU HÌNH SIN

6.1.1. Mạch tạo tín hiệu có ghép biến áp

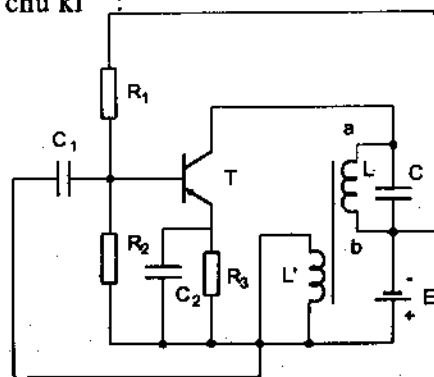
Mạch dao động chính là mạch LC. Khi mạch LC không có điện trở ($R = 0$) thì điện áp trên tụ là điện áp hình sin với chu kì :

$$T = 2\pi\sqrt{LC}$$

và tần số :

$$f = \frac{1}{2\pi\sqrt{LC}} \quad (6.1)$$

Thực tế, $R \neq 0$ nên dao động trong mạch LC là tắt dần vì tổn hao năng lượng. Bổ sung kịp thời nhờ mạch tranzito tương tự hình 5.9. Bổ sung đúng nhịp nhờ mạch hồi tiếp. Điện áp được hồi tiếp qua cuộn ghép L' về bazơ tranzito T sao cho dòng phóng của tụ C qua cuộn L từ a đến b giảm thì L' tạo thế $V_E > V_B$ (qua C_1) để tranzito dẫn dòng từ nguồn E bổ sung năng lượng cho mạch dao động.



Hình 6.1 : Mạch tạo tín hiệu ghép biến áp

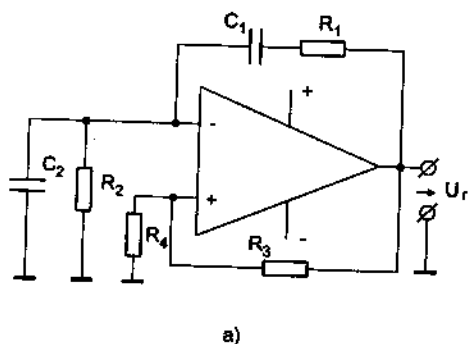
6.1.2. Mạch tạo tín hiệu dùng cầu Wien

Sơ đồ mạch như hình 6.2a và có thể vẽ lại như hình 6.2b để thấy rõ cầu Wien. Ta không chứng minh mà xác nhận tần số tín hiệu tạo ra là :

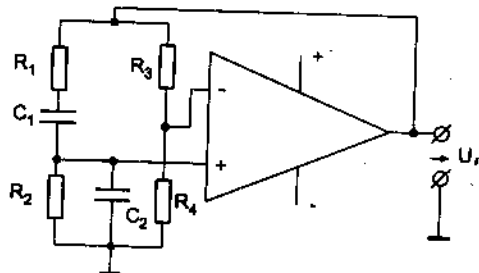
$$f_0 = \frac{1}{2\pi\sqrt{R_1 C_1 R_2 C_2}} \quad (6.2)$$

Nếu chọn $R = R_1 = R_2$ và $C = C_1 = C_2$ thì tần số tín hiệu là :

$$f_0 = \frac{1}{2\pi RC} \quad (6.3)$$



a)



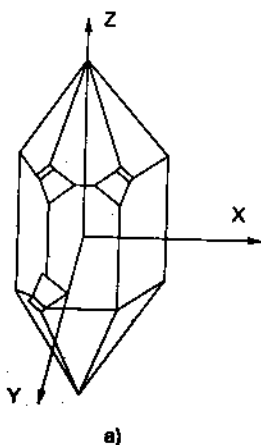
b)

Hình 6.2 : Mạch tạo tín hiệu dùng cầu Wien

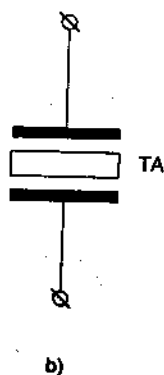
6.1.3. Mạch tạo tín hiệu dùng thạch anh

Tinh thể thạch anh (hình 6.3a) có tính chất áp điện. Dưới tác dụng của lực ngoài, trên bề mặt thạch anh xuất hiện các điện tích. Khi lực ngừng tác động thì các điện tích không còn. Ngược lại, đặt thạch anh vào trong một điện trường biến thiên thì nó dao động cơ học.

Tinh thể thạch anh được cắt ra thành những phiến chữ nhật nhỏ theo chiều các trục với góc độ riêng rồi được đặt vào giữa 2 tấm cực của tụ điện (hình 6.3b). Kích thước phiến thạch anh càng nhỏ thì tần số dao động riêng (tần số cộng hưởng) của nó càng lớn. Tần số dao động riêng của bộ dao động thạch anh có thể thay đổi nếu gắn kết nối tiếp với nó một tụ điện có điện dung thay đổi được (hình 6.4).



a)



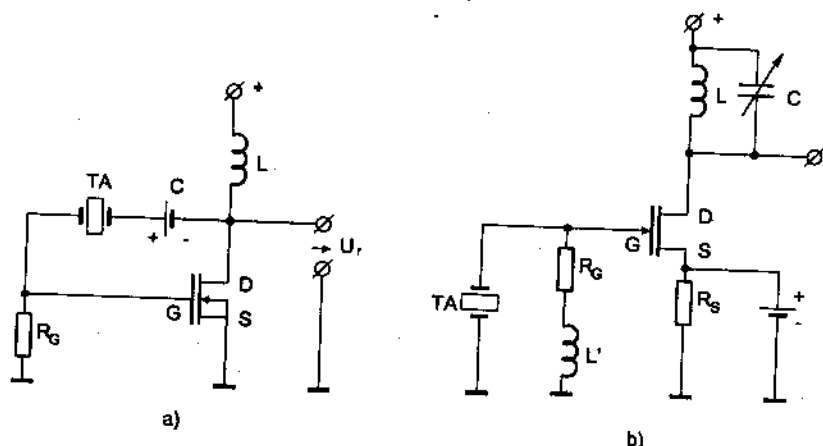
b)

Hình 6.3 : Tinh thể thạch anh (a) và tạo dao động thạch anh trong điện trường (b)



Hình 6.4 : Một cách thay đổi tần số dao động riêng của bộ dao động thạch anh

Sơ đồ mạch tạo tín hiệu dùng thạch anh như trên hình 6.5. Hình 6.5a là mạch sử dụng tranzito trường FET theo nguyên lý mạch cộng hưởng nối tiếp. Khi cộng hưởng, trở kháng mạch thạch anh là nhỏ nhất và hồi tiếp dương từ cực máng về cực cửa là lớn nhất. Lúc này dung kháng tụ C là nhỏ nhưng dòng một chiều không qua được từ cực D sang cực G. Vì vậy, tần số mạch được định bởi tần số cộng hưởng nối tiếp của thạch anh.



Hình 6.5 : Mạch tạo tín hiệu điều hoà dùng tinh thể thạch anh :
a) Mạch cộng hưởng nối tiếp; b) Mạch cộng hưởng song song

Hình 6.5b là mạch tạo tín hiệu theo nguyên lý mạch cộng hưởng song song của thạch anh. Khi cộng hưởng song song thì trở kháng mạch thạch anh là lớn nhất. Mạch cộng hưởng LC được điều chỉnh qua C để có tần số gần tần số cộng hưởng song song của thạch anh.

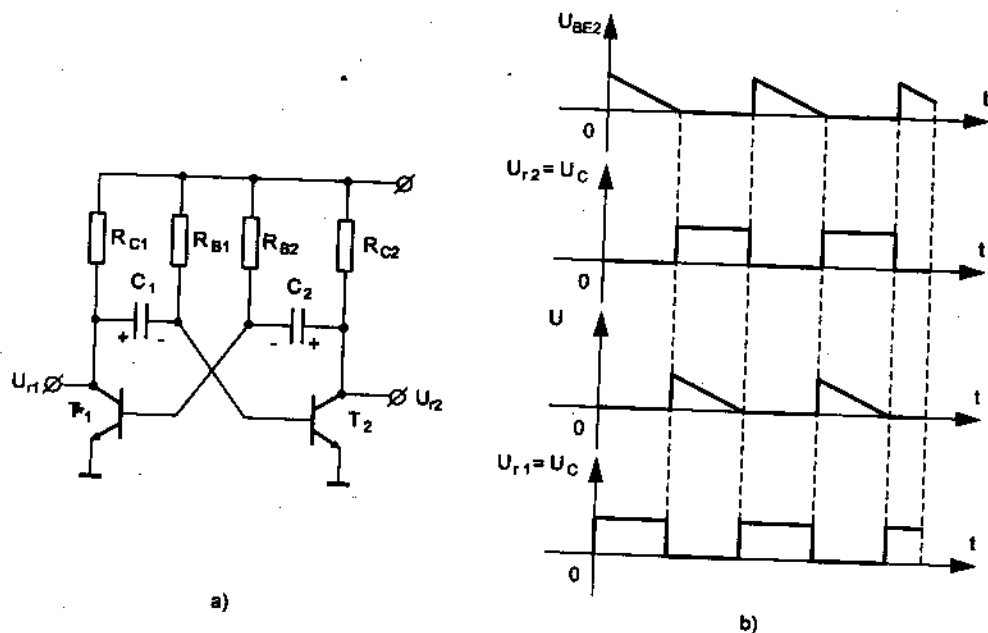
6.2. BỘ TẠO TÍN HIỆU XUNG CHỮ NHẬT (HAY XUNG VUÔNG)

6.2.1. Bộ phát xung vuông

Máy phát xung vuông có sơ đồ như trên hình 6.6a là bộ đa hài dùng tranzito. Mạch có 2 trạng thái ổn định không bền. Khi một tranzito này thông thì tranzito kia khoá và ngược lại.

Giả sử khi mạch được cấp điện, tranzito T_2 thông (ngẫu nhiên) và tranzito T_1 khoá. Lúc đó, tại còlectơ của T_2 có điện áp gần 0V (lĩ tưởng là 0V) và tại còlectơ của T_1 có điện áp nguồn (hình 6.6b). Tụ C_2 được nạp điện trước đó sẽ phóng điện từ cực dương qua T_2 về nguồn và qua R_{B2} về cực âm. Đồng thời tụ C_1 được nạp điện bởi nguồn qua R_{C1} và lớp tiếp giáp BE_2 của T_2 . Khi C_1 được nạp đầy thì bazơ T_2 có thế 0 vì nối với cực âm C_1 nên T_2 sẽ khoá và C_2 phóng hết điện sẽ có xu hướng được nạp lại bởi nguồn qua R_{C2} và lớp tiếp giáp BE_1 . Tụ C_2 ngắn mạch sẽ đặt thế dương lên bazơ T_1 làm T_1 thông. Bộ đa hài đổi trạng thái : T_1 thông, T_2 khoá. Điện áp ra trên còlectơ T_1 về 0 và điện áp ra trên còlectơ T_2 bằng điện áp nguồn. Kế tiếp của nửa chu kì này là C_1 phóng

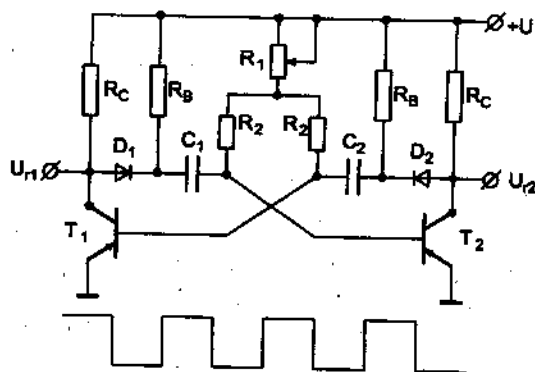
điện từ cực dương qua T_1 về nguồn và qua R_{B1} về cực âm. Tụ C_2 nạp điện bởi nguồn qua R_{C2} và lớp tiếp giáp BE_1 của T_1 v.v...



Hình 6.6 : Mạch đa hài dùng tranzito : a) Sơ đồ nguyên lý; b) Biểu đồ điện áp

Khi $R_{C1} = R_{C2}$, $R_{B1} = R_{B2}$, $C_1 = C_2$ và T_1 giống T_2 thì đa hài là đối xứng. Xung vuông lấy trên 2 collector là như nhau, lệch pha nhau 180° . Chu kỳ xung phụ thuộc vào trị số C và R_B .

Để cải thiện xung ra của sơ đồ hình 6.6a, người ta dùng sơ đồ trên hình 6.7. Nhờ các diốt D_1 , D_2 nên mạch nạp của tụ C_1 , C_2 không ảnh hưởng đến quá trình khoá các tranzito T_1 , T_2 nên xung ra vuông hơn.

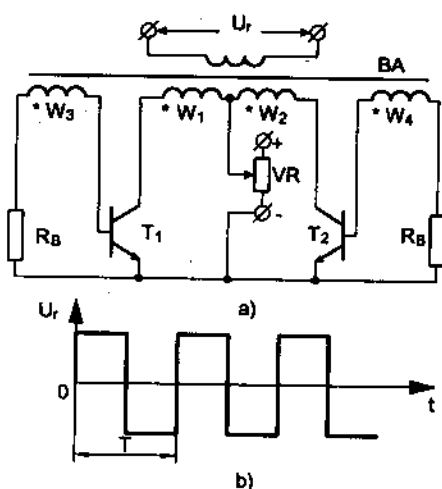


Hình 6.7 : Sơ đồ máy phát xung vuông

6.2.2. Đa hài Rôl - e phát xung vuông

Đa hài Rôl - e có ưu điểm là đơn giản, công suất ra lớn, có phân cách giữa mạch lực và điều khiển (qua máy biến áp).

Phần tử chính của đa hài là máy biến áp BA với đặc tính từ hoá hình chữ nhật và 2 tranzito T_1 , T_2 giống nhau (hình 6.8a). Mạch có cấu tạo đối xứng song do công nghệ chế tạo nên không thật hoàn toàn đối xứng. Do vậy, khi cấp nguồn sẽ có một tranzito thông trước. Giả sử T_1 thông. Khi đó, dòng qua cuộn W_1 tăng và cuộn W_3 sẽ cảm ứng sức điện động có xu hướng làm bazơ của T_1 dương hơn êmitơ, nghĩa là tạo ra một hồi tiếp dương, làm T_1 và cả lõi máy BA nhanh chóng đạt trạng thái bão hoà. Trong lúc đó, sức điện động cảm ứng trong cuộn W_4 có cực tính làm cho T_2 khoá chắc chắn (thế bazơ dương lên).



Hình 6.8 : Đa hài Rô-lê - e (a) và dạng xung (b)

Khi lõi thép bão hoà, sức điện động cảm ứng trong các cuộn dây sẽ giảm nên bazơ T_1 bớt dương và dòng qua côlectơ T_1 giảm. Quá trình giảm dòng côlectơ T_1 gây ra sức điện động cảm ứng trong các cuộn dây có chiều ngược với chiều cũ, thế dương đặt vào bazơ T_2 , thế âm đặt vào bazơ T_1 . Kết quả T_1 nhanh chóng khoá và T_2 nhanh chóng thông bão hoà.

Dạng điện áp ra phía thứ cấp BA như hình 6.8b.

Chu kì xung phụ thuộc vào điện áp nguồn và kết cấu máy BA (cảm ứng từ bão hoà, thiết diện lõi và số vòng W_1).

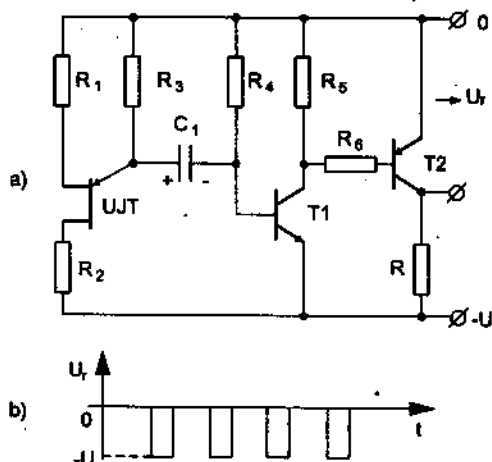
6.2.3. Mạch tạo xung vuông dùng UJT

Sơ đồ mạch như hình 6.9a. Khi cấp điện cho mạch, T_1 dẫn và do đó T_2 dẫn. Đầu ra côlectơ T_2 có điện áp 0.

Khi T_1 dẫn, tụ C được nạp điện qua R_3 và tiếp giáp B-E của T_1 với cực tính như trên hình vẽ. Lúc điện áp trên tụ C_1 đạt ngưỡng thông của UJT (xem mục

2.2.5d) thì UJT thông. Tụ C phóng điện từ cực dương qua R_2 về nguồn và từ nguồn qua R_4 về cực âm. Thế bazơ của T_1 âm nên T_1 khoá, kéo theo T_2 khoá. Đầu ra còlectơ T_2 trở thành $(-U)$, nghĩa là xuất hiện xung âm (hình 6.9b).

Khi tụ C phóng hết thì T_1, T_2 lại dẫn. Quá trình lặp lại như trước.



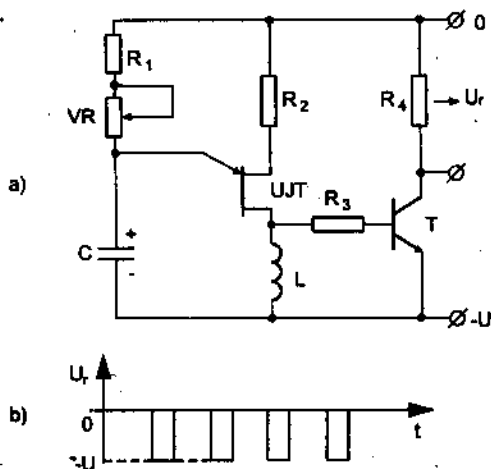
Hình 6.9 : Mạch tạo xung vuông dùng UJT

Cũng có thể tạo các xung âm theo sơ đồ hình 6.10a với mạch L - C.

Khi mạch được cấp điện, tụ C được nạp điện. Khi điện áp trên tụ C đạt đến ngưỡng thông của UJT thì tụ C sẽ phóng điện. Mạch L - C sẽ tạo cho dòng điện phóng có quy luật hình sin với tần số

$$f = \frac{1}{2\pi\sqrt{LC}}$$

phóng cực đại thì điện áp trên tụ $U_C = 0$ và UJT ngừng dẫn. Lúc tụ phóng thì UJT thông và T thông. Đầu ra $U_r = -U$ (xung âm). Lúc UJT khoá thì T khoá và $U_r = 0$ (hình 6.10b).

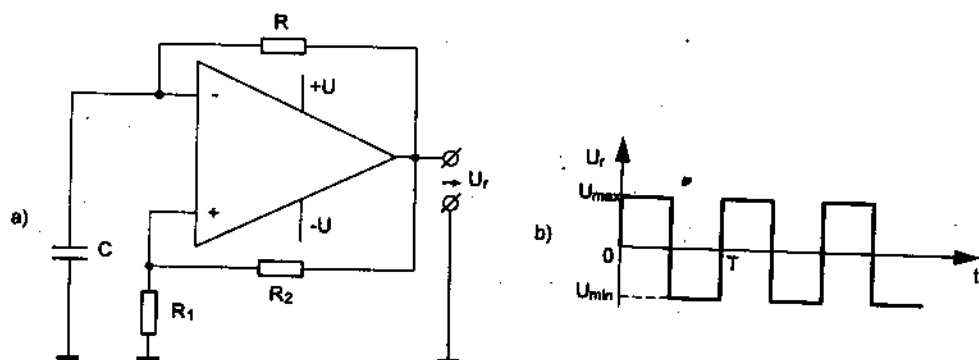


Hình 6.10 : Mạch tạo xung vuông dùng UJT có mạch L - C

Điều chỉnh VR sẽ thay đổi được thời gian nạp tụ C tới ngưỡng thông của UJT tức là điều chỉnh được tần số xung.

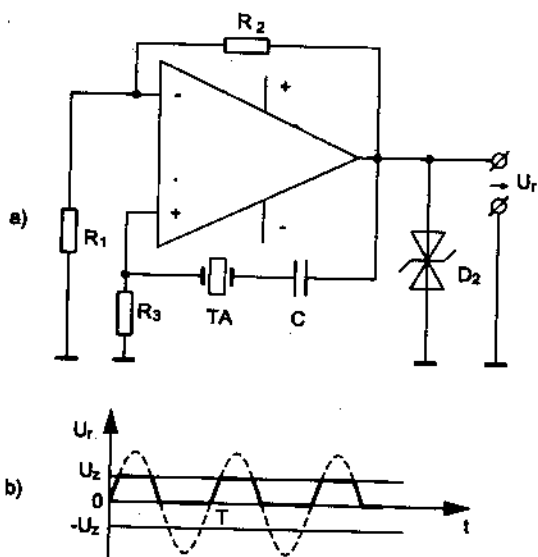
6.2.4. Tạo xung vuông nhờ đa hài dùng khuếch đại thuật toán

Mạch có sơ đồ như hình 6.11a. Giả sử khi cấp điện, đầu ra có $U_r = U_{\max} \approx +U$. Tụ C được nạp bởi U_r qua R. Thế đầu vào đảo tăng dần trong quá trình nạp. Khi



Hình 6.11 : Mạch tạo xung vuông nhờ đa hài dùng khuếch đại thuật toán

$U > U_+$ thì đầu ra chuyển từ $U_{\max}$ về $U_{\min}$, nghĩa là $U_r = U_{\min} \approx -U$. Tụ C phóng điện qua R. Thế đầu vào đảo giảm dần trong quá trình phóng của tụ C. Khi $U < U_+$ thì đầu ra chuyển từ $U_{\min}$ lên $U_{\max}$ (hình 6.11b). Mạch đã thực hiện 1 chu kỳ tạo xung ở đầu ra. Quá trình cứ thế tiếp tục. Chu kỳ xung do trị số R - C quyết định.



Hình 6.12 : Mạch tạo xung vuông dùng khuếch đại thuật toán và dao động thạch anh

Cũng có thể tạo xung vuông dùng khuếch đại thuật toán và bộ dao động thạch anh như sơ đồ hình 6.12. Mạch tạo dao động sin nhưng nhờ cặp diốt Zener ở đầu ra mà đầu ra có xung vuông (vì chòm sin có điện áp cao hơn điện áp ngưỡng của diốt Zener sẽ bị cắt). Mạch có ưu điểm là hệ số khuếch đại lớn.

6.3. BỘ TẠO TÍN HIỆU XUNG RĂNG CỬA (HAY XUNG TAM GIÁC)

6.3.1. Sơ đồ dùng UJT

Sơ đồ mạch như hình 6.13a (mục 2.2.5d, hình 2.50).

Tại thời điểm t_0 , mạch được cấp nguồn. Tụ điện C được nạp điện qua điện trở R. Điện áp U_E tăng dần theo hàm mũ (hình 6.13b). Khi U_E đạt ngưỡng thông

của UJT (thời điểm t_1) thì UJT thông. Điện áp ra trên

B_1 là $U_r = \frac{UR_1}{R_1 + R_2}$ (bỏ qua

sụt áp trên UJT), đồng thời tụ C phóng điện qua lớp E - B_1 và R_1 . Dòng phóng giảm theo hàm mũ (hình 6.13b).

Khi tụ C phóng điện thì U_E giảm và khi U_E giảm thấp hơn ngưỡng khoá thì UJT khoá. Tụ C lại được nạp điện qua R. Quá trình cứ thế tiếp diễn.

Đầu ra B_1 có điện áp dạng xung nhọn tam giác. Tần số xung (do đó chu kỳ T của xung) phụ thuộc R, C.

6.3.2. Sơ đồ dùng BJT

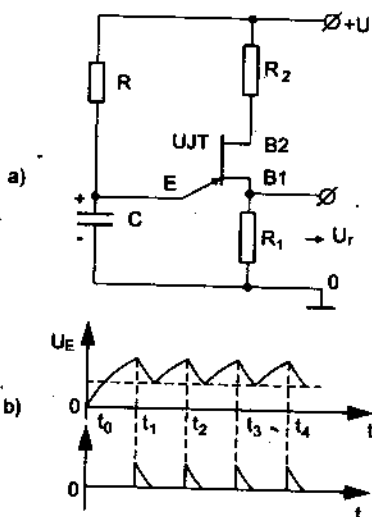
Có thể thay sơ đồ hình 6.13a dùng UJT bằng tranzito thường BJT như trên sơ đồ ở hình 6.14. Nguyên lý hoạt động của sơ đồ tương tự như sơ đồ hình 6.13a.

Ban đầu, 2 tranzito đều khoá. Tụ C được nạp từ nguồn +U qua điện trở R. Điện áp trên cực bazơ của T1 là

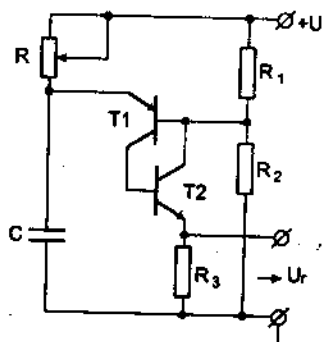
$U_{B1} = U \frac{R_2}{R_1 + R_2}$. Khi tụ C nạp tới điện

áp $U_C > U_{B1}$ thì T1 thông, kéo theo T2 thông. Do cách nối mạch T1, T2 mà hình thành hồi tiếp dương. T1 và T2

nhạy chóng chuyển sang chế độ thông bão hoà. Tụ C phóng điện qua R_3 và đầu ra có xung tam giác theo dạng dòng phóng của tụ C (tương tự hình 6.13c).



Hình 6.13 : Sơ đồ dùng UJT tạo xung răng cưa



Hình 6.14 : Sơ đồ dùng BJT tạo xung răng cưa

CÂU HỎI CHƯƠNG 6

1. Vẽ và giải thích các mạch tạo tín hiệu hình sin ?
2. Vẽ và giải thích các mạch tạo tín hiệu vuông ?
3. Vẽ và giải thích các mạch tạo tín hiệu tam giác ?

Chương 7

CÁC BỘ NGUỒN

7.1. CÁC KHÁI NIỆM

Nguồn điện có nhiệm vụ cung cấp điện năng cho các mạch điện và các thiết bị điện để biến đổi thành các dạng năng lượng khác.

7.1.1. Phân loại

Tùy loại điện áp hay dòng điện cấp ra mà nguồn điện được gọi là nguồn xoay chiều hay một chiều. Nguồn xoay chiều có tần số $f \neq 0$. Nguồn một chiều có tần số $f = 0$.

Người ta có thể biến đổi một nguồn điện này thành một nguồn điện khác :

- Máy biến áp : Biến đổi nguồn xoay chiều ở điện áp này thành nguồn xoay chiều ở điện áp khác cùng tần số.
- Bộ chỉnh lưu : Biến đổi nguồn xoay chiều thành nguồn một chiều.
- Bộ nghịch lưu : Biến đổi nguồn một chiều thành nguồn xoay chiều.
- Bộ biến đổi một chiều - một chiều : Biến đổi nguồn một chiều ở điện áp này thành nguồn một chiều ở điện áp khác.

Ngoài cách phân loại thành nguồn xoay chiều và nguồn một chiều, người ta còn phân loại theo một số cách khác :

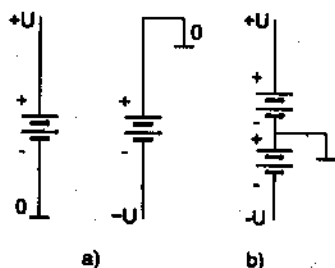
a) Nguồn một chiều một cực tính và nguồn hai cực tính (hình 7.1).

b) Nguồn không ổn áp và nguồn ổn áp.

c) Nguồn áp và nguồn dòng.

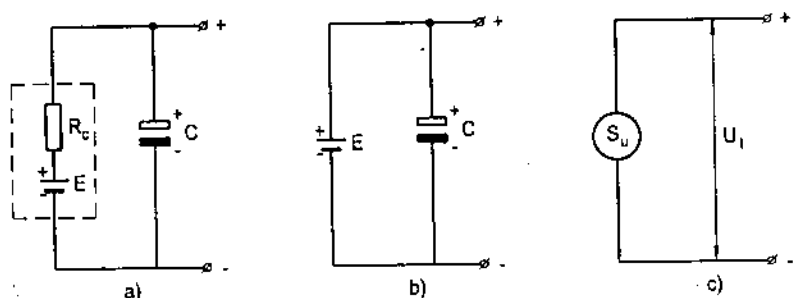
Nguồn áp một chiều (nguồn loại Su)

Về lí thuyết, đây là nguồn một chiều có cực tính không đổi và điện áp cấp ra giữ ổn định, không phụ thuộc vào dòng điện cấp cho tải. Nguồn áp lí tưởng có điện trở trong bằng 0.



Hình 7.1 : Nguồn một chiều một cực tính (a) và hai cực tính (b)

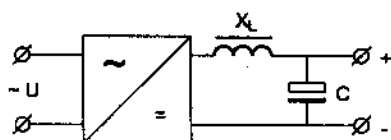
Trên thực tế, nguồn áp một chiều có cực tính không đổi, còn giá trị điện áp cấp ra thay đổi chút ít xung quanh một trị số trung bình nào đó khác 0. Để giảm ảnh hưởng của các biến động mạnh của điện áp cấp ra, người ta mắc một tụ điện có điện dung lớn song song với phụ tải (hình 7.2).



Hình 7.2 : Nguồn loại S_u : a) Nguồn thực; b) Nguồn lí tưởng; c) Kí hiệu

Điện trở trong của nguồn áp thực không thể bằng 0 nên chỉ yêu cầu càng nhỏ càng tốt.

Với nguồn chỉnh lưu (hình 7.3), để tạo thành nguồn áp, thường đầu ra có mắc cuộn kháng và tụ điện.



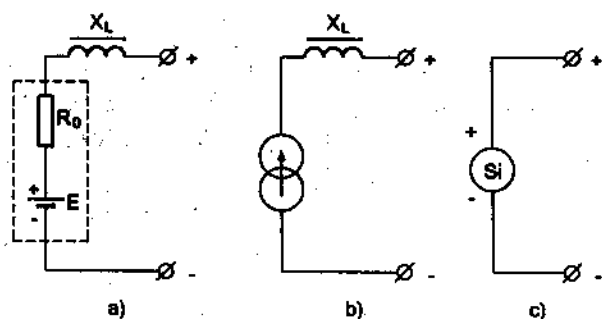
Nguồn dòng một chiều (nguồn loại S_i)

Hình 7.3 : Nguồn (S_u) chỉnh lưu : C - Điện dung lớn ($100 \div 1000$) μF ; X_L - Trị số nhỏ

Về lí thuyết, đây là nguồn cấp dòng điện một chiều ổn định cho phụ tải. Nguồn dòng lí tưởng có điện trở trong bằng ∞ .

Trên thực tế, nguồn dòng một chiều cấp một dòng điện có chiều không đổi cho phụ tải còn giá trị dòng điện cấp ra thay đổi chút ít xung quanh một trị số trung bình khác 0.

Để giảm ảnh hưởng của các biến động mạnh của dòng điện cấp ra bởi nguồn, người ta dùng một cuộn kháng có điện cảm lớn mắc nối tiếp với phụ tải (hình 7.4), $X_L \approx (0,1 \div 1,0)H$.



Hình 7.4: Nguồn loại S_i : a) Nguồn thực; b) Nguồn lí tưởng; c) Kí hiệu

7.1.2. Các bộ khoá điện tử

Trong các bộ biến đổi để tạo nguồn (một chiều hay xoay chiều), nhất là các bộ nguồn công suất lớn, thường có mặt các bộ khoá điện tử.

Bộ khoá điện tử là thiết bị điện tử cho phép dưới tác động của một tín hiệu điện sẽ đóng hoặc ngắt mạch điện (nghĩa là thông - khoá mạch điện).

Mục này chỉ đề cập đến các bộ khoá điện tử thường dùng.

Bộ khoá điện tử dùng tranzito

Tranzito (đã trình bày ở mục 2.2.2) có thể làm việc ở 2 chế độ : thông (bảo hoà) và khoá (chật).

Điều khiển thông - khoá của tranzito thực hiện nhờ đưa tín hiệu điều khiển vào cực bazơ B.

- Với tranzito thuận : thông khi thế bazơ dương hơn thế êmitơ ($> 0,7V$) và khoá khi thế bazơ âm hơn thế êmitơ.

- Với tranzito ngược : thông khi thế bazơ âm hơn thế êmitơ ($< 0,7V$) và khoá khi thế bazơ dương hơn thế êmitơ.

Khi tranzito thông, nó dẫn dòng từ côlectơ sang êmitơ (đối với tranzito ngược) hoặc dẫn dòng từ êmitơ sang côlectơ (đối với tranzito thuận). Khi tranzito khoá thì dòng bị cắt.

Bộ khoá điện tử dùng thyristo

Thyristo (đã trình bày ở mục 2.2.3) là phần tử mà :

- Thông khi được phân áp thuận và có xung dương điều khiển (nghĩa là thông nhờ mạch điều khiển).

- Khoá khi bị phân áp ngược hoặc dòng anốt giảm xuống nhỏ hơn dòng duy trì (nghĩa là khoá nhờ mạch lực).

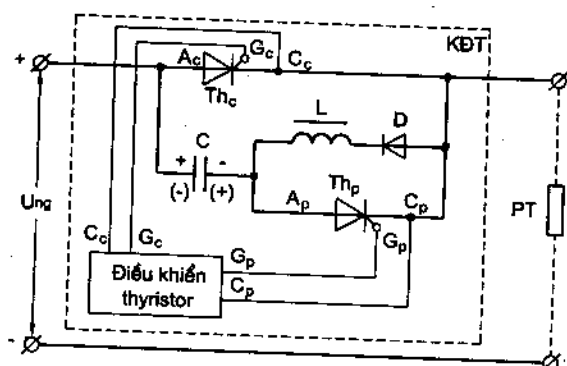
Do thyristo được điều khiển thông - khoá trên 2 mạch khác nhau nên nó không được dùng như một khoá điện tử. Để thyristo được dùng trong các bộ khoá điện tử, người ta phải kết hợp với một số linh kiện điện tử khác để tạo thành các mạch thông, khoá.

Hình 7.5 trình bày một sơ đồ của bộ khoá điện tử dùng thyristo . Mạch làm việc như sau :

Thoát đầu, xung mở từ bộ điều khiển thyristo được cấp cho thyristo phụ Th_p . Tụ điện C được nạp điện từ nguồn qua Th_p , phụ tải PT và đạt tới điện áp xấp xỉ U_{ng} (cực dương bên trái). Khi tụ nạp no, dòng nạp bằng 0 thì Th_p khoá.

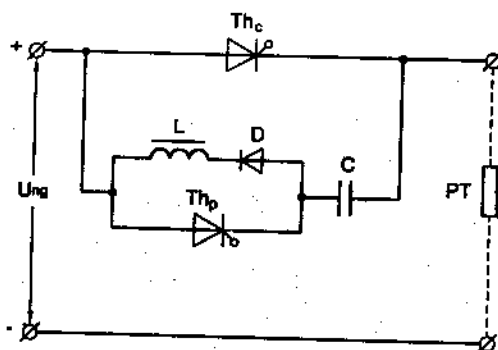
Để mở bộ khoá điện tử cấp dòng cho tải PT, ta cấp xung mở thyristo chính Th_c . Thyristo Th_c thông sẽ dẫn dòng từ nguồn tới tải PT. Đồng thời, tụ C cũng

phóng điện từ bản cực dương qua Th_c , diốt D, cuộn kháng L về bản cực âm. Thyristo Th_p lúc này dù có xung mở cũng không thông được vì bị tụ C phân áp ngược (điện áp dương tụ đặt lên catốt C_p). Tụ điện C và cuộn kháng L tạo thành mạch dao động LC nên sau nửa chu kì dao động $\left(\frac{T}{2} = \pi\sqrt{LC}\right)$, tụ C được nạp điện lại với dấu các bản cực trong ngược. Nếu tổn hao trong mạch LC là không đáng kể thì U_c lại đạt xấp xỉ U_{ng} . Lúc này, dòng trong mạch bằng 0 và diốt D khoá. Nhờ diốt D mà tụ điện không thể phóng điện ngược lại. Mạch sẵn sàng để tiến hành khoá, ngừng cấp dòng cho phụ tải.



Hình 7.5: Sơ đồ bộ khoá điện tử dùng thyristo (nối catốt chung)

Khi cần ngắt mạch tải, phải khoá thyristo Th_c . Muốn vậy, ta cấp xung mở Th_p . Tụ C phóng điện từ bản cực dương (bên phải) qua Th_p , đặt điện áp ngược lên Th_c và dòng phóng ngược chiều đủ lớn qua Th_c làm giảm và triệt tiêu dòng dẫn tới tải. Kết quả Th_c khoá và ngắt dòng tải. Tụ C lại được nạp điện với cực tính như ban đầu qua Th_p .

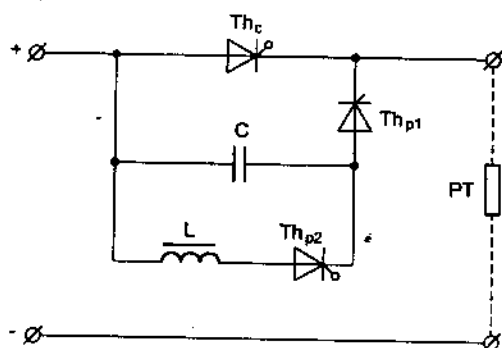


Hình 7.6 : Sơ đồ bộ khoá điện tử dùng thyristo (nối anốt chung)

Sơ đồ ở hình 7.5 là sơ đồ 2 thyristo Th_c và Th_p nối catốt chung. Nếu 2 thyristo nối anốt chung (hình 7.6) thì quá trình làm việc thông - khoá của bộ khoá điện tử cũng như đã trình bày.

Các sơ đồ bộ khoá điện tử ở hình 7.5 và 7.6 có nhược điểm là thời gian quá trình ngắt mạch bị kéo dài. Đó là vì việc chuẩn bị ngắt nhờ tụ C nạp ngược qua thyristo chính Th_c đang dẫn với thời gian là nửa chu kỳ của mạch LC. Do vậy không thể ngắt mạch trước thời gian này.

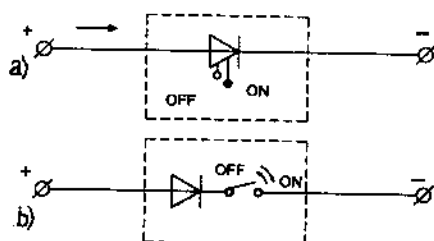
Nhược điểm này được khắc phục bởi sơ đồ bộ khoá điện tử dùng thyristo phụ như trên hình 7.7. Chức năng của Th_{p1} như ở hình 7.5 hoặc 7.6, nghĩa là dùng để nạp cho tụ C lúc ban đầu. Sau đó, tụ C có thể nạp ngược ngay nhờ cấp xung mở Th_{p2} . Khi dòng nạp về 0 (nạp đầy) thì Th_{p2} khoá. Tụ C sẵn sàng cho quá trình khoá Th_c mà không đợi nạp khi Th_c dẫn.



Hình 7.7 : Sơ đồ bộ khoá điện tử dùng 2 thyristo phụ

Kí hiệu các bộ khoá điện tử dùng tranzito hay thyristo như trên hình 7.8a.

Đối với bộ khoá điện tử dùng tranzito thì 2 cực điều khiển là bazơ. Khi thông, tín hiệu vào ON (thế âm vào bazơ tranzito thuận hoặc thế dương vào bazơ tranzito ngược). Khi khoá, tín hiệu vào OFF (thế dương vào bazơ tranzito thuận hoặc thế âm vào bazơ tranzito ngược).



Hình 7.8 : Kí hiệu bộ khoá điện tử (a) và sơ đồ chức năng tương đương (b)

Đối với bộ khoá điện tử dùng thyristo, thì 2 cực điều khiển là G_c (ON) và G_p (OFF). Khi thông, cấp xung mở vào ON(G_c). Khi khoá, cấp xung mở vào OFF(G_p).

Hình 7.8b là sơ đồ chức năng tương đương. Sơ đồ chức năng tương đương cho thấy rõ, các bộ khoá điện tử dùng tranzito hay dùng thyristo là các bộ khoá điện tử một hướng và chỉ cho dòng qua theo một chiều (thể hiện bởi kí hiệu diốt). Chúng được sử dụng trong mạch điện một chiều.

Các bộ khoá điện tử dùng trong mạch điện xoay chiều là các bộ khoá điện tử 2 hướng. Các bộ khoá điện tử này sử dụng triac hay 2 thyristo mắc song song ngược hoặc GTO (xem mục 2.2.4).

Các bộ khoá điện tử là các bộ đóng - cắt mạch không tiếp điểm.

7.2. BỘ NGUỒN MỘT CHIỀU

Bộ nguồn một chiều có nhiều loại, kiểu :

- Pin, ắc quy : Nguồn biến đổi hoá năng thành điện năng. Một pin hoặc một ắc quy có điện áp giữa 2 cực dương và âm không lớn ($1,5 + 1,8$)V nên khi cần điện áp lớn phải mắc chúng nối tiếp, khi cần cấp dòng lớn phải mắc chúng song song.

- Máy phát điện một chiều : Biến đổi cơ năng quay máy phát thành điện năng.

Trong kĩ thuật điện tử, các loại nguồn này không dùng (ắc quy, máy phát điện) hoặc ít dùng (pin) mà thường dùng các bộ chỉnh lưu. Các nguồn chỉnh lưu (không điều khiển và có điều khiển) đã được xem xét kĩ ở chương 4.

Điện áp ra của nguồn chỉnh lưu là điện áp một chiều nhưng luôn bị đập mạch đối với mọi sơ đồ chỉnh lưu. Để có điện áp một chiều không đập, cần phải có bộ lọc mà ta sẽ xem xét ở mục 7.6 của chương này.

7.3. BỘ BIẾN ĐỔI MỘT CHIỀU - MỘT CHIỀU

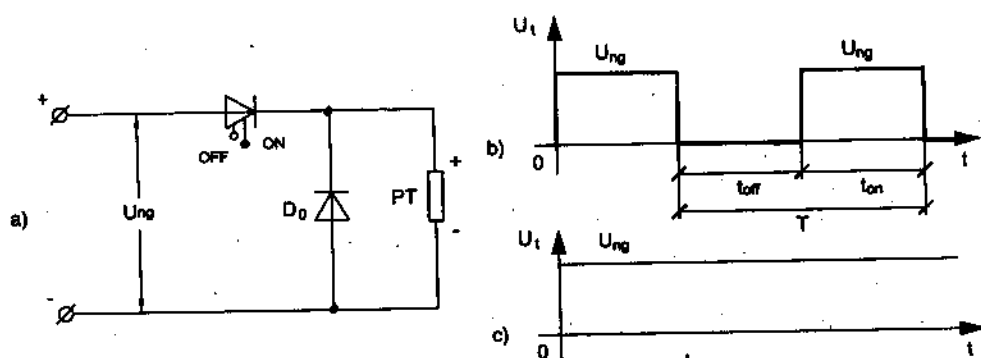
Bộ biến đổi một chiều - một chiều dùng để biến đổi điện áp một chiều cố định thành các mức điện áp một chiều (trung bình) khác nhau cấp cho phụ tải.

Bộ biến đổi một chiều - một chiều phổ biến là bộ điều chỉnh xung áp một chiều (chopper) hay bộ băm điện áp một chiều.

Như hình 7.9a, khi khoá điện tử đóng thì tải được cấp nguồn, khi khoá điện tử mở thì tải bị cắt khỏi nguồn. Thời gian đóng là t_{ON} , thời gian cắt là t_{OFF} thì chu kì đóng - cắt (hình 7.9b) là :

$$T = t_{ON} + t_{OFF}$$

Điện áp cấp cho tải có dạng xung chữ nhật. Từ đó bộ biến đổi có tên là bộ điều chỉnh xung áp một chiều.



Hình 7.9 : Mạch tải một chiều có bộ khoá điện tử

Giá trị trung bình của điện áp cấp cho tải (tính cho một chu kì) là :

$$U_{PT} = \frac{U_{ng} t_{ON} + 0 \cdot t_{OFF}}{T} = \frac{t_{ON}}{T} U_{ng}$$

Nếu đặt : $\delta = \frac{t_{ON}}{T}$ (7.1)

thì : $U_r = U_{PT} = \delta U_{ng}$ (7.2)

Vậy, để điều chỉnh điện áp cấp ra có thể dùng 3 phương pháp :

- Phương pháp điều chỉnh độ rộng xung : thay đổi t_{ON} trong khi giữ nguyên T , t_{ON} tăng thì U_r tăng. Khi $t_{ON} = T$ thì $U_r = U_{ng}$ (hình 7.9c).

- Phương pháp điều chỉnh tần số xuất hiện xung áp : thay đổi T trong khi giữ nguyên t_{ON} hoặc thay đổi t_{OFF} trong khi giữ nguyên t_{ON} . Phương pháp này cho U_r tăng khi T giảm hoặc khi t_{OFF} giảm.

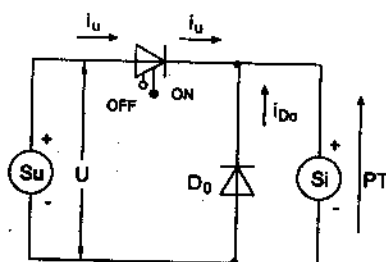
- Phương pháp điều chỉnh thời gian xung : thay đổi cả t_{ON} và T . Khi t_{ON} và T thay đổi thì δ thay đổi, δ tăng thì U_r tăng.

Tần số đóng - cắt của các bộ khoá điện tử có thể tới vài nghìn lần/giây. Mỗi phương pháp cần một mạch điều khiển riêng.

Khi thay đổi được điện áp trung bình cấp cho tải sẽ điều chỉnh được công suất của tải. Nếu tải là động cơ một chiều thì điều chỉnh được tốc độ của động cơ.

7.3.1. Bộ điều chỉnh xung áp một chiều nối tiếp

Sơ đồ nối mạch như hình 7.10. Nguồn phát đặt một điện áp U gần như không đổi lên tải. Khi có xung mở vào cực ON, bộ khoá điện tử một hướng cho dòng i_u qua tải trong thời gian t_{ON} rồi sau đó, khi có xung khoá vào cực OFF, nó sẽ cắt mạch tải. Do cảm kháng tải nên lúc này dòng điện i_{D0} sẽ khép kín qua diốt đệm D_0 và dòng tải là liên tục (hình 7.11d).



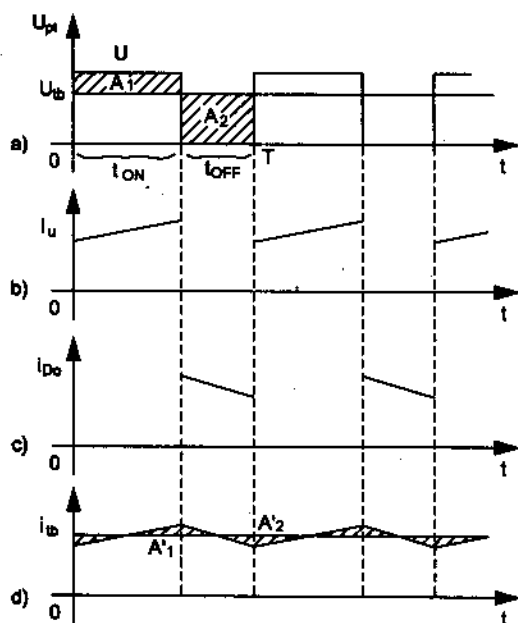
Hình 7.10 : Bộ điều chỉnh xung áp một chiều nối tiếp

Nếu chu kì băm xung T đủ ngắn thì có thể thấy là dòng điện tải ít thay đổi trị số. Điện áp U được băm có trị số trung bình là :

$$U_r = U_{tb} = \delta U = \delta U_v \quad (\delta \leq 1) \quad (7.3)$$

Các diện tích gạch chéo ở hình 7.11a là bằng nhau ($A_1 = A_2$). Vậy, bộ điều chỉnh xung áp một chiều nối tiếp là bộ giảm điện áp một chiều (trung bình).

Các dòng điện i_u và i_{D0} là các dòng điện gián đoạn. Giá trị trung bình I_{tb} của dòng tải phụ thuộc vào bản chất của tải (nguồn loại S_1). Các diện tích gạch chéo ở hình 7.11d là bằng nhau ($A_1' = A_2'$).



Hình 7.11 : Giản đồ dòng, áp theo thời gian trong bộ điều chỉnh xung áp một chiều nối tiếp

Từ hình 7.11d ta cũng thấy cảm kháng của phụ tải càng lớn thì dòng trung bình I_{tb} càng ít nhấp nhô. Khi tải có cảm kháng nhỏ, thời gian t_{OFF} lớn hoặc tải là thuần trở thì dòng điện là gián đoạn (hình 7.12b).

Khi tải có sức điện động (loại $R + L + E$) thì dòng trung bình qua tải là :

$$I = \frac{U_{tb} - E}{R} = \frac{\delta U - E}{R} \quad (7.4)$$

Ở chế độ dòng điện gián đoạn, dạng dòng như hình 7.12d và dạng điện áp như hình 7.12c do sự có mặt của sức điện động E . Nguyên nhân là trong khoảng δT , bộ khoá điện tử thông mạch, điện áp trên tải bằng U_{ng} , dòng điện tải tăng. Trong khoảng tiếp theo $t > \delta T$, bộ khoá điện tử khoá, diốt D_0 thông dẫn dòng và dòng tải giảm dần về 0 (tại thời điểm t_2). Trong khoảng $(t_2 + T)$, dòng tải hoàn toàn bằng 0, điện áp trên tải tăng lên bằng sức điện động E .

$$U_{tb} = \frac{t_{ON} U_{ng} + (T - t_2) E}{T} = \frac{\delta T U + (T - t_2) E}{T} \quad (7.5)$$

$$\text{Theo (7.4): } I_{tb} = \frac{U_{tb} - E}{R} = \delta \frac{U}{R} - \frac{t_2}{T} \cdot \frac{E}{R} \quad (7.6)$$

Khi cảm kháng của phụ tải tăng lên hoặc δ tăng lên thì $t_2 \rightarrow T$. Khi $t_2 = T$ thì dạng áp trên tải và dòng qua tải như hình 7.12e, f. Đó là chế độ giới hạn giữa dòng điện gián đoạn và dòng điện liên tục. Biểu thức (7.6) quay trở về (7.4).

Khi $t_2 > T$ thì dòng điện hoàn toàn liên tục.

Nếu coi bộ khoá điện tử là lí tưởng (không có tổn hao) thì về công suất có (hình 7.10) :

$$U_v I_{\text{utb}} = U_r I_{PT} = \delta U_v I_{PT}$$

$$I_{\text{utb}} = \delta I_{PT}$$

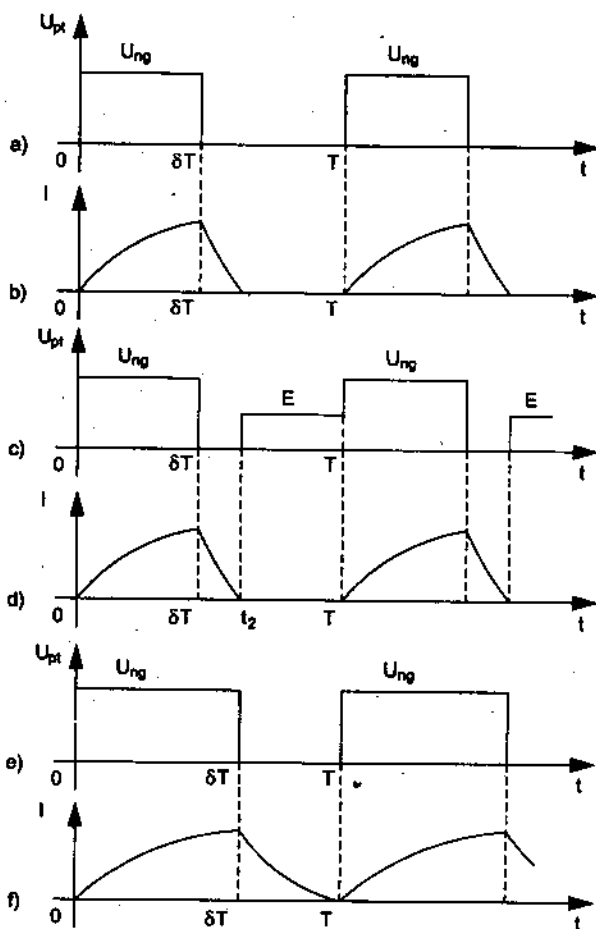
$$I_v = \delta I_r$$

$$I_r = \frac{1}{\delta} I_v \quad (7.7)$$

Qua 2 biểu thức (7.3) về áp và (7.7) về dòng, ta có thể rút ra kết luận :

Quan hệ giữa các giá trị trung bình của dòng điện và điện áp vào, ra của một bộ điều chỉnh xung áp một chiều nối tiếp lí tưởng tương tự như quan hệ giữa

các giá trị của dòng điện và điện áp sơ cấp và thứ cấp của một máy biến áp giảm áp lí tưởng với hệ số biến áp $0 < \delta < 1$.



Hình 7.12 : Giản đồ thời gian của áp, dòng : a, b) Chế độ dòng gián đoạn, tải $R + L$ (L rất nhỏ) ; c, d) Chế độ dòng gián đoạn, tải $R + L + E$; e, f) Ranh giới giữa dòng gián đoạn và liên tục

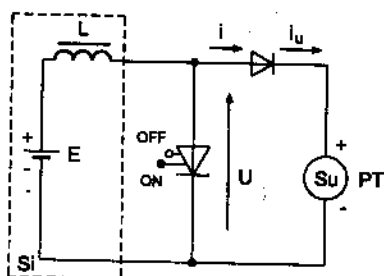
7.3.2. Bộ điều chỉnh xung áp một chiều song song

Sơ đồ nối mạch như hình 7.13. Bộ khoá điện tử một hướng trong thời gian thông t_{ON} sẽ làm nguồn dòng ngắn mạch, dòng điện tăng lên cùng với từ trường trong cuộn L . Khi bộ khoá điện tử cắt mạch (t_{OFF}), năng lượng từ trường trong cuộn cảm L gây ra dòng trong bộ nhận S_u nếu $U > E$.

Khi bộ khoá điện tử thông lại, cuộn L sẽ tích lũy lại từ năng đã bị mất lúc phóng điện qua nguồn thu S_u .

Hình 7.14 biểu diễn các dạng điện áp và dòng điện của bộ điều chỉnh xung áp một chiều song song.

Giá trị trung bình của điện áp trên cuộn L bằng 0, vì trong chu kì T, năng lượng từ trường được tích lũy khi bộ khoá điện tử thông (trong thời gian t_{ON}) sẽ được giải phóng khi bộ khoá điện tử cắt mạch (trong thời gian t_{OFF}).



Hình 7.13 : Bộ điều chỉnh xung áp một chiều song song

$$E = \underbrace{u_{Lb}}_0 + U_{tb} = U_{tb}$$

Trong thời gian t_{OFF} thì $U = U_{PT}$ nên $U_{tb} = \frac{U(T - \delta T)}{T} = E$

$$\text{Suy ra : } U_r = U = \frac{1}{1 - \delta} E = \frac{1}{1 - \delta} U_v \rightarrow U_r = \frac{1}{1 - \delta} U_v \quad (7.8)$$

Vì $0 < \delta < 1$ nên $U_r > U_v$.

Vậy, bộ điều chỉnh xung áp một chiều song song là bộ tăng điện áp một chiều (trung bình).

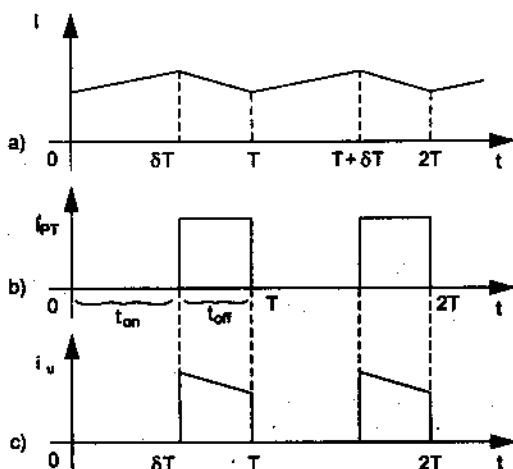
Coi bộ điều chỉnh xung áp là lí tưởng, không có tổn hao khi truyền tải năng lượng thì : $P_v = EI = UI_{utb}$

$$= \frac{E}{1 - \delta} I_{utb} = P_r$$

Suy ra:

$$I_v = I = \frac{I_{utb}}{1 - \delta} = \frac{1}{1 - \delta} I_r$$

$$\rightarrow I_r = (1 - \delta) I_v \quad (7.9)$$

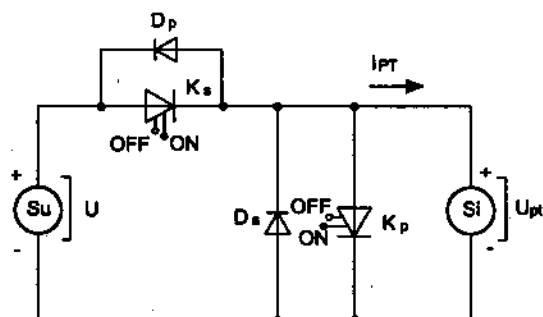


Hình 7.14: Giản đồ thời gian của dòng và áp của bộ điều chỉnh xung áp một chiều song song.

Kết luận : Các quan hệ giữa các giá trị trung bình của dòng điện và điện áp vào, ra của một bộ điều chỉnh xung áp một chiều song song lý tưởng tương tự như các quan hệ giữa các giá trị dòng điện và điện áp sơ cấp và thứ cấp của một máy biến áp tăng áp lý tưởng với hệ số biến áp $\frac{1}{1-\delta} > 1$.

7.3.3. Bộ điều chỉnh xung áp một chiều nối tiếp - song song

Bộ điều chỉnh xung áp một chiều nối tiếp - song song còn gọi là bộ điều chỉnh xung áp một chiều đảo dòng. Đây là sự kết hợp 2 bộ khoá điện tử một hướng : một bộ nối tiếp và một bộ song song với phụ tải mà sơ đồ nối mạch như hình 7.15.



Hình 7.15: Bộ điều chỉnh xung áp một chiều nối tiếp - song song đảo dòng

Công suất có thể truyền tải qua lại theo 2 chiều trong khi cực tính của 2 nguồn cấp S_u và thu S_i không đảo dấu.

Nếu bộ khoá điện tử mắc song song với tải K_p khoá thì S_u là nguồn phát, S_i là bộ nhận. Các phần tử K_s và D_s làm việc như một bộ điều chỉnh xung áp nối tiếp (so sánh với hình 7.10). Ở chế độ này, K_s thông trong thời gian $\delta_s T$:

$$U_{PT} = \delta_s U \text{ với } I_{PT} > 0 \quad (7.10)$$

Nếu bộ khoá điện tử mắc nối tiếp với tải K_s khoá thì S_u là bộ nhận, S_i là nguồn phát (do sức điện động E hướng ngược). Các phần tử K_p và D_p làm việc như một bộ điều chỉnh xung áp song song. Ở chế độ này, K_p thông trong thời gian $\delta_p T$:

$$U = \frac{1}{1-\delta_p} U_{PT} \text{ với } I_{PT} < 0 \quad (7.11)$$

Từ (7.10) và (7.11) rút ra :

$$\delta_s + \delta_p = 1 \quad (7.12)$$

Các bộ khoá điện tử K_s và K_p luôn làm việc trái pha nhau.

7.3.4. Bộ điều chỉnh xung áp một chiều đảo điện áp

Sơ đồ nguyên lí như hình 7.16a. Chiều dòng chạy qua S_1 là không đổi.

Cả 2 bộ khoá điện tử được điều khiển thông - khoá đồng thời nên trong thời gian δT tải được cấp dòng từ nguồn qua K_1, K_2 , trong thời gian $T - \delta T = (1 - \delta)T$ dòng qua tải do sức điện động tự cảm phóng qua D_1, D_2 về nguồn. Điện áp trung bình là :

$$U_{tb} = \frac{\delta TU - (1 - \delta)TU}{T}$$

$$= (2\delta - 1)U \quad (7.13)$$

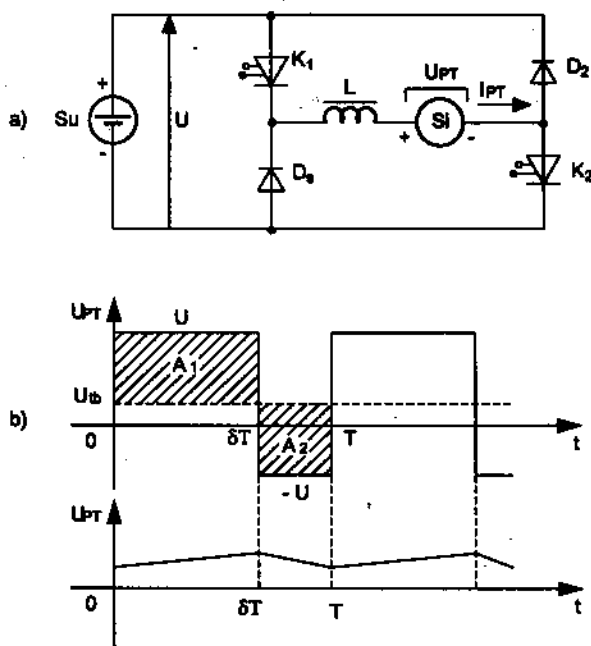
Vậy

$$U_{tb} > 0 \text{ khi } \delta > \frac{1}{2}$$

$$U_{tb} < 0 \text{ khi } \delta < \frac{1}{2}$$

và điện áp ra bị đảo dấu.

$$U_{tb} = 0 \text{ khi } \delta = \frac{1}{2}$$



Hình 7.16 : Bộ điều chỉnh xung áp một chiều đảo điện áp dùng 2 khoá điện tử

7.4. BỘ NGUỒN XOAY CHIỀU

Nguồn xoay chiều có thể lấy từ lưới điện. Đó là nguồn xoay chiều một pha hoặc ba pha tần số 50Hz.

Các bộ nguồn xoay chiều được sử dụng trong kĩ thuật điện tử thường là các bộ phát tín hiệu hình sin hay hình chữ nhật đã được xem xét ở chương 6.

Trong mục này, ta xét một số nguồn xoay chiều (công suất lớn) được biến đổi từ nguồn một chiều. Các bộ biến đổi này gọi là các bộ biến đổi một chiều - xoay chiều hay các bộ nghịch lưu độc lập (autonom inverter).

Theo loại nguồn cấp, các bộ biến đổi một chiều - xoay chiều chia ra :

- Bộ biến đổi một chiều - xoay chiều nguồn áp : đại lượng $u_r(t)$ có dạng hình chữ nhật, còn dạng $i_r(t)$ tùy thuộc vào thông số phụ tải.

- Bộ biến đổi một chiều - xoay chiều nguồn dòng : đại lượng $i_r(t)$ có dạng hình chữ nhật, còn dạng $u_r(t)$ tùy thuộc vào thông số phụ tải.

7.4.1. Bộ biến đổi một chiều - xoay chiều nguồn áp một pha

Bộ biến đổi một chiều - xoay chiều nguồn áp là bộ biến đổi trong đó nguồn vào là một chiều loại S_u và bộ nhận (phụ tải) là xoay chiều loại S_i .

Bộ biến đổi có sơ đồ như trên hình 7.17a. Sơ đồ dùng 4 khoá điện tử nên là bộ điều chỉnh xung áp một chiều đảo chiều cả điện áp và dòng điện.

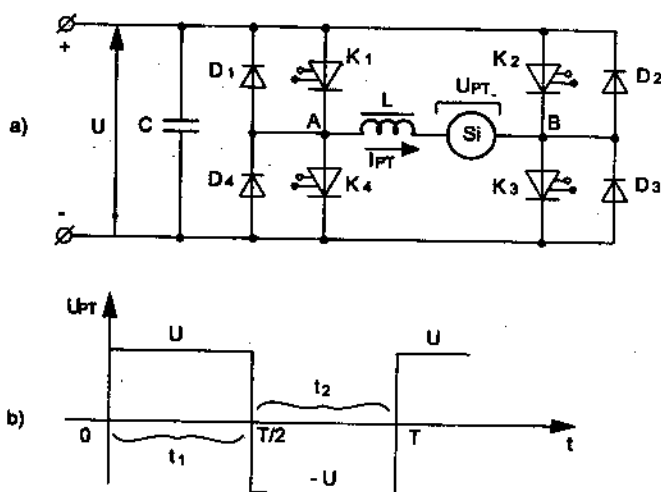
Việc điều khiển thông - khoá các khoá điện tử là điều khiển đối xứng : nhóm khoá điện tử K_1 và K_3 cùng thông

trong thời gian t_1 , trong khi khoá điện tử K_2 và K_4 khoá. Ngược lại, khi K_2, K_4 làm việc thông trong thời gian t_2 thì nhóm K_1, K_3 khoá.

Nếu bộ nhận S_i là xoay chiều thì bộ điều chỉnh sẽ là bộ biến đổi một chiều - xoay chiều (hay bộ nghịch lưu một pha) khi hệ số lấp đầy xung $\delta = 0,5$. Lúc đó $t_1 = t_2$ (hình 7.17b) và giá trị trung bình của điện áp trên tải $U_{PT,lb}$ và dòng điện phụ tải $I_{PT,lb}$ bằng 0. Các nửa chu kỳ dương và âm là đối xứng nhau. Chu kỳ của điện áp và dòng điện là : $T = 2t_1 = 2t_2$. Dạng điện áp ra là hình chữ nhật.

Tụ điện đầu vào có điện dung càng lớn khi tần số làm việc càng thấp. Tụ điện này có 2 tác dụng :

- Giữ cho điện áp nguồn ít bị thay đổi (nguồn loại S_u).
- Dùng trao đổi năng lượng phản kháng với điện cảm của tải.



Hình 7.17 : Bộ biến đổi một chiều - xoay chiều nguồn áp một pha kiểu cầu (a) và dạng điện áp ra (b)

Dạng dòng điện của sơ đồ phụ thuộc bản chất của tải. Dòng điện tải có thể vượt trước hay chậm sau so với điện áp chữ nhật tùy theo phụ tải có tính chất điện dung hay điện cảm.

Thực tế, dòng tải là hình sin khi phụ tải là một mạch cộng hưởng nối tiếp RLC như hình 7.18. Tần số của bộ biến đổi một chiều - xoay chiều sẽ bằng :

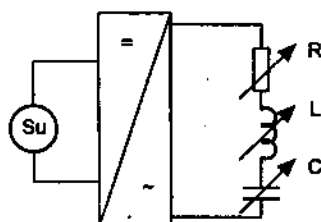
$$f = f_0 = \frac{1}{2\pi\sqrt{LC}} \quad (7.14)$$

Trường hợp chung thì dòng tải không phải là hình sin.

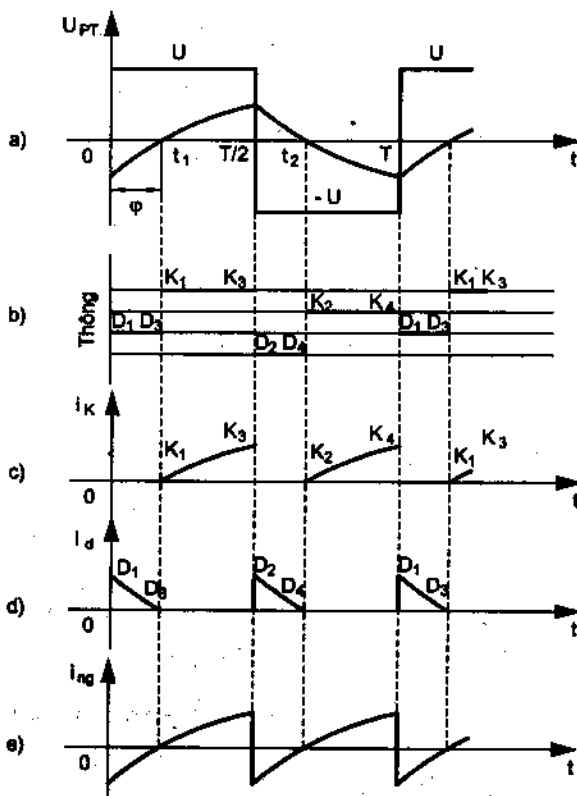
- Tải điện trở : $i(t)$ cùng dạng với $u(t)$.

- Tải cảm kháng : $i(t)$ chậm pha sau $u(t)$. Đây là trường hợp thường gặp.

Khi điều khiển K_1, K_3 thông, điện áp nguồn U đặt lên phụ tải (hình 7.19a), dòng tải chạy từ A sang B (hình 7.17a). Đến thời điểm $T/2$, điều khiển K_2, K_4 thông (K_1, K_3 khoá). Điện áp đảo chiều (hướng từ B sang A) nhưng dòng điện không đảo chiều ngay mà năng lượng tích lũy trong phần cảm dưới dạng từ năng sẽ chuyển thành điện năng, phóng điện qua các diốt D_2, D_4 về nguồn (một phần ngược qua K_2, K_4 đã



Hình 7.18 : Tải của bộ biến đổi một chiều - xoay chiều nguồn áp một pha là mạch cộng hưởng RLC nối tiếp



Hình 7.19 : Chuyển mạch của các bộ khoá điện tử và sự dẫn dòng của các diốt trong bộ biến đổi một chiều - xoay chiều hình cầu với phụ tải có cảm kháng chiếm ưu thế.

thông). Dòng điện này duy trì theo chiều từ A sang B cho tới thời điểm t_2 mới đảo chiều từ B sang A. Quá trình diễn ra tương tự cho nửa chu kỳ âm của điện áp $u(t)$.

Khi $i_{ng} > 0$: nguồn cấp năng lượng cho phụ tải.

Khi $i_{ng} < 0$, phụ tải trả năng lượng về nguồn.

Chú ý rằng, không được để nhóm khoá điện từ K_1, K_3 cùng thông với nhóm khoá điện từ K_2, K_4 trong một thời điểm nào đó sẽ xảy ra ngắn mạch.

- Tải điện dung:

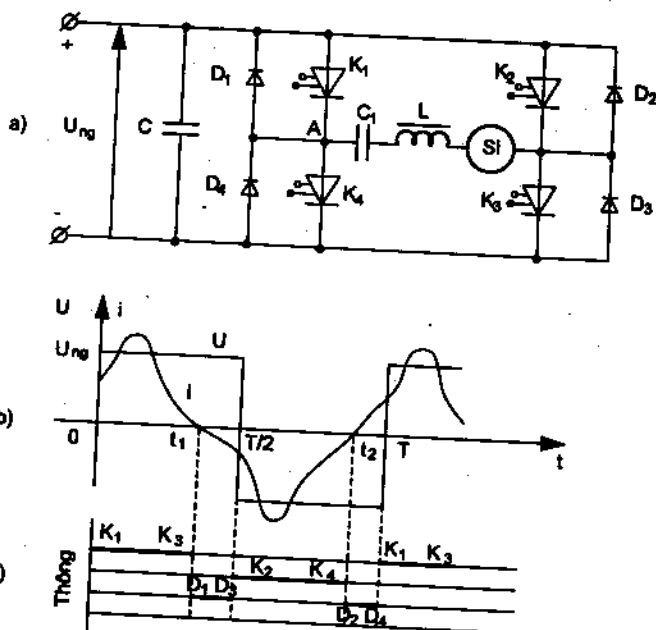
$i(t)$ vượt pha trước $u(t)$. Ở nửa chu kỳ điện áp dương, các khoá K_1, K_3 thông. Tụ C_1 được nạp điện (hình 7.20a) và khi nạp no thì dòng phóng sẽ qua các diốt D_1, D_3 trở về nguồn. Khi K_2, K_4 được điều khiển thông thì các diốt D_1, D_3 bị khoá. Quá trình trên xảy ra tương tự ở nửa chu kỳ âm của điện áp.

Các diốt mắc song song với các khoá điện từ là không thể thiếu được trong các bộ biến đổi một chiều - xoay chiều nguồn áp dù tải có tính trở về cảm kháng hay dung kháng. Các diốt này được gọi là các diốt hoàn năng lượng vì chúng dẫn một phần năng lượng tích lũy ở tải trong mỗi chu kỳ trả về nguồn S_u (lưu giữ tạm thời trong tụ C).

7.4.2. Bộ biến đổi một chiều - xoay chiều nguồn dòng một pha

7.4.2.1. Sơ đồ cấu (hình 7.21a)

Nguồn cấp cho bộ biến đổi một chiều - xoay chiều là nguồn dòng S_1 , tải loại S_u . Các cặp khoá điện từ K_1, K_3 và K_2, K_4 thay phiên nhau thông - khoá lệch pha nhau một góc π . Dòng điện ra có dạng hình chữ nhật (hình 7.21b). Dòng điện ra tải gồm dòng tải cấp bởi nguồn và dòng đảo chiều của tụ điện.



Hình 7.20: Chuyển mạch của các bộ khoá điện từ và sự dẫn dòng của các diốt trong bộ biến đổi một chiều - xoay chiều hình cầu với phụ tải có dung kháng chiếm ưu thế.

Điện áp ra trên tải phụ thuộc vào các thông số của phụ tải. Nguồn cấp là S_1 nên đầu vào bộ biến đổi một chiều - xoay chiều phải mắc nối tiếp một cuộn kháng L lớn.

Hình 7.21c,d biểu thị dạng của các đại lượng ra $u(t)$ và $i(t)$. Thực tế, có thể coi điện áp ra là hình sin với tần số gần với tần số cộng hưởng của mạch tải.

- Khi tải trở về dung kháng, dòng $i(t)$ vượt trước điện áp $u(t)$ như hình 7.21c.

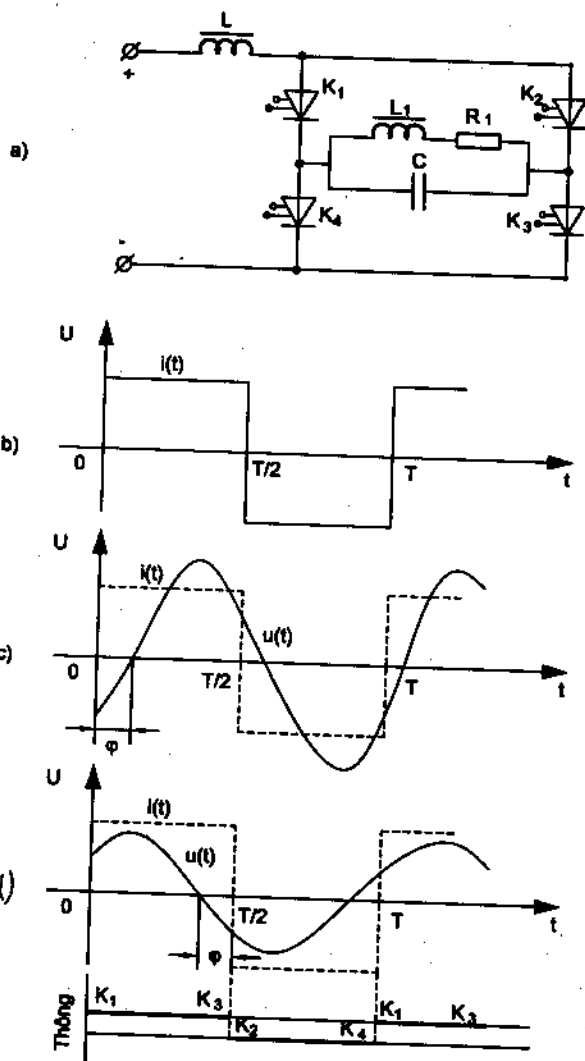
- Khi tải trở về cảm kháng, dòng $i(t)$ chậm sau điện áp $u(t)$ như hình 7.21d.

7.4.2.2. Sơ đồ 2 khoá song song

Sơ đồ như hình 7.22a và còn gọi là bộ biến đổi một chiều - xoay chiều nguồn dòng một pha song song. Máy biến áp trong sơ đồ có điểm giữa m ở cuộn sơ cấp. Vì nguồn cấp là S_1 nên có cuộn cảm L nối tiếp với mạch tải. Cuộn cảm L có 2 tác dụng :

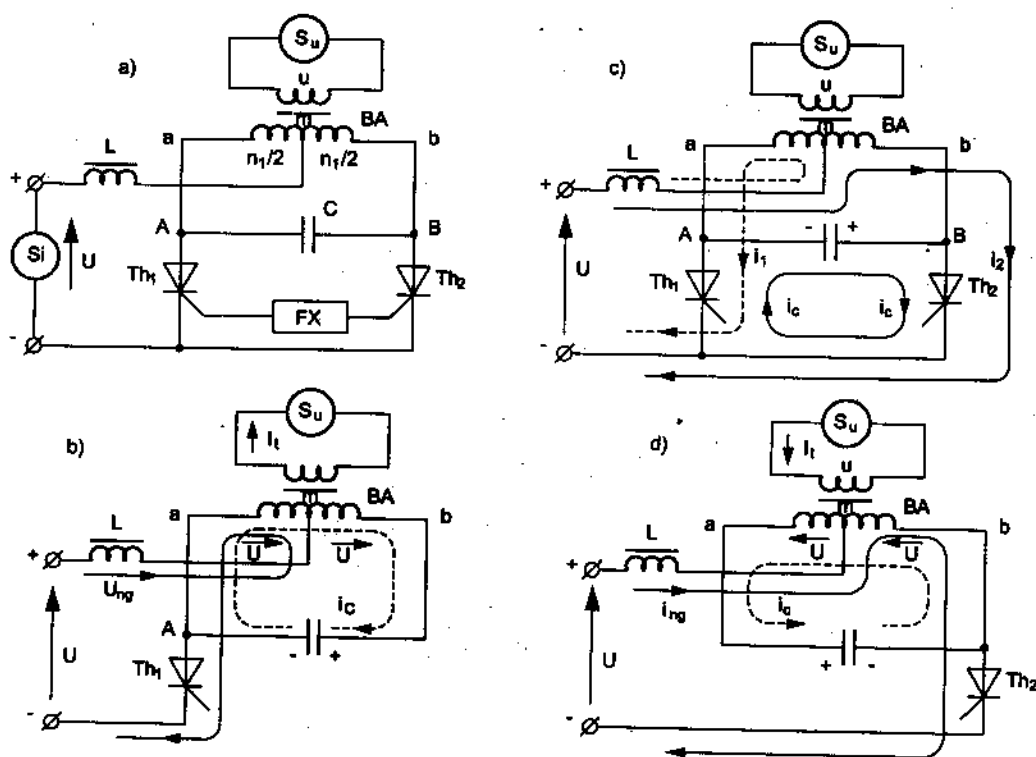
- Giữ ổn định dòng điện cấp ra tải.
- Hạn chế dòng điện cực đại.

Hai khoá điện tử sử dụng trong sơ đồ là 2 thyristo được điều khiển bởi bộ phát xung FX.



Hình 7.21 : Bộ biến đổi một chiều - xoay chiều nguồn dòng mắc theo sơ đồ cầu

Sơ đồ làm việc như sau : Giả sử lúc đầu, thyristo Th1 được cấp xung mở, còn thyristo Th2 đang khoá. Như ở hình 7.22b, nửa trái cuộn sơ cấp được đặt dưới điện áp $U_{ma} = U$. Khi U_{ma} tăng trưởng thì cuộn sơ cấp như một biến áp tự ngẫu làm xuất hiện một sức điện động, do đó có một điện áp $U_{bm} = U$ (vì số vòng dây của 2 nửa cuộn bằng nhau). Kết quả, tụ điện C được nạp điện với điện áp $U_{ba} = 2U$ với cực tính như trên hình 7.22b.



Hình 7.22 : Nguyên lý làm việc của bộ biến đổi một chiều - xoay chiều nguồn dòng một pha song song

Lúc này, phát xung điều khiển cho Th2 thông. Tụ C sẽ qua Th2 vừa thông đặt một điện áp ngược lên Th1 với trị số $2U$. Tụ C phóng điện khép kín qua cả 2 thyristo (hình 7.22c). Dòng điện nguồn qua Th1 với điện áp U ngược chiều với dòng phóng của tụ C với điện áp $2U$ nên nhanh chóng giảm về 0 và Th1 khoá. Dòng qua Th2 tạo bởi nguồn U cùng chiều với dòng điện phóng của tụ C nên nhanh chóng đạt tới trị số bão hoà.

Tương tự như trên, tụ C lại được nạp điện với điện áp $2U$ nhưng cực tính ngược lại (bản cực dương bên trái như hình 7.22d).

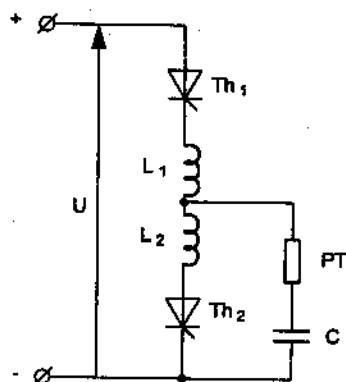
Khởi phát xung FX cấp các xung điều khiển Th1 và Th2 lệch pha nhau góc π (180°). Khi đó, cuộn sơ cấp máy biến áp có dòng điện xoay chiều với tần số bằng tần số của các xung điều khiển thyristo. Cuộn thứ cấp sẽ cảm ứng một điện áp xoay chiều cùng tần số của điện áp sơ cấp để cấp cho phụ tải. Dạng dòng điện là hình chữ nhật.

Tần số của bộ biến đổi một chiều - xoay chiều này có thể lớn nhưng bị giới hạn bởi thời gian cần để khoá các thyristo. Điện áp ra bị phụ thuộc vào các thông số của phụ tải.

7.4.2.3. Sơ đồ nối tiếp

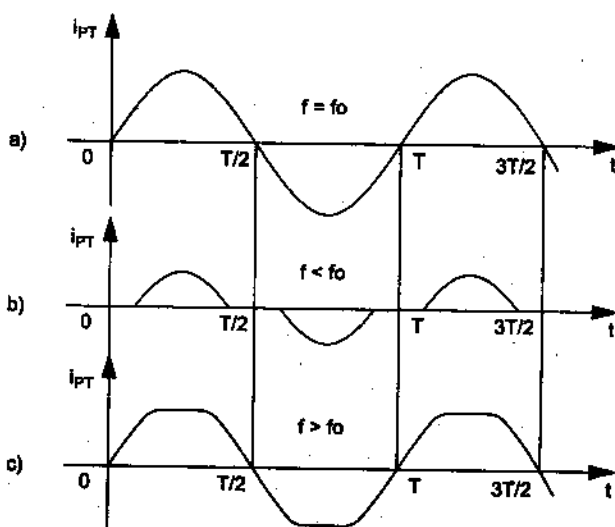
Trong sơ đồ nối tiếp, phụ tải tham gia trực tiếp hoặc gián tiếp vào mạch dao động của sơ đồ do việc thông thyristo có chu kỳ. Việc khoá thyristo nhờ cộng hưởng (hình 7.23).

Sơ đồ bao gồm 2 thyristo, một cuộn kháng có điểm giữa và một tụ điện C.



Hình 7.23: Sơ đồ nguyên lý bộ biến đổi một chiều - xoay chiều một pha kiểu nối tiếp

Sơ đồ làm việc như sau: Giả sử tụ C chưa được nạp điện thì khi Th1 thông, nó sẽ được nạp từ nguồn theo mạch Th1 - L_1 - PT - C. Bản cực dương ở phía trên. Do mạch cộng hưởng, điện áp nạp trên tụ lên gần $2U$. Tối điện áp cực đại thì $i_{\text{nạp}} = 0$ và Th1 bị khoá. Điện áp trên tụ được giữ lại cho đến khi cấp xung mở thyristo Th2. Tụ C sẽ phóng điện qua mạch C - PT - L_2 - Th2 - C và khi $i_{\text{phóng}} = 0$ thì Th2 bị khoá.



Hình 7.24: Dạng dòng điện tải phụ thuộc quan hệ f và f_0

Bộ biến đổi một chiều - xoay chiều nối tiếp cho dòng điện tải có dạng gần hình sin và thường được dùng trong các thiết bị cần nguồn tần số cao.

Dạng dòng điện tải phụ thuộc vào quan hệ giữa chu kỳ T (hay tần số f) tạo xung mở các thyristo và chu kỳ T_0 (hay tần số f_0) của dao động riêng mạch LC.

- Khi $f = f_0$, dạng dòng tải là hình sin (hình 7.24a).

- Khi $f < f_0$, dạng dòng tải bị ngắt quãng (hình 7.24b).

- Khi $f > f_0$, dạng dòng tải gần hình chữ nhật với tốc độ tăng dòng và áp lớn (hình 7.24c).

Cảm kháng L_1, L_2 trong sơ đồ giữ một vai trò quan trọng do sự tương hỗ mạnh giữa chúng.

Sơ đồ hình 7.23 thường được biến cải chút ít: Tụ C được tách thành 2 tụ với điện dung $C_1 = C_2 = C/2$ (hình 7.25) và nối với phụ tải PT về 2 phía, tạo điểm giữa O của nguồn nuôi. Để chuyển mạch có hiệu quả hơn, sơ đồ còn có 2 tụ chuyển mạch và 2 diốt hoàn năng lượng.

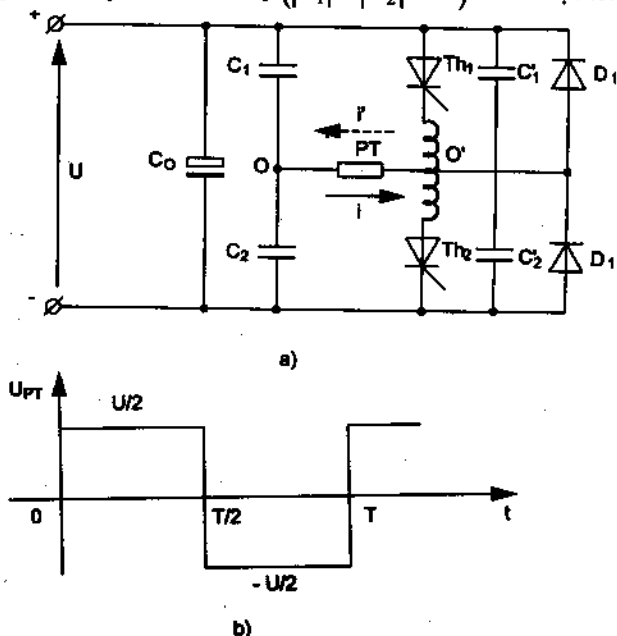
Sơ đồ làm việc như sau: Nếu Th2 thông, dòng phụ tải chạy từ O đến O'. Tụ C_1' và C_2' có điện áp $U_{C1}' = U; U_{C2}' = 0$. Khi Th1 thông, cuộn L_1 được đặt vào điện áp U hướng từ trên xuống dưới và sinh sức điện động E_1 ngược pha. Cuộn L_2 cũng cảm ứng sức điện động E_2 bằng E_1 , cùng chiều với E_1 ($|E_1| = |E_2| = U$). Th2 bị khoá

do phản áp ngược với điện áp $U - 2U = -U$. Ngoài ra, tụ C_1' phóng điện qua Th1 và L_1 cũng tăng cường quá trình khoá Th2 và quá trình thông Th1.

Khi Th2 khoá thì tụ C_2' được nạp đến điện áp U. Năng lượng tích lũy trong phần cảm của phụ tải được hoàn trả về C_1 qua D_1 . Khi D_1 dẫn thì Th1 tạm thời bị khoá trong một thời gian ngắn. Khi dòng qua D_1 bằng 0 thì D_1 khoá và chùm xung điều khiển Th1 tiếp tục làm Th1 thông để dẫn dòng qua tải theo chiều ngược.

Tụ C_0 mắc ở đầu nguồn để giảm tổng trở nguồn. Việc chuyển mạch trong sơ đồ không mang tính cộng hưởng là nhờ các diốt D_1, D_2 mắc song song với các tụ C_1', C_2' . Việc mở thyristo này sẽ khoá thyristo khác là do các phần cuộn cảm L_1, L_2 mắc ở mạch catôt và anôt của các thyristo.

Điện áp trên phụ tải có dạng hình chữ nhật (hình 7.25b).

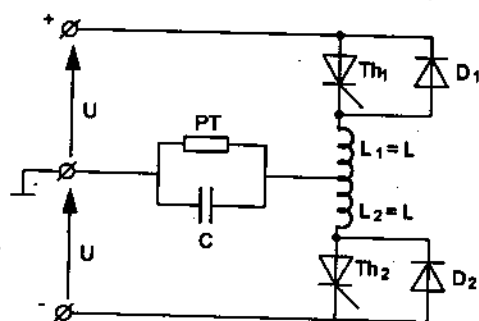


Hình 7.25: Sơ đồ nguyên lý bộ biến đổi một chiều - xoay chiều một pha nối tiếp (a) và dạng điện áp ra trên tải (b)

7.4.2.4. Sơ đồ song song - nối tiếp

Các sơ đồ mắc hỗn hợp có các tụ điện trực tiếp hoặc gián tiếp mắc song song hoặc nối tiếp với phụ tải. Sơ đồ mang tính chất bộ biến đổi một chiều - xoay chiều song song hay nối tiếp là tùy thuộc vào trị số và cách mắc các tụ điện.

Sơ đồ ở hình 7.26 mang tính chất của một sơ đồ song song khi giữ phương pháp khoá cộng hưởng các thyristo của một sơ đồ nối tiếp.



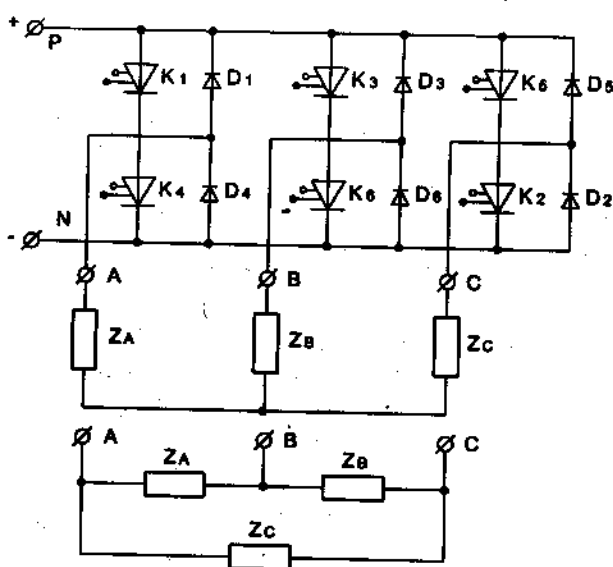
Hình 7.26: Bộ biến đổi một chiều - xoay chiều theo sơ đồ song song - nối tiếp

Sơ đồ làm việc như sau : Khi Th1 thông, nguồn cấp dòng cho tải và tụ C qua mạch Th1 - L₁. Phản điện cảm L₁ và tụ C tạo thành mạch cộng hưởng và khi tụ C nạp no sẽ có điện áp 2U. Sau đó, tụ C phóng qua mạch L₁ - D₁ về nguồn. Điện áp rơi trên D₁ sẽ phản áp ngược cho Th1 làm Th1 khoá. Khi cho xung điều khiển thông Th2, tải sẽ được cấp dòng chảy ngược lại qua L₂ - Th2 và quá trình tiếp diễn tương tự.

Như vậy, thyristo khoá bằng mạch cộng hưởng L - C với điện áp ngược nhỏ (bằng sụt áp trên các diốt hoàn năng lượng).

7.4.3. Bộ biến đổi một chiều - xoay chiều nguồn áp ba pha

Các bộ biến đổi một chiều - xoay chiều nguồn áp 3 pha có thể tạo ra nhờ ghép 3 sơ đồ bộ biến đổi một chiều - xoay chiều nguồn áp một pha lại với nhau, nhưng phổ biến trong thực tế là dùng sơ đồ cầu ba pha như hình 7.27. Tải ba pha có thể mắc sao hay mắc tam giác. Các phương pháp điều khiển thông - khoá các khoá điện tử tương tự như đối với bộ biến đổi một chiều - xoay chiều nguồn áp một pha.



Hình 7.27 : Sơ đồ bộ biến đổi một chiều - xoay chiều nguồn áp ba pha

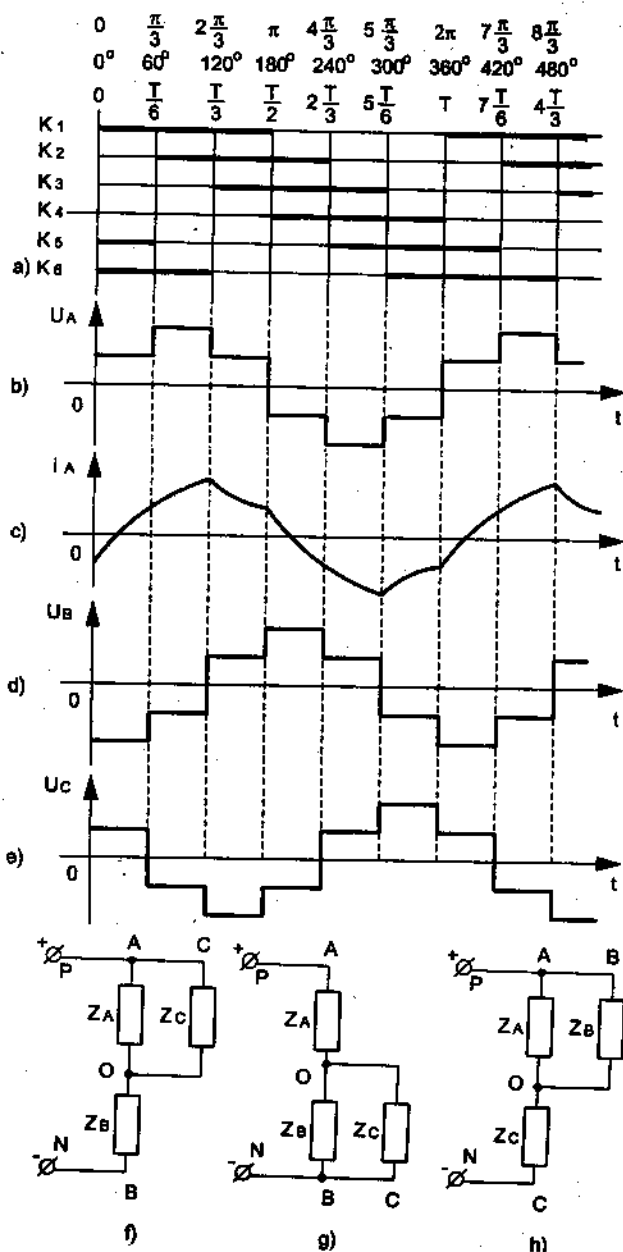
Để tạo ra điện áp xoay chiều 3 pha lệch nhau $\frac{2\pi}{3}$

(120°), người ta phân phối các xung điều khiển thông các khoá điện tử để dẫn dòng trong một phần của chu kỳ. Thông thường là cho các khoá điện tử dẫn trong $\frac{1}{2}$ hay $\frac{1}{3}$ chu kỳ tương ứng với góc dẫn (khoảng dẫn) của khoá điện tử là π (180°) hay $\frac{2\pi}{3}$ (120°).

Theo sơ đồ dẫn của các khoá điện tử ở hình 7.28a, ứng với góc dẫn π (180°) thì tại bất cứ thời điểm nào cũng có 3 khoá điện tử dẫn và cứ $\frac{\pi}{3}$ (60°) một lại có sự chuyển mạch. Từ đó, trong khoảng $\left(0 \div \frac{\pi}{3}\right)$ thì mạch tải mắc kiểu sao ở hình 7.27 được nối vào nguồn một chiều như hình 7.28f. Có thể dễ dàng suy ra trong khoảng này :

$$U_A = U_{Z_A} = \frac{1}{3} U = U_C = U_{Z_C}; U_B = U_{Z_B} = -\frac{2}{3} U$$

Như vậy, ở mọi thời điểm đều có một pha tải nối tiếp với 2 pha tải còn lại mắc song song nhau (hình 7.28g, h).



Hình 7.28: Sơ đồ dẫn của các khoá điện tử ở hình 7.27 và dạng điện áp, dòng điện trong trường hợp góc dẫn bằng π (nửa chu kỳ).

Suy luận tương tự cho các khoảng tiếp theo (ứng với 60° một) ta có đồ thị điện áp ra như hình 7.28b, d và e. Đó là những điện áp xoay chiều 3 pha dạng bậc thang.

Dạng dòng điện, chẳng hạn pha A (hình 7.28c) chậm pha hơn điện áp U_A bao gồm những đoạn cong tăng, giảm theo hàm mũ.

7.4.4. Bộ biến đổi một chiều - xoay chiều nguồn dòng 3 pha

Sơ đồ mạch như hình 7.29.

Các xung mở các khoá điện tử trong sơ đồ cũng được phân bố tương tự như đối với bộ biến đổi một chiều - xoay chiều nguồn áp. Dòng điện ra có dạng hình bậc thang.

Kết luận :

- Các bộ biến đổi một chiều - xoay chiều biến đổi tín hiệu điện một chiều sang tín hiệu xoay chiều còn các bộ chỉnh lưu biến tín hiệu điện xoay chiều thành tín hiệu một chiều. Đó là hai quá trình biến đổi ngược nhau.

- Các bộ chỉnh lưu có hai chế độ làm việc : chúng làm việc chủ yếu là biến đổi năng lượng điện xoay chiều thành một chiều, nhưng trong một số điều kiện nào đó, chúng có thể biến năng lượng điện một chiều thành năng lượng điện xoay chiều.

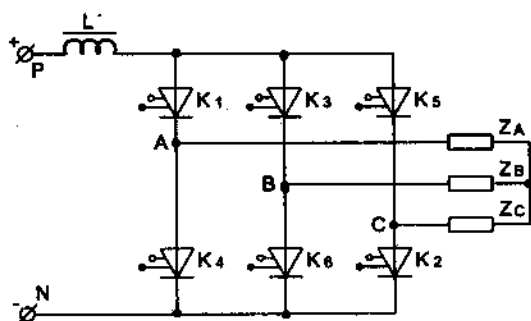
- Các bộ biến đổi một chiều - xoay chiều cũng có hai chế độ làm việc : chúng làm việc chủ yếu là biến đổi năng lượng điện một chiều thành năng lượng điện xoay chiều, nhưng trong một số điều kiện nào đó, chúng có thể biến năng lượng điện xoay chiều thành năng lượng điện một chiều.

Các sơ đồ bộ biến đổi một chiều - xoay chiều được phân loại theo sự tương tự giữa chúng với các sơ đồ chỉnh lưu và phân loại theo nguồn là nguồn áp hay nguồn dòng.

7.5. MẠCH BỘI ÁP

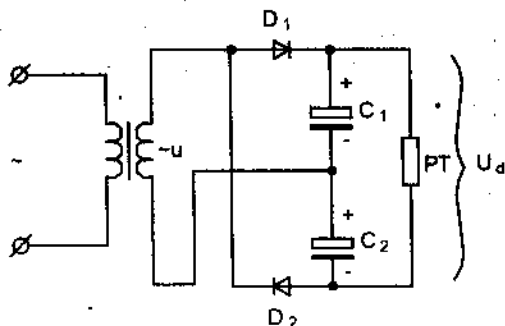
Điện áp ra một chiều của các bộ chỉnh lưu một pha (không điều khiển hoặc có điều khiển) thường có giá trị nhỏ hơn điện áp nguồn (xem bảng 4.2 và 4.4). Khi cần điện áp chỉnh lưu ra lớn hơn điện áp nguồn mà không yêu cầu dòng tiêu thụ lớn, người ta có thể dùng mạch chỉnh lưu bội áp hay còn gọi là các mạch nhân áp.

Mạch chỉnh lưu nhân đôi áp có sơ đồ như hình 7.30. Mạch chỉnh lưu nhân đôi áp là mạch chỉnh lưu cả chu kỳ. Hai tụ C_1 và C_2 mắc nối tiếp thành nhánh song song với phụ tải.



Hình 7.29 : Sơ đồ nguyên lý bộ biến đổi một chiều - xoay chiều 3 pha nguồn dòng

Ở nửa chu kì dương của điện áp $\sim u$ thứ cấp, giả sử diốt D_1 dẫn thì tụ C_1 được nạp điện tới điện áp $U_{C1} \approx U$. Ở nửa chu kì âm, diốt D_2 dẫn và tụ C_2 được nạp điện tới điện áp $U_{C2} \approx U$. Điện áp U_d lấy ra trên phụ tải bằng $U_{C1} + U_{C2} \approx 2U$. Điện áp chỉnh lưu được nhân đôi.



Hình 7.30: Mạch chỉnh lưu nhân đôi điện áp

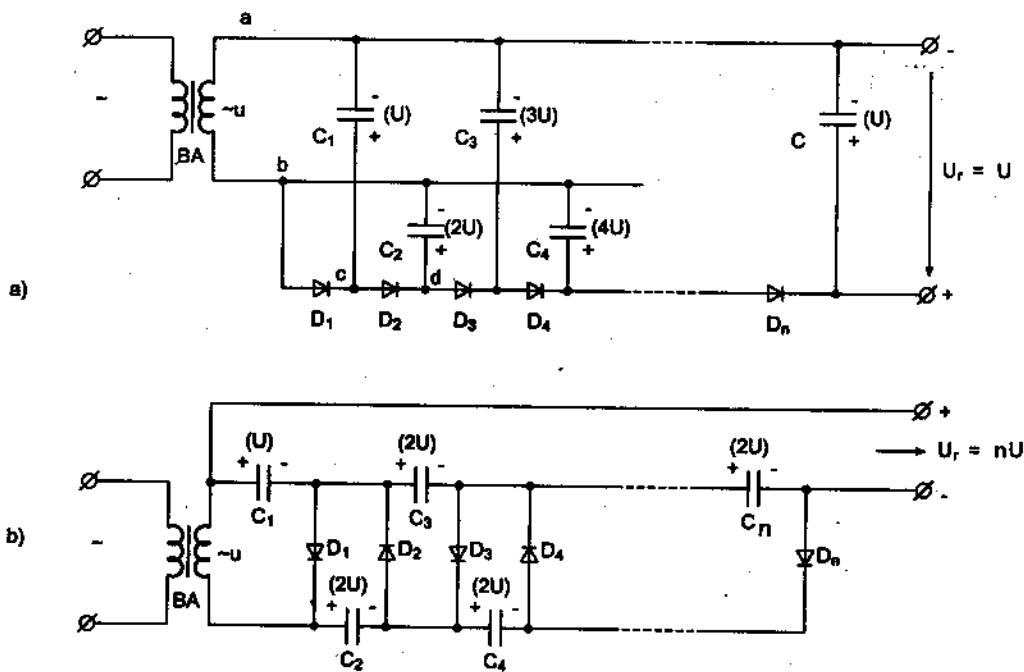
Khi cần một điện áp lớn hơn (cần cao áp), người ta nối tiếp nhiều mạch nhân đôi áp (gọi là một tầng) lại với nhau thành mạch bội áp nhiều tầng (số tầng thường không quá 10).

Các sơ đồ chỉnh lưu bội áp được chia ra thành sơ đồ không đối xứng và đối xứng tùy theo cách bố trí diốt và tụ điện.

7.5.1. Sơ đồ không đối xứng

Hình 7.31a,b biểu thị các sơ đồ chỉnh lưu bội áp n lần, chứa n diốt và n tụ điện.

Nếu điện áp chỉnh lưu ra lớn hơn điện áp nguồn lấy trên một tụ điện thì sơ đồ bội áp gọi là loại 1 (hình 7.31a), nếu lấy trên một số tụ nối tiếp thì gọi là sơ đồ bội áp loại 2 (hình 7.31b).



Hình 7.31 : Mạch chỉnh lưu bội áp nhiều tầng không đối xứng : a) Loại 1; b) Loại 2

Xét sự làm việc của sơ đồ chỉnh lưu bội áp không đối xứng loại 1 (hình 7.31a).

Giả sử trong nửa chu kỳ đầu của nguồn $\sim u$, tụ C_1 được nạp qua diốt D_1 tới điện áp nguồn U (theo mạch bca). Trong nửa chu kỳ tiếp theo, nguồn thứ cấp BA đổi cực tính và tụ C_2 được nạp qua diốt D_2 đến điện áp của nguồn cộng với điện áp của tụ C_1 đã được nạp, nghĩa là đến $2U$ (mạch acdb). Tương tự, ở nửa chu kỳ nguồn tiếp theo, tụ C_3 được nạp qua D_3 đến điện áp $3U$ (điện áp nguồn cộng điện áp trên tụ C_2)... Cuối cùng, điện áp chỉnh lưu lấy ra trên tụ C_n là nU .

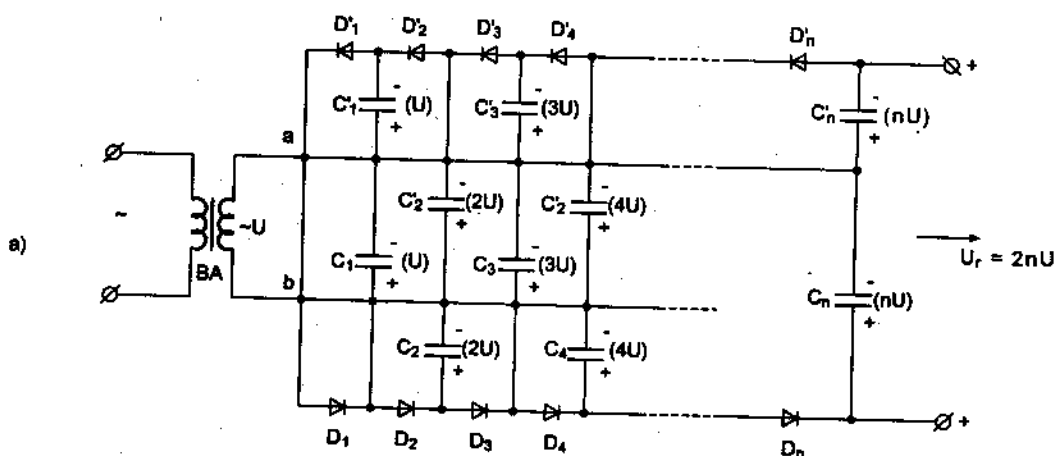
Qua đây ta thấy, trong các nửa chu kỳ cùng dấu của nguồn, các tụ có số lẻ ($C_1, C_3, \dots$) được nạp thì trong các nửa chu kỳ khác dấu của nguồn, các tụ số chẵn ($C_2, C_4, \dots$) được nạp.

Khi đầu ra có tải, điện áp ra của chỉnh lưu sẽ giảm. Các sơ đồ chỉnh lưu bội áp thường có nội trở lớn nên chúng có đặc tính ngoài đứng. Để đặc tính ngoài thoải hơn, cần chọn các tụ sao cho $C_1 > C_2 > \dots > C_n$ với các điện áp tương ứng mà tụ được nạp. Các diốt cũng phải chịu một điện áp ngược bằng hiệu giữa 2 điện áp của 2 tụ kế cận là U cộng với điện áp nguồn, nghĩa là bằng $2U$.

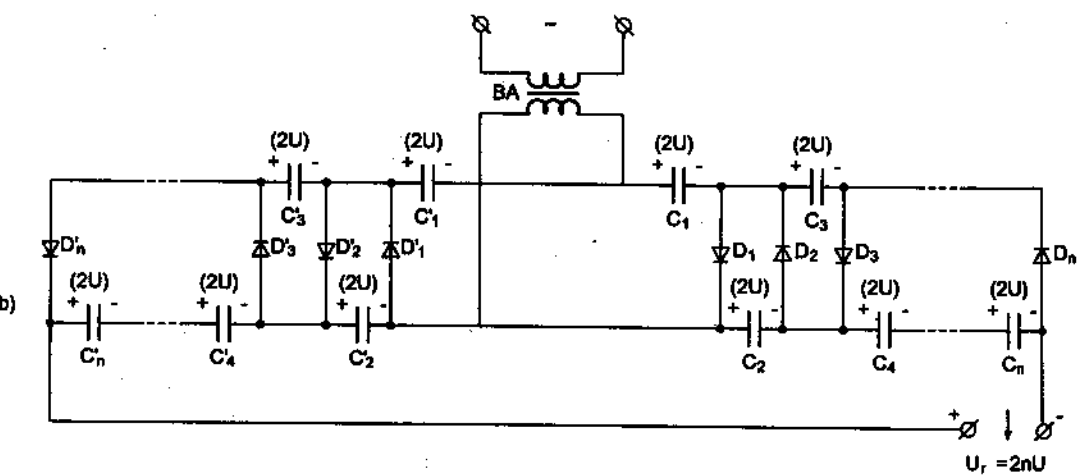
Đối với sơ đồ không đối xứng loại 2 (hình 7.31b) thì quá trình làm việc cơ bản là tương tự sơ đồ loại 1. Khác là sự nạp điện qua diốt D_3 của tụ C_3 chỉ đến điện áp $2U$ (là tổng điện áp nguồn và điện áp trên các tụ C_1, C_2). Tụ C_4 đến C_n cũng chỉ được nạp đến điện áp $2U$. Vì thế, sơ đồ loại 2 không cần các tụ có điện áp cao hơn $2U$.

7.5.2. Sơ đồ đối xứng

Sơ đồ đối xứng (hình 7.32) loại 1 hay loại 2 được tạo nên từ 2 sơ đồ không đối xứng cùng loại, cấp từ một nguồn.



Hình 7.32a : Mạch chỉnh lưu bội áp nhiều tầng đối xứng loại 1

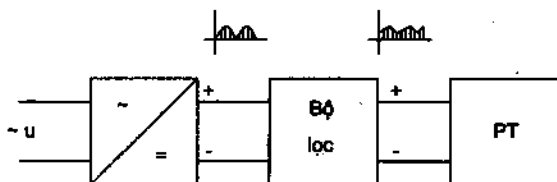


Hình 7.32b : Mạch chỉnh lưu bội áp nhiều tầng đối xứng loại 2

Với sơ đồ đối xứng loại 1 (hình 7.32a) thì điện áp ra của chỉnh lưu bội áp lấy trên 2 tụ nối tiếp C_n và C_n' nên là $2nU$. Với sơ đồ đối xứng loại 2, điện áp ra lấy trên 2 dây tụ nối tiếp cũng là $2nU$ (hình 7.32b).

7.6. BỘ LỌC

Điện áp ra của các bộ chỉnh lưu là điện áp một chiều nhưng không hoàn toàn bằng phẳng mà vẫn bị gợn sóng. Để làm giảm mức độ gợn sóng xuống giới hạn cho phép, người ta mắc giữa bộ chỉnh lưu và phụ tải một bộ lọc (hình 7.33).



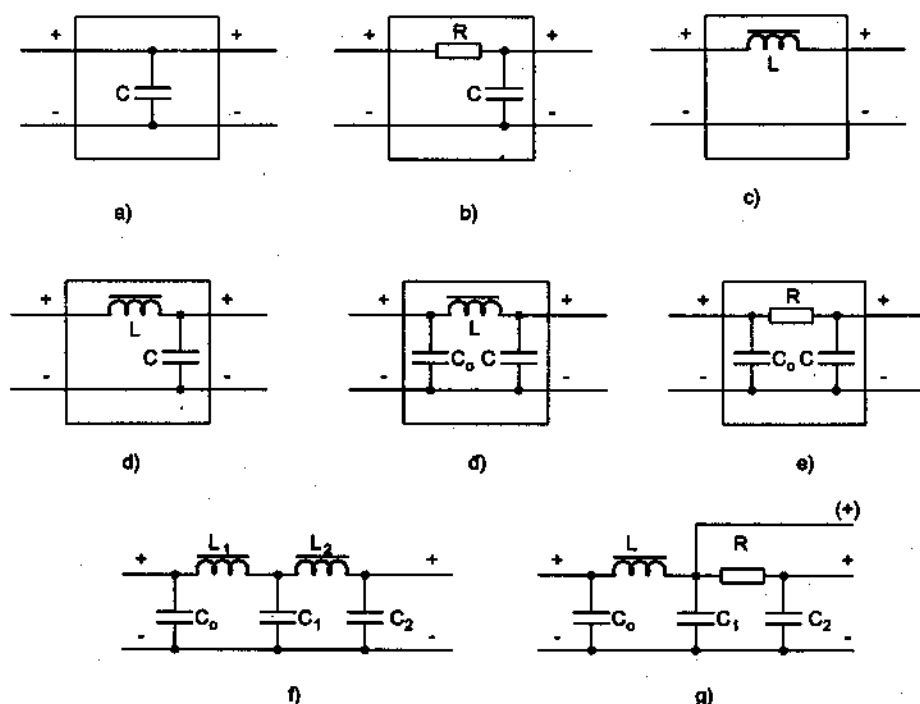
Hình 7.33 : Sơ đồ mắc bộ lọc

Độ gợn sóng càng nhỏ thì điện áp một chiều càng bằng phẳng.

Độ gợn sóng hay hệ số gợn sóng của điện áp chỉnh lưu là tỉ số (thường tính ra %) giữa điện áp thành phần gợn sóng và điện áp chỉnh lưu trung bình.

$$k = \frac{U_g}{U_d} \quad (7.15)$$

Các bộ lọc được chia ra theo các phần tử cấu thành sơ đồ lọc. Hình 7.34 trình bày một số bộ lọc phổ biến. Khi cần nâng cao chất lượng, người ta có thể dùng các bộ lọc với mạch phức tạp hơn hoặc có nhiều tầng lọc. Các tầng lọc có thể giống nhau (hình 7.34f) hoặc khác nhau (hình 7.34g).



Hình 7.34 : Các bộ lọc thường dùng : a) Bộ lọc tụ C ; b) Bộ lọc RC ; c) Bộ lọc cuộn cảm ; d) Bộ lọc LC ; đ) Bộ lọc hình π (dùng LC) ; e) Bộ lọc hình π (dùng RC) ; f) Bộ lọc 2 tầng LC giống nhau ; g) Bộ lọc 2 tầng khác nhau LC và RC.

7.6.1. Bộ lọc dùng tụ điện

Bộ lọc dùng tụ điện (hình 7.34a) là đơn giản nhất, phổ biến nhất. Tụ điện C được nối song song với tải ở đầu ra bộ chỉnh lưu.

Hình 7.35a là mạch chỉnh lưu một pha nửa chu kì với bộ lọc tụ điện.

Khi chưa có bộ lọc tụ điện, điện áp ra của bộ chỉnh lưu (theo bảng 4.2) là $U_d = 0,45U$, còn điện áp gợn sóng $U_g = 0,54U$ nên theo (7.15) hệ số gợn sóng là :

$$k = \frac{0,54U}{0,45U} = 1,21 = 121\%$$

Hệ số gợn sóng này là lớn vì nửa chu kì có điện áp chỉnh lưu bằng 0 (hình 7.35b).

Khi có bộ lọc tụ điện ở đầu ra bộ chỉnh lưu thì tụ sẽ được nạp khi điện áp đầu ra bộ chỉnh lưu tăng và tụ sẽ phóng điện (qua tải) khi điện áp đầu ra bộ chỉnh lưu giảm. Dạng điện áp ra sau bộ lọc như hình 7.35c. Độ gợn sóng giảm đi. Nếu điện dung của tụ lớn thì tụ sẽ phóng lâu hơn và dạng điện áp ra sẽ ít gợn sóng hơn (đường nét đứt trên hình 7.35c). Dạng điện áp ra chính là điện áp nạp và phóng của tụ.

Điện dung của tụ C_0 thường được lựa chọn để :

$$\frac{R_{PT}}{X_C} \geq 10 \quad (7.16)$$

trong đó :

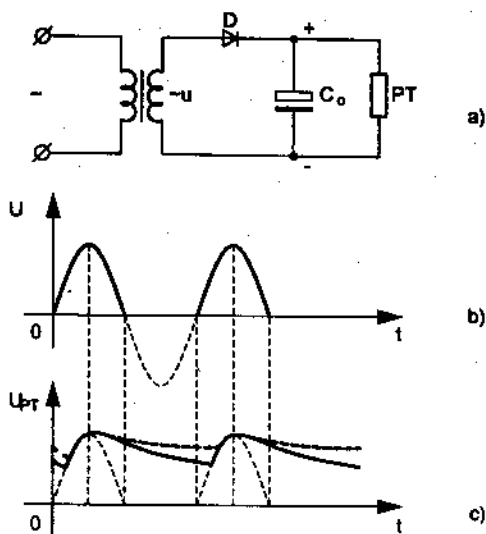
$$X_C = \frac{1}{\omega_0 C_0} = \frac{1}{2\pi f m C_0} \quad (7.17)$$

f : tần số của điện áp đưa vào chỉnh lưu ;

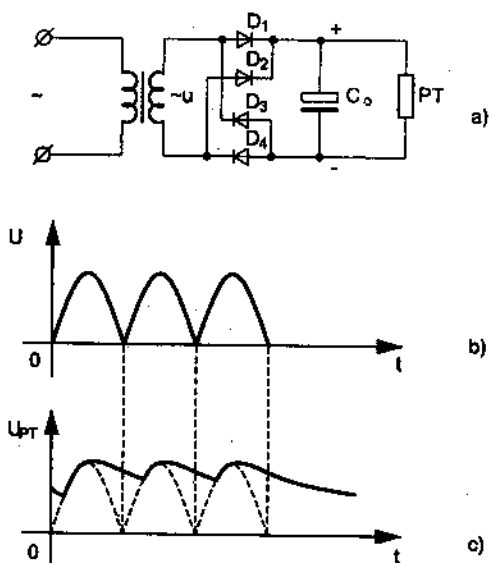
m : hệ số đập mạch của sơ đồ chỉnh lưu.

Hình 7.36a là mạch chỉnh lưu một pha, hai nửa chu kỳ sơ đồ cầu với bộ lọc tụ điện. Khi chưa có tụ, điện áp ra của bộ chỉnh lưu (theo bảng 4.2) là $U_d = 0,90U$, còn điện áp gợn sóng $U_{gs} = 0,44U$ nên theo (7.15) hệ số gợn sóng là :

$$k = \frac{0,44U}{0,90U} = 0,49 = 49\%$$



Hình 7.35 : Chỉnh lưu một pha nửa chu kỳ với bộ lọc tụ điện



Hình 7.36 : Chỉnh lưu một pha hai nửa chu kỳ với bộ lọc tụ điện

Hệ số này nhỏ hơn hệ số của sơ đồ chỉnh lưu một pha nửa chu kì nhưng vẫn còn lớn (hình 7.36b).

Khi có bộ lọc tụ điện, do sự nạp, phóng của tụ mà điện áp chỉnh lưu được san bằng hơn, ít nhấp nhô mạnh (hình 7.36c).

7.6.2. Bộ lọc RC và LC

Bộ lọc RC (hình 7.34b) và LC (hình 7.34d) là 2 dạng bộ lọc phức hợp cơ bản. Chúng có thể kết hợp với bộ lọc tụ để tạo ra bộ lọc hình π (hình 7.34e, đ) là bộ lọc bao gồm 2 tầng. Với các bộ lọc hình π , sự làm việc của tầng lọc tụ đã được xem xét ở mục 7.6.1. Ở đây, ta tiếp tục xem xét tầng lọc RC và LC với mục đích giảm nhỏ hàm độ gợn sóng ở đầu ra.

Với bộ lọc RC (hình 7.37a), do có thêm điện trở R nối tiếp với phụ tải mà điện áp một chiều trên tải bị giảm.

$$U_{PT} = \frac{R_{PT}}{R + R_{PT}} U_d \quad (7.18)$$

Điện áp gợn sóng đầu ra bộ lọc được tính là :

$$U_{gs,r} = U_{gs,v} \frac{X_C}{R} \quad (7.19)$$

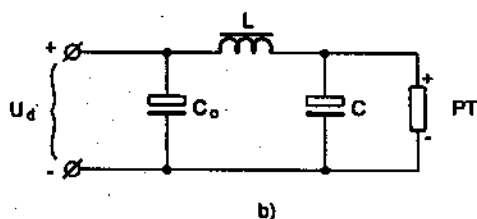
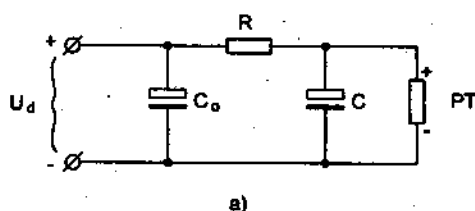
Từ đó, tính được hệ số gợn sóng sau bộ lọc :

$$k = \frac{U_{gs,r}}{U_{PT}} \quad (7.20)$$

Với bộ lọc LC (hình 7.37b), để hệ số gợn sóng nhỏ ở đầu ra, cần có cuộn cảm với L lớn và tụ điện với C lớn, sao cho :

$$X_L \geq R_{PT} \geq X_C \quad (7.21)$$

và thoả mãn điều kiện (7.16).



Hình 7.37 : Các bộ lọc hình π : a) RC; b) LC

7.7. BỘ NGUỒN ỔN ÁP

Nguồn áp lý tưởng với điện trở trong bằng 0 sẽ giữ nguyên điện áp khi phụ tải thay đổi. Trên thực tế, các nguồn áp luôn có điện trở trong nên khi phụ tải tăng, điện áp bị giảm. Để đảm bảo điện áp nguồn ở một giới hạn cho phép, các nguồn áp thường có mạch ổn áp mắc giữa nguồn và phụ tải.

Các bộ ổn áp được chia làm 2 loại : ổn áp thông số và ổn áp bù.

- Trong các bộ ổn áp thông số, người ta sử dụng các phần tử có đặc tuyến Von-Ampe phi tuyến mà điện áp trên các phần tử này ít phụ thuộc vào dòng qua chúng. Như vậy, tính chất phi tuyến của các phần tử này đã hạn chế mạnh các yếu tố bất ổn định.

Với các phụ tải điện tử không yêu cầu nguồn điện cấp có điện áp ổn định thật cao và không đòi hỏi công suất cấp lớn, thì việc sử dụng nguồn ổn áp thông số là hợp lý vì nó đơn giản, tin cậy và rẻ.

Phần tử phi tuyến trong các bộ ổn áp thông số thường là : diốt Zener, nhiệt điện trở, barête...

- Trong các bộ ổn áp kiểu bù, điện áp ra được so sánh với một điện áp mong muốn đặt sẵn. Khi có sai lệch điện áp ra, sai lệch này sẽ tác động vào các phần tử của sơ đồ để bù lại các sai lệch đó, giữ ổn định điện áp ra.

Thực chất của bộ ổn áp bù là hệ điều chỉnh kín tự động với phản hồi âm tín hiệu (điện áp) ra đưa trở về một khâu của sơ đồ để từ đó điều chỉnh tín hiệu ra. Phần tử điều chỉnh có thể mắc nối tiếp hoặc song song với phụ tải.

Phần tử điều chỉnh thường là các linh kiện điện tử tích cực.

Vậy, chính các yếu tố không ổn định ở đầu ra điều khiển sự làm việc của các bộ ổn áp thông số, còn độ lệch của đại lượng ở đầu ra cần phải ổn định theo giá trị đặt trước sẽ điều khiển sự làm việc của các bộ ổn áp kiểu bù.

7.7.1. Ổn áp thông số

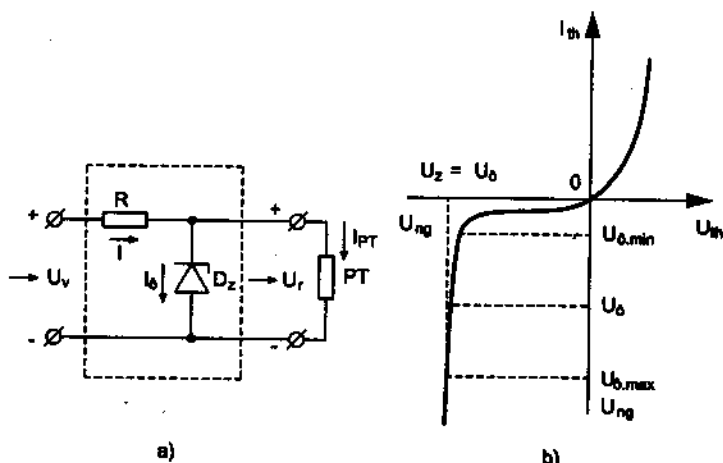
7.7.1.1. Ổn áp thông số dùng diốt Zener

Diốt Zener có đặc tuyến như hình 2.36 và thường được dùng trong mạch ổn áp như hình 2.37 hoặc 7.38a.

Xét các tham số kỹ thuật chính của bộ ổn áp :

- Điện áp ổn áp (U_z) (xem mục 2.2.5). Mỗi diốt Zener có một điện áp U_z riêng. Dải điện áp này cho các diốt Zener rất rộng, từ vài phần (V) đến hàng trăm (V). Nhưng sử dụng tốt nhất và lợi nhất là trong dải từ 1 đến vài chục V.

- Dòng ổn định (I_0) : là dòng ngược qua diốt Zener ở điện áp $U_z = U_0$ (hình 7.38b).



Hình 7.38 : Bộ ổn áp dùng diốt Zener : a) Sơ đồ; b) Đặc tuyến Von-Ampe

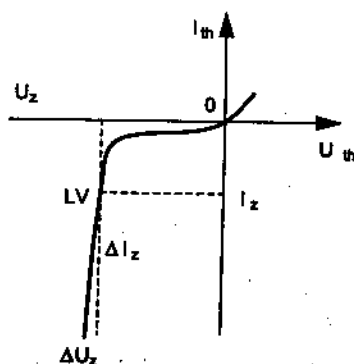
- Dòng ổn định cho phép lớn nhất ($I_{0,max}$) : là dòng ngược cho phép lớn nhất cho phép qua diốt Zener ứng với công suất tiêu tán P_Z lớn nhất cho phép. $I_{0,max}$ phụ thuộc nhiệt độ môi trường xung quanh.

- Dòng ổn định nhỏ nhất có thể ($I_{0,min}$) : là dòng ngược nhỏ nhất qua diốt Zener mà vẫn đảm bảo khả năng ổn áp của diốt.

Giữa 2 giá trị $I_{0,min}$ và $I_{0,max}$ thì điện áp ổn định hầu như không thay đổi. Giới hạn chuẩn được chế tạo là $\pm 5\%$; $\pm 10\%$ và $\pm 15\%$.

- Điện trở tĩnh (R_i) : được xác định là tỉ số giữa điện áp ngược U_Z và dòng điện ngược I_Z ở chế độ làm việc đã cho.

$$R_i = \frac{U_Z}{I_Z} \quad (7.22)$$



Hình 7.39: Xác định điện trở động r_z

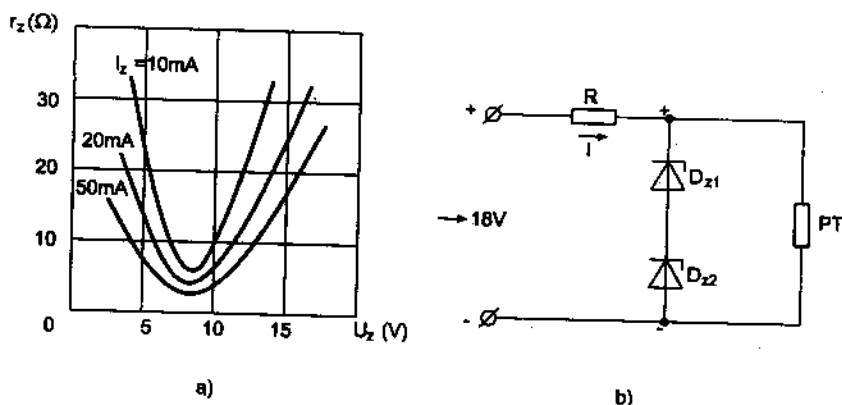
- Điện trở động (r_z) hay điện trở vi phân : được xác định là tỉ số giữa gia số điện áp ngược và gia số dòng điện ngược tại điểm làm việc trên đặc tuyến (hình 7.39) :

$$r_z \approx \frac{\Delta U_Z}{\Delta I_Z} \text{ hay } r_z = \frac{dU_Z}{dI_Z} \quad (7.23)$$

Giá trị điện trở động chính là độ dốc của đặc tuyến diốt Zener. Khi điện trở động bằng 0, độ dốc là 90° , đặc tuyến thẳng đứng (song song với trục tung)

thì với mọi thay đổi của dòng điện I_Z , điện áp U_Z luôn không đổi. Đây chính là nguồn áp lí tưởng. Trong thực tế, đặc tuyến ngược của diốt Zener càng dốc thì điện áp giữ càng ổn định.

Với các diốt Zener công suất nhỏ, điện trở động thay đổi theo U_Z và I_Z và có giá trị nhỏ nhất tại $U_Z \approx (7 \div 8)V$, nghĩa là U_Z giữ ổn định nhất ở trị số này (hình 7.40a). Từ đó có thể thấy, khi cần ổn áp một chiều lớn hơn (14 + 16)V nên thay một diốt Zener cao Von bằng 2 hay nhiều hơn các diốt Zener thấp Von nối tiếp (hình 7.40b).



Hình 7.40 : a) Sự phụ thuộc của r_z vào U_Z và I_Z ; b) Sơ đồ ổn áp nối tiếp 2 diốt Zener

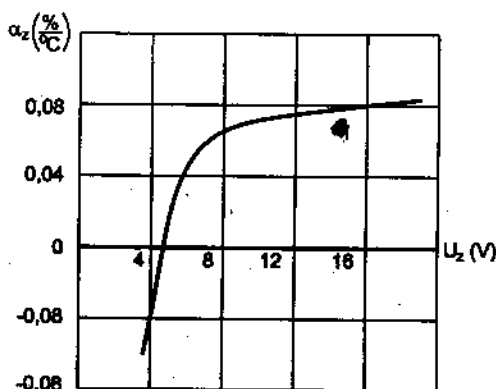
- Hệ số ổn định điện áp (k_o) : được hiểu là tỉ số giữa các biến đổi (tương đối) của dòng I_Z và biến đổi (tương đối) của điện áp U_Z (do biến đổi I_Z gây ra).

$$k_o = \frac{\frac{\Delta I_Z}{I_Z}}{\frac{\Delta U_Z}{U_Z}} = \frac{R_1}{r_z} \quad (7.24)$$

Để hệ số k_o cao thì r_z phải nhỏ.

- Hệ số nhiệt độ của điện áp ổn định (α_z) : được xác định là sự thay đổi tương đối của điện áp ổn định U_Z khi nhiệt độ thay đổi $1^\circ C$ với $I_Z = \text{invar}$:

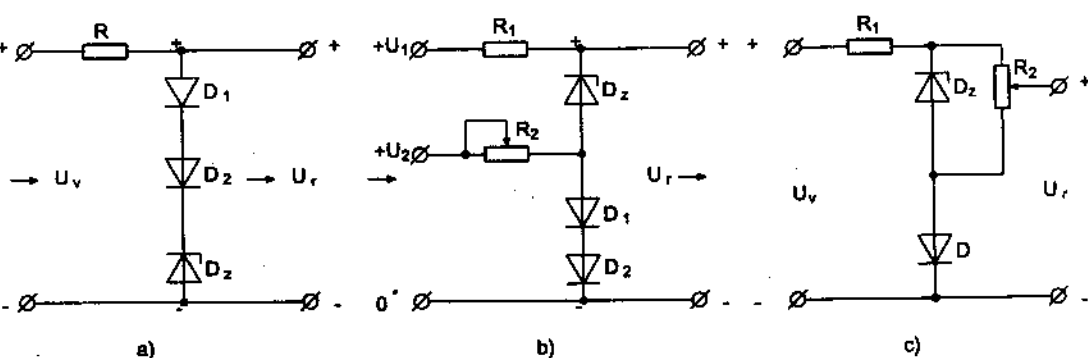
$$\alpha_z = \frac{\frac{\Delta U_Z}{U_Z}}{\Delta T^\circ} = \frac{R_1}{r_z} \left[\frac{\%}{^\circ C} \right] \quad (7.25)$$



Hình 7.41: Sự phụ thuộc của α_z vào U_Z

Hình 7.41 cho biết sự phụ thuộc của α_Z vào U_Z . Ta thấy, α_Z có giá trị 0 khi $U_Z \approx 5,5V$. Vì thế, ở U_Z nhỏ thì α_Z âm, còn U_Z lớn thì α_Z dương.

Để điện áp ổn định ít phụ thuộc vào nhiệt độ môi trường, người ta dùng các phương pháp bù nhiệt. Phương pháp đơn giản nhất là nối tiếp với diốt Zener (có hệ số α_Z dương) một hoặc vài diốt thường (cũng có thể dùng diốt Zener) mắc thuận (với hệ số α_Z âm) (hình 7.42a). Để bù nhiệt chính xác hơn giá trị α_Z của các diốt thường, người ta dùng mạch ở hình 7.42b, c với việc thay đổi dòng thuận qua các diốt đó nhờ biến trở R_2 .



Hình 7.42 : Các sơ đồ ổn áp dùng diốt Zener : a) Có bù nhiệt ; b, c) Bù nhiệt có điều chỉnh

Chú ý : Các diốt Zener có thể mắc nối tiếp nhau để ổn định điện áp cao nhưng không cho phép mắc chúng song song vì khi đó chỉ có diốt Zener với điện áp ngưỡng U_Z nhỏ nhất là làm việc.

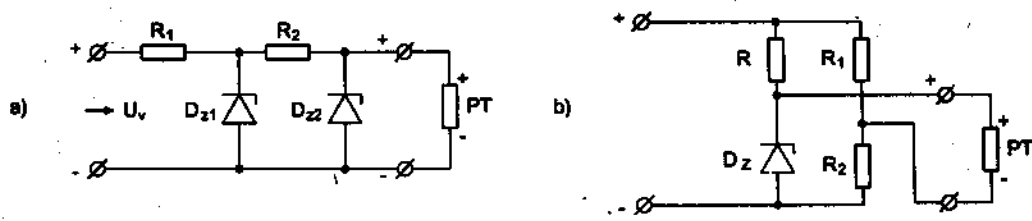
Để nâng cao mức chính xác của độ ổn định điện áp ra, có thể sử dụng mạch ổn áp nhiều tầng (thường là 2 tầng) hoặc sơ đồ cầu (hình 7.43).

Hình 7.43 là mạch ổn áp 2 tầng. Điều kiện để mạch làm việc là $U_{Z1} > U_{Z2}$. Hệ số ổn định điện áp của mạch là tích 2 hệ số ổn áp của 2 tầng :

$$k_0 = k_{01} \cdot k_{02} \quad (7.26)$$

Điện áp ra của ổn áp có thể kém ổn định do điện áp vào biến động. Hạn chế điều này có thể dùng sơ đồ cầu (hình 7.43b) là một kiểu mạch ổn áp thông số một tầng. Điện áp ra là hiệu điện áp :

$$U_r = U_Z - U_{R2} \approx \text{in var}$$



Hình 7.43. Mạch ổn áp 2 tầng (a) và mạch ổn áp cầu (b)

Hai điện trở R_1 , R_2 tạo thành bộ chia áp. Sự thay đổi điện áp trên tải khi điện áp nguồn vào biến động sẽ được bù trừ bởi sụt áp trên R_2 .

Nếu chọn $\frac{I_z}{R} \approx \frac{R_2}{R_1}$ thì hệ số ổn định sẽ rất lớn nhưng khi đó hiệu suất của sơ đồ thấp. Ngoài ra, tính ổn định của sơ đồ sẽ giảm nhiều do sự phụ thuộc phi tuyến của r_z vào dòng I_z . Do vậy, việc sử dụng sơ đồ cầu có bị hạn chế.

7.7.1.2. Ổn áp thông số dùng tranzito

Công suất ra lớn nhất của các sơ đồ ổn áp dùng diốt Zener phụ thuộc vào giá trị dòng I_{Zmax} và P_{Zmax} của diốt. Tăng công suất các bộ ổn áp thông số nhờ sử dụng tranzito.

Hình 7.44a là mạch lặp emitter với phụ tải mắc song song với tranzito. Điện áp ra trên tải là :

$$U_r = U_Z + U_{BE} \approx U_Z \text{ (khi } U_Z \gg U_{BE} \text{)} \quad (7.27)$$

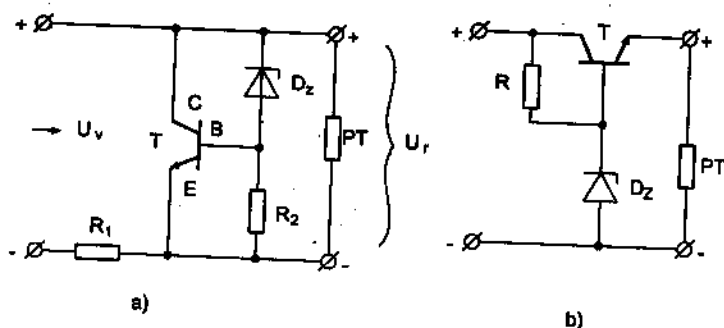
Do nguyên nhân nào đó, điện áp ra tải U_r tăng sẽ dẫn đến U_{BE} tăng (theo 7.27). Tranzito làm việc ở chế độ khuếch đại nên I_c tăng và sụt áp trên R_1 tăng, bù lại sự tăng của U_r .

Hình 7.44b cũng là mạch lặp emitter nhưng với phụ tải mắc nối tiếp với tranzito. Điện áp ra trên tải là :

$$U_r = U_Z - U_{BE} \approx U_Z \text{ (khi } U_Z \gg U_{BE} \text{)} \quad (7.28)$$

Do nguyên nhân nào đó, điện áp ra trên tải U_r tăng sẽ dẫn đến U_{EB} giảm (theo 7.28). Tranzito thông ít hơn làm điện áp U_{CE} tăng và điện áp ra U_r được giữ không đổi.

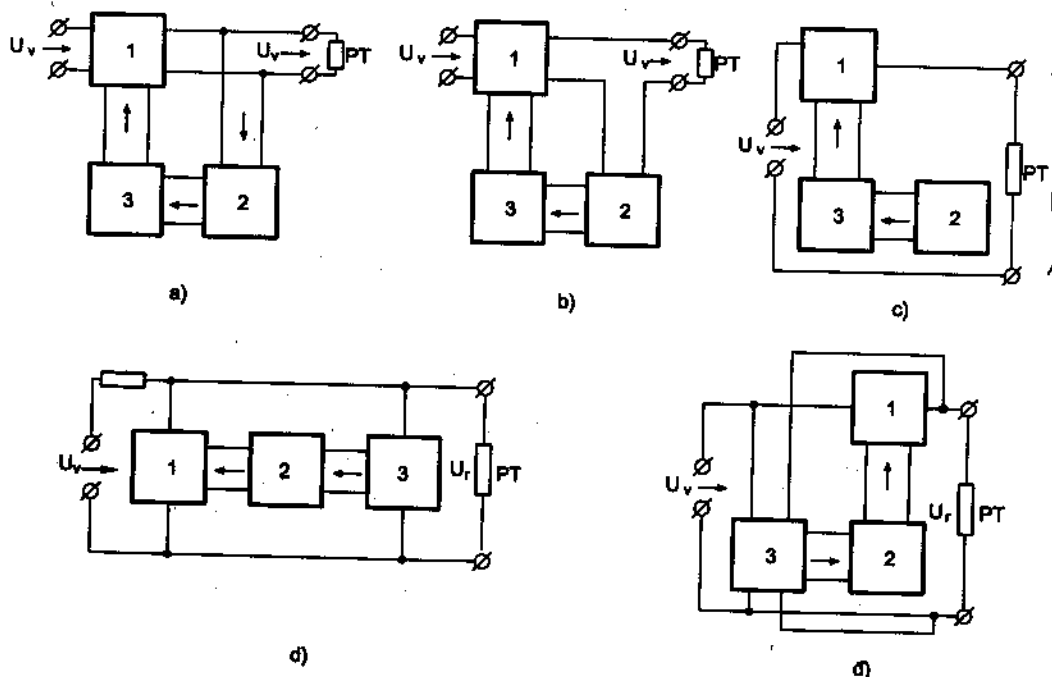
Sơ đồ hình 7.44b được dùng nhiều do hiệu suất cao, sử dụng tranzito công suất nhỏ và có độ ổn định cao khi dòng tải biến động. Sơ đồ hình 7.44a được dùng khi cần dòng tải lớn và khi điện áp nguồn dao động mạnh.



Hình 7.44 : Mạch ổn áp dùng tranzito : a) Tải mắc song song với tranzito; b) Tải mắc nối tiếp với tranzito

7.7.2. Ổn áp kiểu bù

Ổn áp bù là một hệ kín điều chỉnh tự động để duy trì điện áp ra không đổi khi có tác động của các yếu tố nhiễu khác nhau tác động vào như điện áp nguồn, dòng điện phụ tải, nhiệt độ môi trường... nhờ vào sự thay đổi sụt áp trên phần tử điều chỉnh.



Hình 7.45 : Sơ đồ cấu trúc ổn áp kiểu bù : a) Ổn áp ; b) Ổn dòng ; c) Ổn áp với phần tử điều chỉnh nối tiếp ; d) Ổn áp với phần tử điều chỉnh song song ; d) Ổn áp điều chỉnh từ đầu vào và từ đầu ra : 1) Phần tử điều chỉnh ; 2) Phần tử đo ; 3) Phần tử khuếch đại

Phần tử điều chỉnh thường là tranzito làm việc ở chế độ khuếch đại. Điện áp ra (hay một phần điện áp ra) được so sánh với một điện áp tựa. Sai lệch điện áp sẽ được khuếch đại và được dùng để điều khiển phần tử điều chỉnh (tranzito) nhằm giảm nhỏ hay triệt tiêu sai lệch.

Nguyên lí làm việc của sơ đồ cấu trúc hình 7.45a như sau : Giả sử điện áp U_i tăng lên. Phần tử đo 2 sẽ cảm nhận điện áp U_i hay một phần U_i và so sánh với một điện áp mẫu $U_{mẫu}$ (nguồn áp mẫu được đặt trong phần tử đo) để tạo ra điện áp sai lệch :

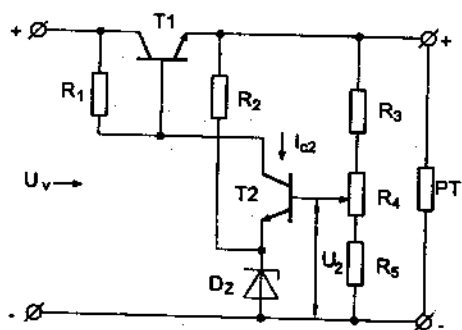
$$\Delta U = U_i - U_{mẫu}$$

Sau khi khuếch đại ΔU ở phần tử khuếch đại 3, điện áp này sẽ dùng để điều khiển để làm thay đổi chế độ làm việc của phần tử điều chỉnh 1, giữ ổn định U_r .

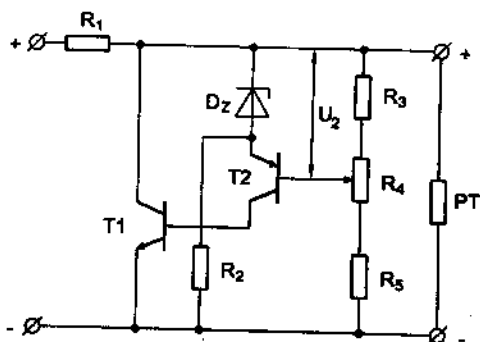
Nguyên lí làm việc của các sơ đồ khác cũng tương tự. Bạn đọc dễ dàng nhận xét và tự giải thích.

Tùy theo phần tử điều chỉnh (tranzito) mắc nối tiếp hay song song với tải mà có ổn áp bù kiểu nối tiếp hay song song.

Hình 7.46a là mạch ổn áp bù kiểu nối tiếp. Giả sử, nhiều là do sự tăng của điện áp vào (điện áp nguồn) và làm điện áp ra (điện áp trên phụ tải PT) tăng. Từ đó, điện áp U_2 tăng (điện áp trên R_3 và một phần R_4). Tín hiệu sai lệch $U_2 - U_Z = U_{BE2}$ tác dụng vào đầu vào tranzito T_2 gây nên sự tăng dòng colectơ I_{C2} . Sụt áp trên R_1 tăng và thế bazơ của T_1 giảm. Tranzito T_1 làm việc ở chế độ khuếch đại nên sụt áp trên T_1 tăng, làm giảm điện áp trên tải.



a)



b)

Hình 7.46 : Ổn áp bù kiểu nối tiếp (a) và song song (b)

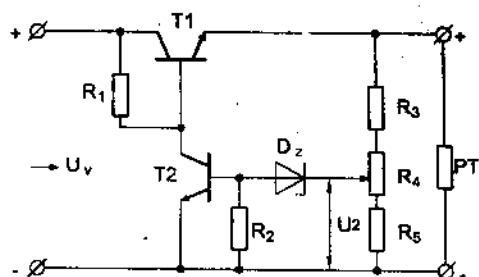
Chiết áp R_4 dùng để điều chỉnh U_2 (mạch lấy mẫu), cũng là chỉnh điện áp ra cần ổn định.

Vị trí D_Z ở hình 7.46a có thể thay như hình 7.47. Nếu U_i tăng thì U_2 tăng và làm tăng theo :

$$U_{BE2} = U_2 - U_Z$$

nên dòng qua T_2 tăng. Kết quả dòng I_B của T_1 giảm và dòng qua tải giảm. Điện áp ra được duy trì ổn định.

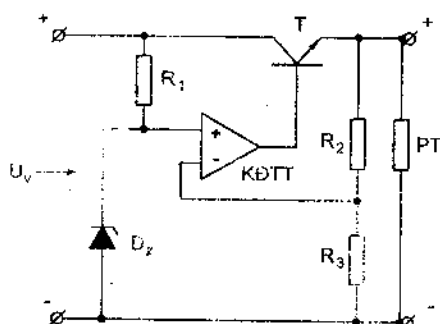
Hình 7.46b là mạch ổn áp bù kiểu song song. Ở sơ đồ này, U_1 tăng sẽ làm U_2 tăng, U_{ER2} tăng, dòng I_{C2} tăng, dòng I_{C1} tăng. Kết quả, sụt áp trên R_1 tăng và U_1 được bù bớt sự tăng áp để giữ ổn định.



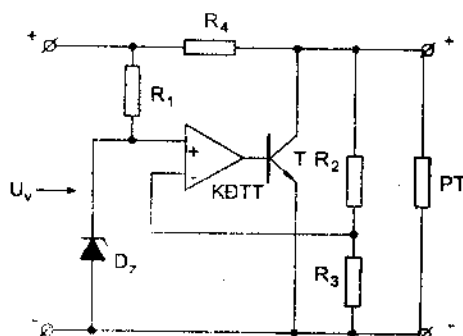
Hình 7.47: Ổn áp bù kiểu nối tiếp

7.7.3. Ổn áp dùng khuếch đại thuật toán

Các mạch ổn áp nối tiếp và song song có thể sử dụng IC khuếch đại thuật toán (xem mục 5.9) như trên hình 7.48.



a)



b)

Hình 7.48 : Mạch ổn áp dùng khuếch đại thuật toán : a) Mạch nối tiếp ; b) Mạch song song

Trên hình 7.48a là mạch ổn áp nối tiếp dùng khuếch đại thuật toán. Khuếch đại thuật toán như phần tử so sánh điện áp ra lấy một phần trên bộ phân áp $R_2 - R_3$ với điện áp ngưỡng của diốt Zener D_Z . Sai khác điện áp được khuếch đại qua khuếch đại thuật toán và điện áp đầu ra của khuếch đại thuật toán được đặt vào bazơ của tranzito T để điều chỉnh lại điện áp ra, giữ U_1 không đổi.

$$U_1 = U_Z \left(1 + \frac{R_2}{R_3} \right) \quad (7.29)$$

Trên hình 7.48b là mạch ổn áp song song dùng khuếch đại thuật toán. Nhiệm vụ của khuếch đại thuật toán tương tự mạch ổn áp nối tiếp nhưng điện áp ra của khuếch đại thuật toán dùng để điều chỉnh mức độ thông của tranzito T mắc song song với phụ tải PT và dòng qua R_4 sẽ gây sụt áp trên R_4 để điều chỉnh ổn định điện áp ra.

7.7.4. Ổn áp dùng IC ổn áp

IC ổn áp có nhiều loại, kiểu và được nhiều hãng ở các nước khác nhau sản xuất. Dưới đây xét một vài IC ổn áp thường dùng.

7.7.4.1. Vi mạch họ 78..

Vi mạch họ 78.. là các vi mạch có điện áp đầu ra cố định và dễ lắp đặt, rất thuận tiện cho các bộ nguồn cung cấp cho các bản mạch (hình 7.49). Chúng có thể ghép thêm tản nhiệt. Hai số sau 78 chỉ rõ điện áp ổn định.

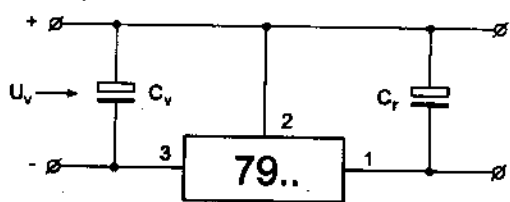
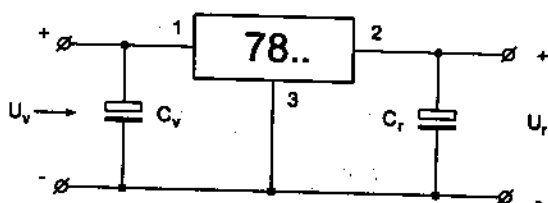
Ví dụ : 7805 là ổn áp 5V, 7812 là ổn áp 12V...

Cách mắc vi mạch họ 78.. như trên hình 7.50. Tụ đầu vào thường có điện dung $C_v = 470\mu\text{F} + 2000\mu\text{F}$. Tụ đầu ra thường có điện dung $C_r = 5\mu\text{F} + 100\mu\text{F}$. Để đảm bảo điện áp ra ổn định, điện áp vào thường phải đảm bảo $U_v = (1,2 + 1,8)U_r$.

Hình 7.49 : Vi mạch họ 78..

7.7.4.2. Vi mạch họ 79..

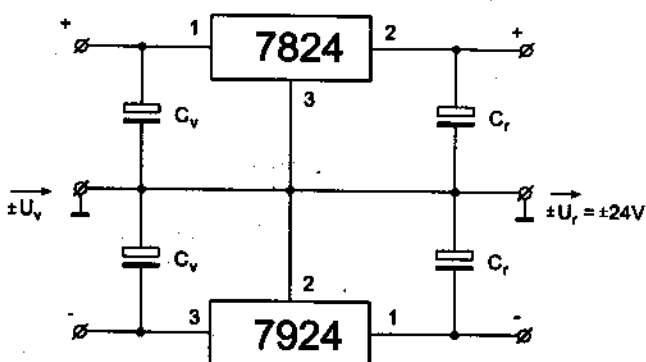
Vi mạch họ 79.. cũng có dạng như trên hình 7.49, nhưng có chức năng theo các số của chân hơi khác. Vi mạch họ 79.. dùng cho nguồn âm. Bạn đọc có thể so sánh sơ đồ hình 7.51 với sơ đồ hình 7.50.



Hình 7.50: Mạch ổn áp dùng vi mạch họ 78.. Hình 7.51: Mạch ổn áp dùng vi mạch họ 79..

Với nguồn 2 cực tính, sử dụng 2 vi mạch họ 78.. và 79.., với cùng một trị số ổn áp. Chẳng hạn, để ổn áp nguồn 24V hai cực tính, dùng sơ đồ như trên hình 7.52.

Trong thực tế, còn có rất nhiều vi mạch ổn áp khác nhau, khi sử dụng chúng cần dựa vào sổ tay tra cứu.



Hình 7.52 : Mạch ổn áp 24V hai cực tính.

CÂU HỎI CHƯƠNG 7

1. Vai trò, công dụng của các bộ nguồn. Các bộ nguồn được phân loại như thế nào?
2. Thế nào là nguồn áp? Nguồn dòng? Chúng khác nhau thế nào ?
3. Khoá điện tử là gì? Nêu các khoá điện tử đã học.
4. Có những loại bộ nguồn một chiều nào?
5. Nêu nguyên lí làm việc của một số bộ biến đổi một chiều - một chiều đã học.
6. Nêu nguyên lí làm việc của một số bộ biến đổi nguồn áp 1 pha và 3 pha đã học.
7. Nêu nguyên lí làm việc của một số bộ biến đổi nguồn dòng 1 pha và 3 pha đã học.
8. Nêu nguyên lí làm việc của mạch chỉnh lưu bội áp.
9. Vai trò của các bộ lọc là gì ? Nêu nguyên lí làm việc của một số bộ lọc đã học.
10. Vai trò của các bộ ổn áp ? Có mấy loại ổn áp ? Nêu nguyên lí làm việc của một số bộ ổn áp đã học.

Chương 8

CÁC BỘ CẢM BIẾN

Trong các hệ thống điều khiển tự động, tự động hoá quá trình sản xuất công nghiệp cũng như trong các hệ thống thông tin đo lường, bộ cảm biến (sensor) làm nhiệm vụ cảm nhận thông tin, xác định đối tượng, vị trí đối tượng, các thông số của đối tượng và biến đổi các thông tin cảm nhận được đó thành đại lượng điện.

Các bộ cảm biến có thể trực tiếp hoặc không trực tiếp tiếp xúc với đối tượng cần cảm nhận. Các bộ cảm biến không tiếp xúc ngày càng được ứng dụng rộng rãi để thay thế cho các cảm biến tiếp xúc.

Tuỳ theo nhiệm vụ của cảm biến có : cảm biến vị trí, cảm biến nhiệt độ, cảm biến mức...

8.1. CẢM BIẾN VỊ TRÍ

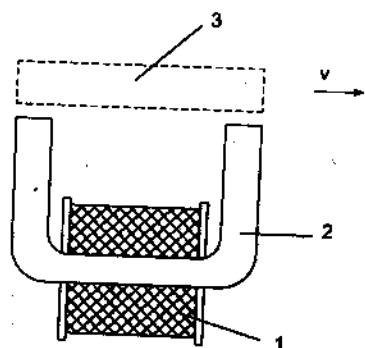
Cảm biến vị trí được chế tạo theo nhiều kiểu : điện từ (hay cảm ứng), quang điện (hay quang học), điện dung, siêu âm...

8.1.1. Cảm biến vị trí kiểu cảm ứng

Cảm biến vị trí kiểu cảm ứng (hay cảm biến lân cận kiểu cảm ứng) là một mạch từ hở (hình 8.1) có cuộn dây xoay chiều 1. Khi cuộn dây được cấp điện, từ trường của nó sẽ khép kín trong lõi sắt 2 và phần không khí phía trên. Vì mạch từ hở nên từ trở rất lớn, độ tự cảm (L) nhỏ và điện kháng ($X_L = \omega L = 2\pi fL$) nhỏ nên dòng điện qua cuộn dây lớn.

Khi miếng sắt 3 gần với vật chuyển động lướt qua mạch từ, mạch từ được khép kín. Lúc đó, từ trở giảm và từ thông tăng mạnh, điện kháng cuộn dây tăng và dòng điện qua cuộn dây giảm.

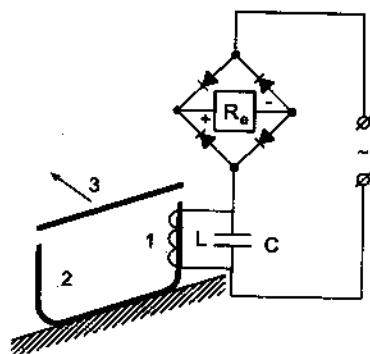
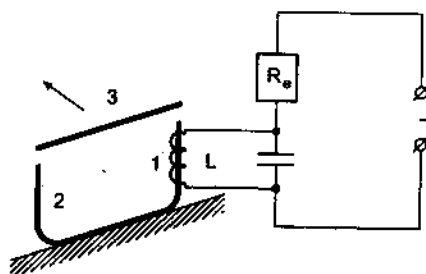
Từ đó, nếu mắc nối tiếp với cuộn dây một role thì khi không có miếng sắt 3, role sẽ hút (do dòng điện lớn). Khi có miếng sắt 3 (có vật chuyển động qua) thì role sẽ nhả. Các tiếp điểm của role dùng điều khiển các mạch cần thiết.



Hình 8.1 : Cảm biến vị trí kiểu cảm ứng

Để nâng cao độ tin cậy cho tác động của rơle, cuộn dây 2 được mắc song song với một tụ điện C sao cho mạch LC (hình 8.2) tạo ra cộng hưởng dòng điện khi miếng sắt 3 khép kín mạch từ 2.

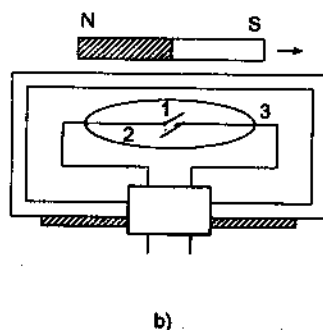
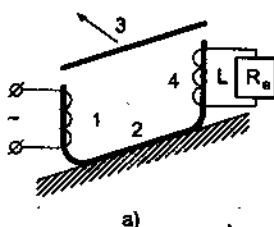
Nếu rơle sử dụng là loại một chiều thì nó được mắc với cảm biến qua một cầu diốt (hình 8.3).



Hình 8.2 : Cảm biến vị trí không tiếp điểm kiểu cảm ứng cộng hưởng dòng

Hình 8.3 : Cảm biến vị trí không tiếp điểm với rơle một chiều

Hình 8.4a trình bày một cảm biến vị trí cảm ứng dạng khác. Bình thường, mạch từ hở, từ thông móc vòng từ cuộn dây 1 qua cuộn dây 4 yếu và sức điện động cảm ứng trong cuộn dây 4 nhỏ, rơle không tác động. Khi có miếng sắt động lướt qua, khép kín mạch từ, từ thông tăng mạnh và do đó sức điện động cảm ứng ở cuộn 4 lớn. Rơle tác động.



Hình 8.4. Hai loại cảm biến vị trí kiểu cảm ứng : a) Loại mạch từ hở ; b) Loại dùng rơle lưỡi gà

Cảm biến vị trí kiểu điện từ chỉ có tác dụng đối với các vật liệu sắt từ.

Hình 8.4b là cảm biến dùng rơle lưỡi gà (rơle reed hay contactron) có kích thước rất nhỏ, tần số thao tác lớn. Hai tiếp điểm bằng platin 1 gắn ở đầu hai thanh dẫn bằng thép lò xo 2 kiểu "lưỡi gà" đặt trong ống thủy tinh 3 đã hút hết không khí hoặc chứa một lượng nhỏ khí trơ để dập tắt hồ quang. Khi có thanh

nam châm NS lướt qua, từ trường nam châm làm 2 thanh dẫn nhiễm từ, các tiếp điểm 1 hút nhau và nối kín mạch. Khi không có nam châm NS, lực đàn hồi của hai thanh dẫn 2 sẽ mở tiếp điểm.

Do khoảng cách 2 tiếp điểm nhỏ nên thời gian tác động nhanh (0,4 + 2,0)ms và tần số thao tác lớn (400 ÷ 2000) lần/s.

8.1.2. Cảm biến vị trí kiểu quang học

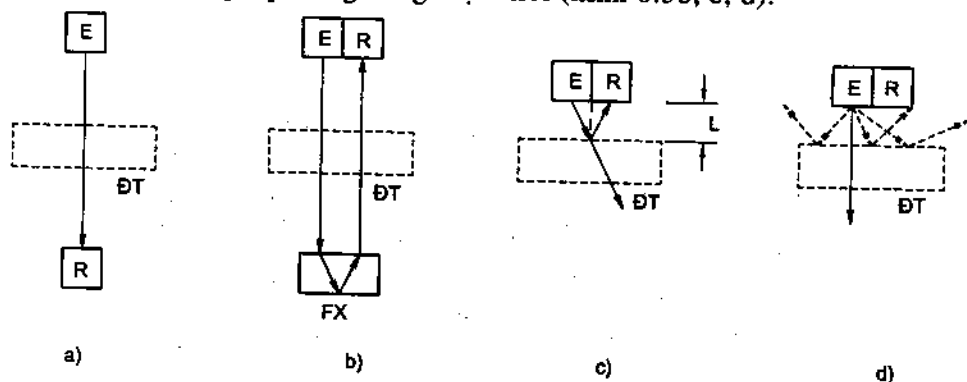
Cảm biến vị trí kiểu quang học hay cảm biến lân cận kiểu quang học bao gồm 2 phần :

- Nguồn phát sáng E (hay bộ phát) ;
- Bộ nhận sáng R.

Bộ phát sẽ phát ra ánh sáng hướng tới bộ nhận. Phần tử chủ yếu của bộ phát là một bóng đèn nhỏ hay một LED. Ánh sáng phát ra có thể là ánh sáng trông thấy hay ánh sáng hồng ngoại không trông thấy. Ánh sáng thường được tập trung và định hướng qua một hệ thấu kính hay ở ngay đầu LED rồi hướng tới bộ nhận.

Phần tử chủ yếu của bộ nhận là điốt quang, điện trở quang, tranzito quang hoặc thyristo quang... Khi các phần tử này bị ánh sáng chiếu vào, điện trở của chúng thay đổi hoặc chúng làm thông mạch và từ đó tác động vào mạch điều khiển.

Bộ phát E và bộ nhận R trong cảm biến quang học có thể tách rời nhau (hình 8.5a) hoặc ghép trong cùng một khối (hình 8.5b, c, d).



Hình 8.5 : Các cách bố trí bộ phát E và bộ nhận R

Có 4 cách bố trí bộ phát và bộ nhận thường dùng :

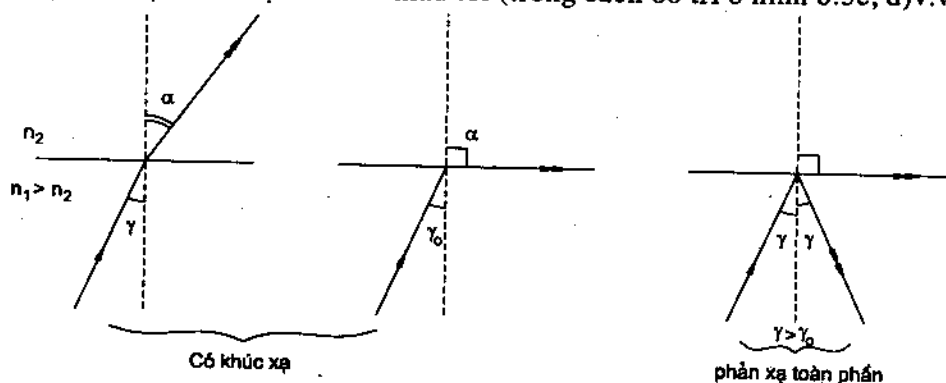
- Kiểu bố trí ánh sáng xuyên (hình 8.5a) : bộ nhận luôn nhận được ánh sáng. Khi đối tượng cần nhận biết lướt qua, ánh sáng sẽ bị chặn và lượng ánh sáng tới bộ nhận bị thay đổi sẽ làm bộ nhận phản ứng và tác động vào mạch.

- Kiểu bố trí ánh sáng phản xạ ngược (hình 8.5b) : cách làm việc tương tự kiểu ánh sáng xuyên.

- Kiểu bố trí ánh sáng phản xạ (hình 8.5c) : bình thường, bộ nhận không nhận được ánh sáng. Khi có đối tượng cần nhận biết, ánh sáng bị phản xạ từ đối tượng và bộ nhận nhận được ánh sáng và mạch bị thay đổi trạng thái.

- Kiểu bố trí ánh sáng phản xạ khuếch tán (hình 8.5d) : bộ nhận sẽ tác động khi có ánh sáng phản xạ khuếch tán từ đối tượng cần nhận biết hắt lại.

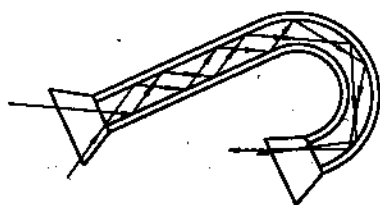
Các cảm biến quang học được sử dụng phổ biến trong các công tắc quang học vì chúng có thể phát hiện được cả các vật thể phi kim loại mà không cần tiếp xúc với vật, có tuổi thọ cao, không rung động và tác động nhanh. Nhược điểm của cảm biến loại này là độ chính xác của tác động sẽ bị hạn chế khi môi trường làm việc gây ra ảnh hưởng tới luồng ánh sáng như bụi, khói... hoặc khi vật cần nhận biết là trong suốt đối với ánh sáng (trong cách bố trí ở hình 8.5a, b) hoặc khi vật cần nhận biết có màu tối (trong cách bố trí ở hình 8.5c, d) v.v...



Hình 8.6 : Hiện tượng phản xạ toàn phần

Gần đây, trong kĩ thuật đã sử dụng nhiều cảm biến quang học có sợi quang. Sợi quang ứng dụng hiện tượng phản xạ toàn phần khi ánh sáng được chiếu từ môi trường trong suốt có hệ số chiết quang n_1 lớn (như nước, thủy tinh, chất dẻo trong suốt) qua mặt phân cách sang một môi trường trong suốt khác có chiết suất n_2 nhỏ hơn (như không khí). Hiện tượng phản xạ toàn phần xảy ra khi góc tới γ (hình 8.6) lớn hơn góc phản xạ toàn phần γ_0 .

Sợi quang thông thường có dạng trụ với lõi bằng vật liệu thạch anh hoặc thủy tinh đa thành phần hoặc bằng nhựa tổng hợp trong suốt với chiết suất lớn hơn nhiều so với không khí. Bên ngoài lõi là một màng vỏ làm bằng chất có chiết suất nhỏ hơn. Như trên hình 8.7, ánh sáng đi vào sợi quang qua mặt đầu của sợi và



Hình 8.7 : Truyền ánh sáng trong sợi quang

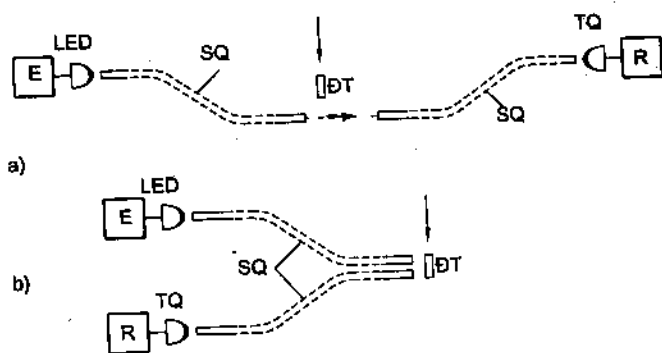
phản xạ toàn phần liên tục giữa mặt phân cách lõi và màng vỏ rồi ra ngoài ở mặt đầu kia của sợi.

Những tia sáng không phản xạ toàn phần được thì xuyên ra ngoài sợi quang và gây ra tổn hao năng lượng ánh sáng truyền.

Các sợi quang được chế tạo để sợi có bị uốn thì phần lớn ánh sáng vẫn truyền được dọc theo sợi.

Hình 8.8 là sơ đồ lắp cảm biến quang học dạng sợi quang. Trên đó : SQ : sợi quang, ĐT : đối tượng, TQ : tranzito quang.

Đường kính sợi quang cỡ 1mm. Ưu điểm của loại này là có thể cảm nhận được những vật có kích thước nhỏ tới 1mm. Cảm biến chịu tốt các rung động, va đập vì đầu sợi quang không có mạch điện, thiết bị nào cả. Do sợi quang có đường kính nhỏ nên có thể luồn lách và đặt ở những nơi rất hẹp.



Hình 8.8. Cảm biến quang học dùng sợi quang kiểu ánh sáng xuyên (a) và ánh sáng phản xạ (b).

8.2. CẢM BIẾN NHIỆT ĐỘ

Cảm biến nhiệt độ dựa vào hiện tượng các phân tử tham gia cảm biến có điện trở thay đổi hay xuất hiện sức điện động khác nhau khi nhiệt độ của chúng thay đổi.

8.2.1. Cảm biến nhiệt điện trở

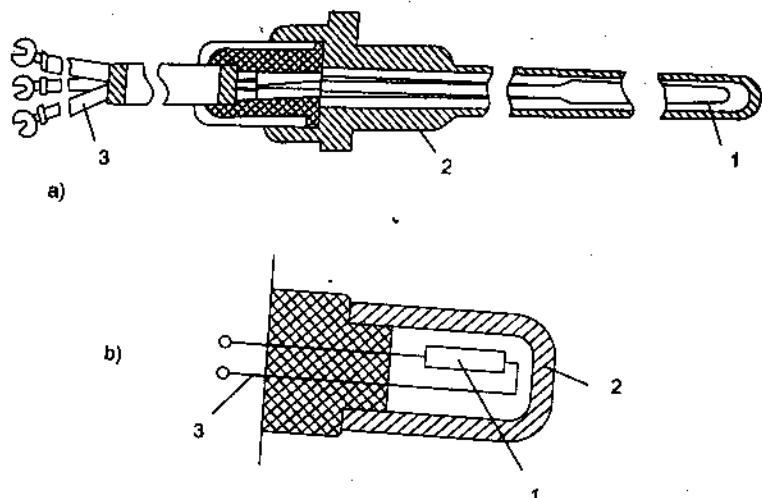
Cảm biến nhiệt điện trở là cảm biến mà khi nhiệt độ thay đổi thì điện trở của nó thay đổi theo một quy luật (đã biết).

Cảm biến nhiệt điện trở có thể được chế tạo từ kim loại (thường là Pt, Ni, Cu) hay từ chất bán dẫn (MgO , Mn_2O_3 , $MgAl_2O_4$, $NiO...$).

Hệ số nhiệt độ của cảm biến nhiệt điện trở có thể dương (khi nhiệt độ tăng thì điện trở tăng) hoặc âm (khi nhiệt độ tăng thì điện trở giảm).

Cảm biến nhiệt điện trở bán dẫn có độ nhạy nhiệt cao, gấp hàng chục lần nhiệt điện trở kim loại.

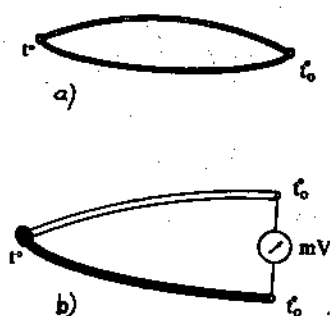
Dải nhiệt độ cảm biến của các loại cảm biến nhiệt độ rộng (từ $-200^{\circ}C$ + $+300^{\circ}C$). Với cảm biến nhiệt điện trở kim loại Pt có thể lên tới $1000^{\circ}C$. Hình 8.9 là kết cấu một số loại cảm biến nhiệt điện trở.



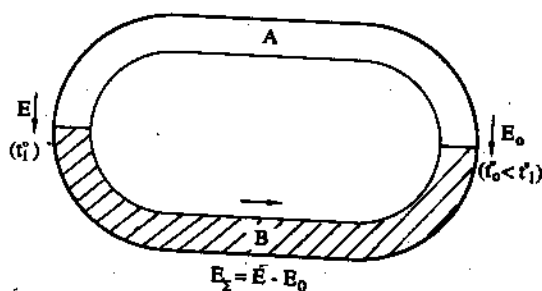
Hình 8.9 : Cảm biến nhiệt điện trở kim loại (a) và bán dẫn (b) : 1- Nhiệt điện trở ; 2 - Vỏ bảo vệ ; 3 - Dây nối

8.2.2. Cảm biến nhiệt ngẫu

Cặp nhiệt ngẫu hay cặp nhiệt điện là 2 thanh (dây) kim loại khác nhau được hàn lại với nhau như trên hình 8.10a. Khi nhiệt độ 2 mối hàn giống nhau thì mạch tạo bởi 2 thanh kim loại không có dòng điện. Khi nhiệt độ 2 mối hàn khác nhau thì mạch có dòng điện, gọi là dòng nhiệt điện. Nguyên nhân là ở mối hàn 2 kim loại có sự khuếch tán điện tử từ kim loại có mật độ điện tử lớn sang kim loại có mật độ điện tử nhỏ và làm xuất hiện một hiệu điện thế tiếp xúc. Hiệu điện thế tiếp xúc này phụ thuộc vào bản chất 2 kim loại và vào nhiệt độ chỗ tiếp xúc. Nhiệt độ càng cao, hiệu điện thế tiếp xúc càng lớn. Khi nhiệt độ 2 mối hàn khác nhau thì các hiệu điện thế tiếp xúc khác nhau và trong toàn mạch kín sẽ có tổng các hiệu điện thế tiếp xúc khác không và hình thành dòng điện trong mạch kín (hình 8.11).



Hình 8.10 : Nguyên lý cấu tạo cặp nhiệt ngẫu (a) và mạch nguyên lý đo s.đ.đ (b)



Hình 8.11 : Sự xuất hiện dòng điện khi nhiệt độ 2 mối hàn khác nhau

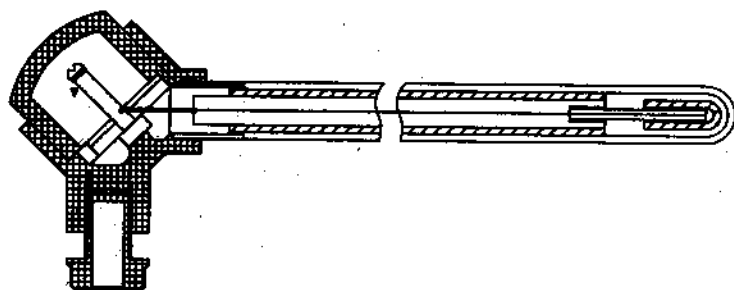
Sức điện động tổng trong mạch có thể đo bằng milivôn kế như hình 8.10b. Nếu giữ nhiệt độ t_0^0 không đổi và t^0 là nhiệt độ môi trường cần xác định thì :

$$E = At^0 - At_0^0 = At^0 - B = C(t^0) \quad (8.1)$$

trong đó : A, B, C là các hằng số.

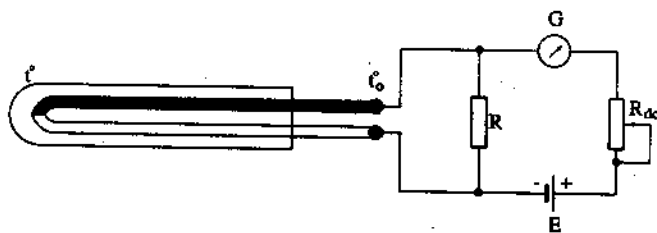
Vậy, khi biết sức điện động E (bằng milivôn kế) và nhiệt độ t_0^0 , có thể xác định được t^0 . Đây là nguyên lí của cảm biến nhiệt ngẫu thường được ứng dụng để xác định nhiệt độ đối tượng.

Thực tế, cặp nhiệt điện (nhiệt ngẫu) bán dẫn thường được sử dụng nhiều hơn vì sức nhiệt điện động lớn hơn của kim loại. Để có sức nhiệt điện động lớn, người ta thường ghép nối tiếp nhiều cặp nhiệt điện lại thành bộ. Cặp nhiệt điện được lồng vào ống sứ cách điện và bảo vệ bởi vỏ thép không gỉ, chịu nhiệt độ cao. Đầu dây nối ra mạch ngoài được nối vào hộp dây nối (hình 8.12).



Hình 8.12 : Cấu tạo cặp nhiệt điện

Nhiệt độ đầu tự do t_0^0 được duy trì ổn định ở 0^0C (nước đá đang tan). Thực tế, nhiệt độ t_0^0 là nhiệt độ môi trường nên để khử sai số của cảm biến nhiệt độ, người ta dùng phương pháp bù. Hình 8.13 là một phương pháp bù thường dùng. Điện áp nhiệt điện cần đo (tỉ lệ với nhiệt độ đo) được mắc xung đối với một điện áp trên R cấp từ nguồn E sao cho điện kế G chỉ 0. Độ chính xác phép đo phụ thuộc độ chính xác của điện trở R và độ ổn định nguồn E.



Hình 8.13 : Xác định nhiệt độ bằng phương pháp bù

8.3. CẢM BIẾN ÁP SUẤT VÀ LỰC

Cảm biến áp suất và lực được sử dụng rất phổ biến trong đo lường và trong các hệ thống kiểm soát tự động. Cảm biến áp suất và lực có nhiều kiểu, loại khác nhau.

8.3.1. Cảm biến áp suất thủy tĩnh

Tại một độ sâu h trong chất lỏng hay chất khí, áp suất thủy tĩnh được xác định bởi hệ thức :

$$p_0 = \rho gh \quad \left[\text{N/m}^2 \right] \quad (8.2)$$

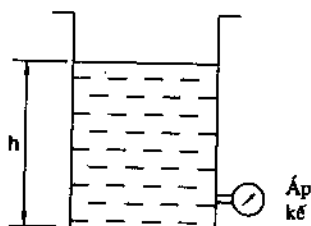
trong đó : ρ - Khối lượng riêng của chất lỏng (hay khí), kg/m^3 ;

g - Gia tốc rơi tự do ($g = 9,81 \text{m/s}^2$) ;

h - Độ sâu, m.

Từ (8.2), có thể xác định được chiều cao h của cột chất lỏng (do mức) khi biết áp suất (tĩnh) tại độ sâu h (hình 8.14). Đo áp suất nhờ áp kế.

$$h = \frac{p_0}{\rho g} \quad (8.3)$$



Hình 8.14: Đo mức bằng áp kế.

Chú ý rằng, ngoài áp suất do chiều cao của cột chất lỏng còn có áp suất của không khí tác dụng lên bề mặt (mặt thoáng) chất lỏng. Đây là nguyên nhân gây ra sai số khi đo.

8.3.2. Cảm biến áp suất trong chất lỏng chuyển động

Khi chất lỏng chuyển động nó tạo ra áp suất p_i theo hướng chuyển động gây bởi động năng của dòng chất lỏng :

$$p_i = \frac{1}{2} \rho v^2 \quad (8.4)$$

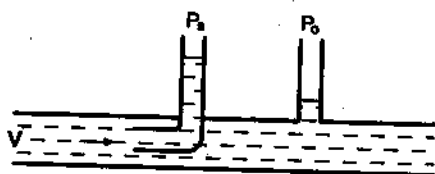
trong đó : v - tốc độ chất lỏng, m/s.

Theo định lí Bec - nu - li, áp suất tổng hợp p_s là :

$$p_s = p_i + p_0 \quad (8.5)$$

Từ đó, nếu đo được các áp suất (theo cột chất lỏng) thì có thể xác định được tốc độ dòng chảy của chất lỏng :

$$v = \sqrt{\frac{2(p_s - p_0)}{\rho}} \quad (8.6)$$

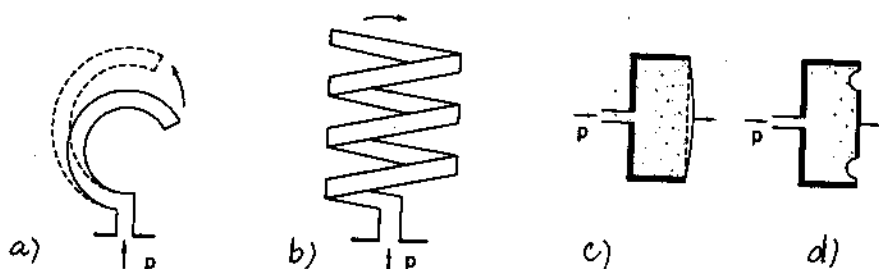


Hình 8.15: Ống Pitot đo tốc độ dòng chảy

Dụng cụ đo tốc độ dòng chảy theo (8.6) gọi là ống Pitot (hình 8.15).

8.3.3. Cấu tạo các cảm biến áp suất

Dưới tác dụng của áp suất, một vật có thể bị biến dạng hoặc chuyển động. Để cảm nhận áp suất, người ta thường dùng các cảm biến như ống, tấm. Hình 8.16 biểu thị một số cảm biến áp suất cơ bản thường được sử dụng. Hình 8.16a là ống Bức-dông (Bourdon) kim loại hình chữ C. Khi áp suất khí trong ống tăng lên thì đầu tự do chữ C duỗi ra. Hình 8.16b là ống Bức-dông lò xo. Khi áp suất khí trong ống lò xo tăng lên thì đầu tự do của lò xo xoay chuyển một góc. Hình 8.16c là cảm biến áp suất loại màng. Màng sẽ căng phồng ra khi áp suất khí trong buồng tăng lên. Hình 8.16d là cảm biến áp suất dùng màng nhân (lược sóng).



Hình 8.16 : Các cảm biến áp suất : a, b) Ống Bức-dông ; c, d) Màng

8.4. CẢM BIẾN LỰC

Cảm biến lực dạng cơ - điện là các phần tử mà dưới tác dụng của lực ngoài sẽ thay đổi tính chất điện của chúng.

8.4.1. Cảm biến điện trở ten - xơ (điện trở lực căng)

Đây là loại cảm biến mà dưới tác dụng của lực gây biến dạng thì điện trở của nó bị thay đổi.

Vật liệu làm cảm biến điện trở ten - xơ là một số kim loại, hợp kim (thường là constantan, ni - crôm...) hoặc bán dẫn (như Silic đơn tinh thể pha tạp chất...).

Sự thay đổi điện trở ΔR theo sự biến dạng (thay đổi kích thước Δl) được tính theo biểu thức :

$$\Delta R = kR \frac{\Delta l}{l} \quad (8.7)$$

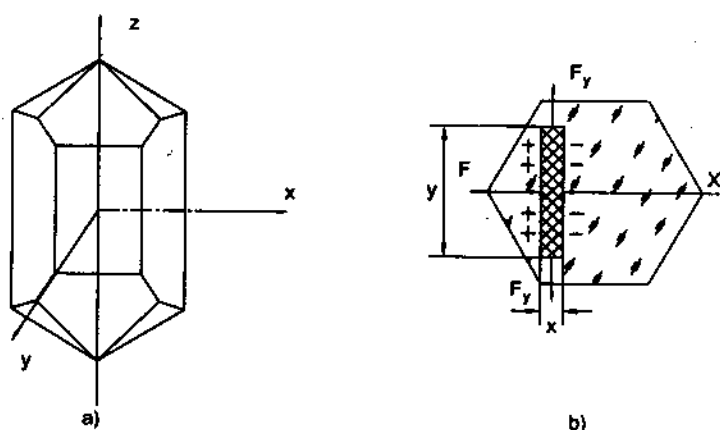
trong đó : k - Hệ số phụ thuộc vật liệu và biến dạng.

Vật liệu bán dẫn có hệ số k lớn hơn nhiều của kim loại. Dưới tác dụng của lực (ngoài) điện trở ten - xơ bị biến dạng và điện trở của nó thay đổi, từ đó làm thay đổi mạch mà nó tham gia vào.

8.4.2. Cảm biến áp điện

Cảm biến áp điện dựa vào hiệu ứng áp điện có ở một số vật liệu như thạch anh, muối Sê-nhét... Đó là hiện tượng xuất hiện các điện tích trái dấu trên bề mặt đối diện của vật liệu khi chịu tác động của lực (biến thiên). Điện tích biến mất khi lực ngừng tác động.

Cảm biến áp điện phổ biến là phiến thạch anh được cắt ra từ tinh thể thạch anh (hình 8.17) theo một góc độ nhất định.



Hình 8.17 : Tinh thể thạch anh (a) và phần tử cảm biến áp điện được cắt ra (b)

Khi chịu lực nén theo trục X, điện tích xuất hiện như hình vẽ 8.17b. Khi chịu lực nén theo trục Y, điện tích xuất hiện sẽ trái dấu. Khi chịu lực kéo, điện tích xuất hiện ngược dấu so với khi nén.

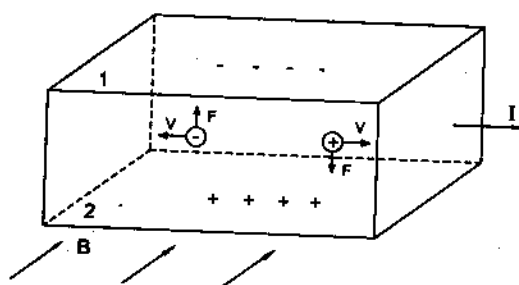
Các điện tích trái dấu xuất hiện ở hai phía đối diện tạo ra một điện áp tỉ lệ với lực tác dụng và được khuếch đại để hiển thị hoặc xử lý trong các hệ điều khiển tự động.

8.5. CẢM BIẾN LƯU LƯỢNG

Cảm biến lưu lượng biến tín hiệu tốc độ dòng chảy thành một tín hiệu điện. Từ đó, thông qua tín hiệu điện để xác định lưu lượng (là thể tích chất lỏng hay khối lượng chất lỏng chảy qua một thiết diện thẳng trong một đơn vị thời gian).

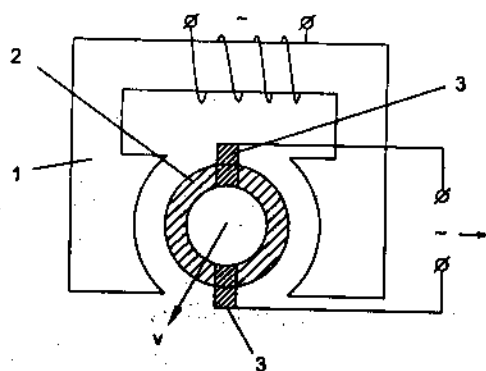
Đối với chất lỏng dẫn điện (dung dịch muối, bazơ, axit...) có thể sử dụng cảm biến dùng hiệu ứng Hôn (Hall). Đó là hiện tượng khi một dây dẫn có dòng điện chạy qua được đặt trong một từ trường vuông góc với dòng điện thì xuất hiện một điện trường ngang (một điện áp) trong dây vuông góc với dòng điện và từ trường.

Vấn đề này được minh họa và giải thích rõ trong hình 8.18. Dòng điện trong dây là dòng các điện tử theo chiều ngược lại. Khi dây đặt trong từ trường (hướng vào trong trang giấy), các hạt (điện tử) tạo nên dòng điện sẽ chịu một từ lực tác dụng, gọi là lực Lo-ren (Lorentz). Do vậy, điện tử sẽ chuyển dịch lên phía trên và phía trên dây mang điện âm, ngược lại, phía dưới nhiễm điện dương. Điều này được xác định bằng quy tắc bàn tay trái với lưu ý chiều dòng điện theo quy ước là chiều chuyển dịch của các điện tích dương. Kết quả, xuất hiện một điện áp giữa mặt dưới (2) và mặt trên (1).



Hình 8.18 : Sự xuất hiện điện tích trên dây dẫn có dòng điện đặt vuông góc trong từ trường

Kết cấu thực tế của một cảm biến lưu lượng chất lỏng dẫn được điện như trên hình 8.19. Chất lỏng dẫn điện được dẫn chảy trong ống dẫn không dẫn từ 2 và đặt trong từ trường của nam châm điện xoay chiều 1. Dưới tác dụng của từ trường, dòng chất lỏng dẫn điện (thực chất là dòng ion - dòng điện) chảy qua ống sẽ làm xuất hiện một điện áp và được đưa ra mạch khuếch đại qua 2.



Hình 8.19 : Cảm biến lưu lượng chất lỏng dẫn điện

$$U \sim f.v \quad (8.8)$$

Từ đó, có thể suy ra lưu lượng dòng chảy :

$$Q = \frac{\pi d^2}{4} v \quad (8.9)$$

trong đó : d là đường kính trong của ống 2.

CÂU HỎI CHƯƠNG 8

1. Nêu tầm quan trọng của các cảm biến trong điều khiển tự động, thông tin đo lường.
2. Nêu các loại cảm biến mà em biết và ứng dụng của chúng.

Chương 9

MẠCH ĐIỀU KHIỂN THYRISTO

Thyristo là linh kiện mạch lực (đôi khi trong mạch điều khiển) được dùng rất phổ biến. Để một thyristo dẫn dòng (thông) thì ngoài việc phân áp thuận còn phải cấp xung điều khiển. Mạch điều khiển phát xung là một khâu rất quan trọng vì nó quyết định chất lượng và độ tin cậy của quá trình làm việc của thyristo.

9.1. CÁC YÊU CẦU ĐỐI VỚI XUNG ĐIỀU KHIỂN

9.1.1. Yêu cầu về độ lớn xung điều khiển

Mỗi thyristo đều có một quan hệ giữa điện áp cực điều khiển - catốt (U_{GK}) với dòng điện vào cực điều khiển I_G . Quan hệ này gọi là đặc tính điều khiển.

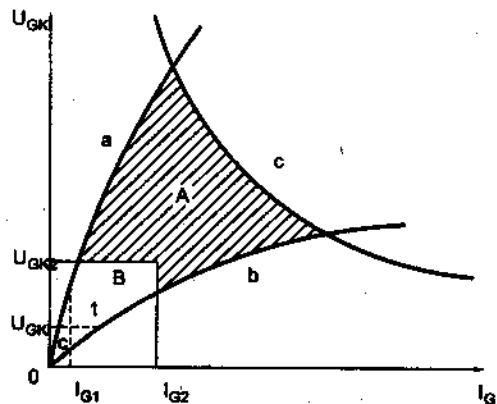
Mỗi loại thyristo có đặc tính điều khiển riêng. Với cùng một loại thyristo, đặc tính điều khiển cũng không hoàn toàn giống nhau do sai lệch trong chế tạo, sai khác về điều kiện làm việc.

Để đảm bảo thyristo cùng loại làm việc được, yêu cầu là đặc tính điều khiển phải thuộc vào vùng giữa 2 đặc tính giới hạn dòng điện nhỏ nhất (a) và điện áp nhỏ nhất (b) (hình 9.1). Có như vậy, thyristo mới có thể mở được.

Tóm lại : yêu cầu về độ lớn điện áp điều khiển và dòng điều khiển là :

- Giá trị lớn nhất không vượt quá giá trị cho phép.
- Giá trị nhỏ nhất phải đảm bảo làm thông mọi thyristo cùng loại ở mọi điều kiện làm việc.

- Ngoài ra, tổn hao công suất trung bình trên cực điều khiển cũng không vượt quá giá trị cho phép (đường c).



Hình 9.1 : Giới hạn các đặc tính điều khiển của thyristo

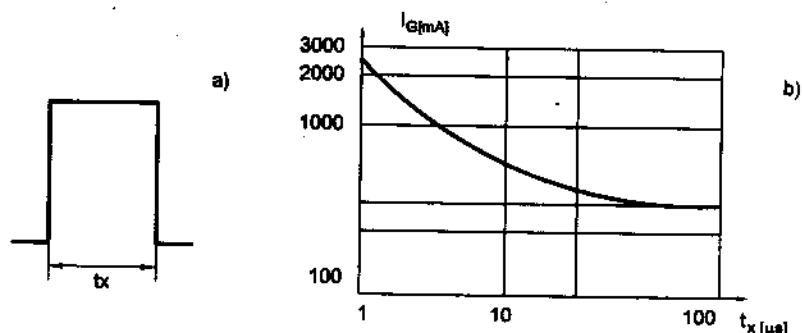
Để mở thông một cách tin cậy một thyristo như trên hình 9.1, các tín hiệu điều khiển (U_{GK} và I_G) phải nằm trong vùng A (vùng gạch chéo) giữa 3 đường giới hạn a, b, c và đường 2. Đường 2 là đường tạo bởi 2 nhánh $U_{GK} = U_{GK2}$ và $I_G = I_{G2}$. Tín hiệu điều khiển nằm trong vùng A sẽ mở được tất cả các thyristo cùng loại.

Vùng B nằm giữa 2 đường giới hạn a, b, đường 2 và đường 1 tạo bởi 2 nhánh $U_{GK} = U_{GK1}$ và $I_G = I_{G1}$. Đây là vùng không rõ ràng vì tín hiệu điều khiển nằm trong vùng này có thể mở được hoặc không mở được thyristo.

Vùng C nằm giữa 2 đường giới hạn a, b và đường 1. Tín hiệu điều khiển nằm trong vùng này không thể mở được bất kì thyristo nào cùng loại.

9.1.2. Yêu cầu về độ rộng xung điều khiển

Như trên hình 2.29, để mở thông một thyristo, xung điều khiển phải đảm bảo để dòng thyristo tăng từ 0 đến điểm T_1 và chuyển về điểm T_2 . Muốn vậy, độ rộng xung (thời gian duy trì xung) phải có một giá trị tối thiểu (hình 9.2a) nào đó. Thông thường, độ rộng xung điều khiển không dưới $5\mu s$. Tăng độ rộng xung điều khiển t_x sẽ cho phép giảm nhỏ biên độ xung điều khiển I_G (hình 9.2b).

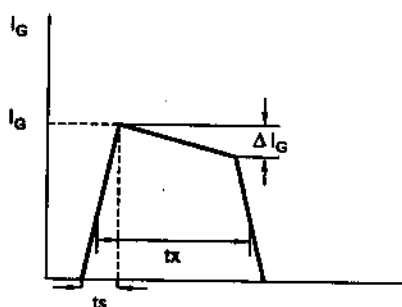


Hình 9.2 : Độ rộng xung (a) và quan hệ giữa độ rộng xung và dòng điều khiển I_G (b)

Khi mạch tải có cảm kháng X_L lớn thì dòng tải dẫn bởi thyristo tăng chậm và xung điều khiển cần có độ rộng t_x lớn hơn.

9.1.3. Yêu cầu về độ dốc sườn trước của xung

Sườn trước của xung (hình 9.3) càng dốc (thời gian sườn trước t_s càng ngắn), việc điều khiển thông thyristo càng tốt, nhất là khi mạch có nhiều thyristo nối tiếp hoặc song song. Độ dốc sườn trước xung điều khiển tăng, đốt nóng cục bộ thyristo giảm.



Hình 9.3 : Các thông số xung điều khiển

Thông thường, yêu cầu độ dốc sườn trước của xung điều khiển là :

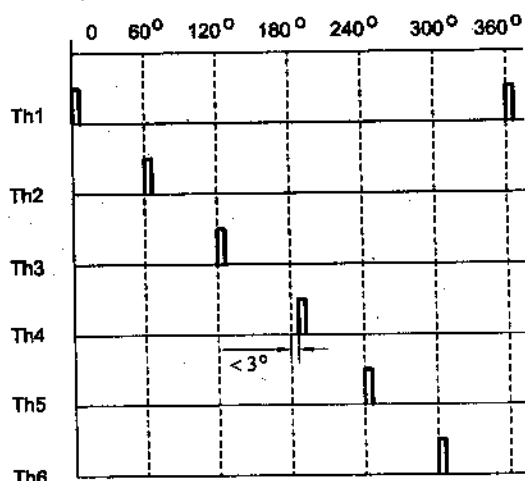
$$\frac{di_G}{dt} \geq 0,1 \frac{A}{\mu s} \quad (\text{ứng với } t_r = 0,5 \div 1 \mu s)$$

Tóm lại : để điều khiển thông một thyristo, xung điều khiển phải đảm bảo :

- Đủ biên độ (U_{GK}, I_G nằm trong vùng A);
- Đủ độ rộng ($t_x \geq 5 \mu s$);
- Sườn xung đủ độ dốc ($t_r = 0,5 \div 1 \mu s$).

9.1.4. Yêu cầu về tính đối xứng đối với các kênh điều khiển

Ở các bộ biến đổi nhiều pha, nhiều van, tính đối xứng của các xung điều khiển thyristo ở các kênh sẽ quyết định chất lượng của bộ điều khiển. Chẳng hạn, ở bộ chỉnh lưu 3 pha có điều khiển theo sơ đồ cầu dùng thyristo (hình 4.47), các xung điều khiển phải lệch pha nhau đúng 60° (hay



Hình 9.4 : Độ lệch pha của các xung điều khiển thyristo trong sơ đồ cầu 3 pha

$\frac{\pi}{3}$). Độ lệch cho

phép của các xung điều khiển không được sai lệch quá 3° .

9.1.5. Yêu cầu về độ tin cậy

Mạch phát xung điều khiển phải đảm bảo làm việc tin cậy trong điều kiện nhiệt độ thay đổi, tín hiệu nhiễu nhiễu v.v... Muốn vậy, cần có :

- Điện trở ra của kênh điều khiển phải nhỏ để khi dòng rò tăng thì thyristo không tự thông.
- Xung điều khiển ít phụ thuộc vào biến động nhiệt, biến động điện áp nguồn.

- Không bị ảnh hưởng bởi nhiễu cảm ứng để không mở nhầm...

9.1.6. Yêu cầu về đảm bảo phạm vi góc mở

Phạm vi góc mở α để thông thyristo đối với các sơ đồ khác nhau thì khác nhau. Nói chung, yêu cầu về phạm vi góc mở α là để đảm bảo khoảng thông của thyristo trong sơ đồ.

Đối với các sơ đồ chỉnh lưu có điều khiển dùng thyristo, góc điều khiển α thường nằm trong phạm vi $10^\circ \div 170^\circ$ hay tốt hơn là $5^\circ \div 175^\circ$.

9.1.7. Yêu cầu về lắp ráp, vận hành

Cần đảm bảo linh kiện dễ lắp ráp, thay thế và dễ điều chỉnh. Vận hành an toàn, tin cậy và không gây nhiễu cho các thiết bị khác. Có bảo vệ quá áp, quá dòng, mất pha...

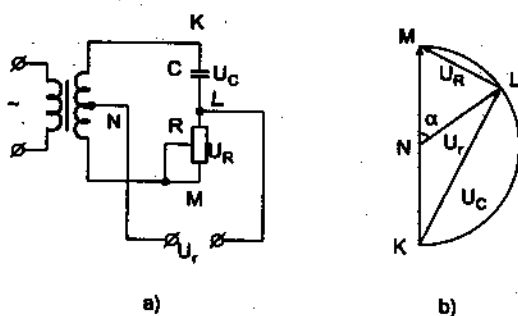
9.2. CÁC KHỐI TRONG MẠCH ĐIỀU KHIỂN THYRISTO

Mạch điều khiển làm nhiệm vụ gia công và biến đổi tín hiệu điều khiển (thường là điện áp một chiều) thành xung (hay chuỗi xung) đưa vào cực điều khiển G của thyristo.

Để điều khiển thyristo, xung điều khiển được đưa vào cực điều khiển ở thời điểm tương ứng với góc mở (góc pha) kể từ thời điểm thyristo được phân áp thuận. Thay đổi góc mở có thể theo nguyên lý khống chế ngang hay khống chế đứng.

Khống chế ngang

Khống chế ngang là phương pháp tạo góc mở α nhờ dịch chuyển điện áp hình sin theo phương pháp ngang so với một điện áp tựa. Như trên sơ đồ hình



Hình 9.5 : Sơ đồ nguyên lý khống chế ngang (a) và đồ thị vectơ (b)

9.5a, điện áp thứ cấp hình sin đặt lên 2 điểm KM (U_{KM}) được phân thành 2 thành phần $U_{KL} = U_C$ trên tụ C và $U_{LM} = U_R$ trên biến trở R, ta có :

$$\bar{U}_{KM} = \bar{U}_{KL} + \bar{U}_{LM} = \bar{U}_C + \bar{U}_R$$

Khi thay đổi R thì $\bar{U}_R, \bar{U}_C$ thay đổi nhưng do vectơ $\bar{U}_R, \bar{U}_C$ luôn vuông góc với nhau nên điểm L sẽ dịch chuyển trên nửa vòng tròn đường kính KM (hình 9.5b).

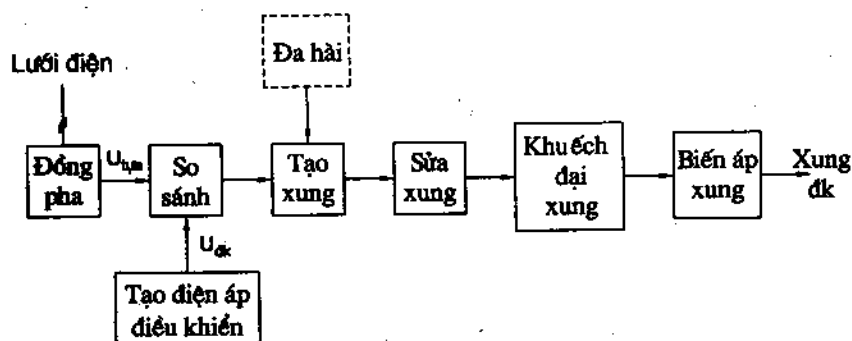
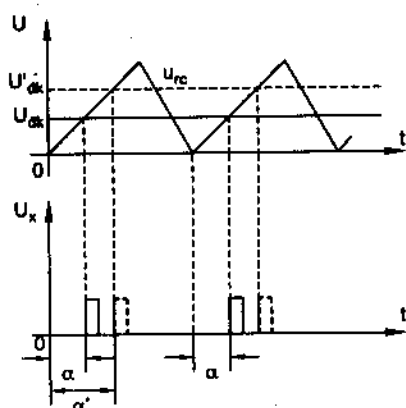
Điện áp lấy ra từ điểm giữa N của cuộn thứ cấp và điểm L nên :

$$\bar{U}_{NL} = \bar{U}_r = \bar{U}_{NM} - \bar{U}_R$$

Vectơ điện áp ra $\bar{U}_r$

lệch pha so với nửa điện áp hình sin thứ cấp một góc α . Trị số α thay đổi nhờ điều chỉnh biến trở R.

Nhược điểm của phương pháp khống chế ngang là góc α phụ thuộc vào dạng và tần số của điện áp nên hiện nay ít được sử dụng.



Hình 9.7 : Sơ đồ khối mạch điều khiển thyristo

Khống chế đứng

Khống chế đứng là phương pháp tạo góc mở α nhờ dịch chuyển điện áp chủ đạo theo phương thẳng đứng so với một điện áp tựa dạng răng cưa.

Như trên sơ đồ hình 9.6, khi điện áp chủ đạo hay điện áp điều khiển $U_{\alpha k}$ bằng điện áp tựa răng của U_{α} , bộ so sánh sẽ tạo ra xung U_x để từ đó gia công tiếp đưa tới cực điều khiển thyristo. Thay đổi $U_{\alpha k}$ (tăng hoặc giảm) sẽ thay đổi được góc α .

Phương pháp khống chế đúng được dùng phổ biến vì có độ chuẩn xác cao và khoảng điều khiển rộng ($0 \div 180^\circ$).

Điểm gốc để bắt đầu tính góc mở α đối với thyristo là điểm có chuyển mạch tự nhiên của lưới cấp cho tải qua thyristo. Vì thế, khối chức năng đầu tiên là khối đồng pha, sau đó là các khối tạo điện áp răng cưa, khối tạo điện áp điều khiển, khối so sánh, khối tạo xung, khối sửa xung, khối khuếch đại xung...

Sơ đồ khối thông thường của một mạch điều khiển thyristo được biểu thị trên hình 9.7.

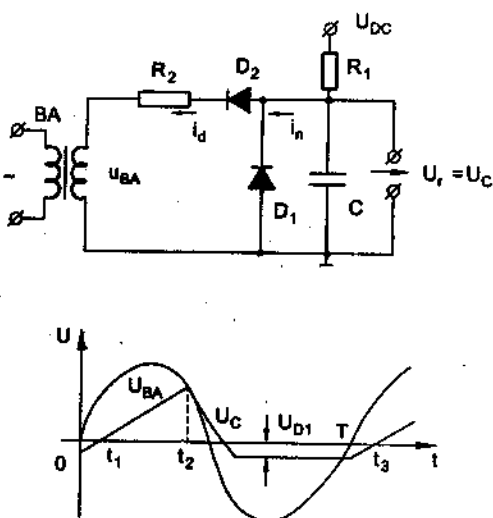
9.2.1. Khối đồng pha

Việc điều khiển thyristo theo nguyên lý điều khiển pha nên cần có khối đồng pha để tạo sự đồng bộ giữa điện áp điều khiển và điện áp anốt - catốt của thyristo, nghĩa là đảm bảo cho xung điều khiển vào thyristo khi nó được phân áp thuận tương ứng với pha thyristo tham gia.

Có nhiều kiểu mạch khối đồng pha như : mạch đồng pha dùng tụ và diốt, dùng tụ và tranzito, dùng UJT, dùng dinhisto...

a) Mạch đồng pha dùng tụ và diốt

Hình 9.8 là mạch đồng pha dùng tụ và diốt. Điện áp thứ cấp U_{BA} của BA đồng pha với điện áp phân áp thuận A - K trên thyristo. Mạch lắp sao cho khi $U_{BA} > 0$ thì các diốt D_1, D_2 khoá (bị phân cực ngược). Lúc đó, tụ điện C được nạp từ nguồn một chiều U_{DC} . Khi điện áp trên tụ $U_C = U_{BA}$ (tại thời điểm t_2) thì tụ bắt đầu phóng điện qua D_2, R_2 . Ở nửa chu kỳ âm của U_{BA} thì dòng từ nguồn qua D_1, D_2, R_2 và điện áp trên tụ tiếp tục giảm và bằng sụt áp trên D_1 là ΔU_{D1} cho đến khi D_1 khoá.



Hình 9.8 : Mạch đồng pha dùng tụ và diốt

Khi $i_d = i_n$ (tại thời điểm t_3), tụ C lại được nạp từ nguồn U_{DC} và chu kỳ mới bắt đầu. Điện áp $U_r = U_C$ là điện áp đồng pha.

Góc α nằm trong khoảng $(t_1 + t_2)$ và $\alpha \approx 10^\circ \div 150^\circ$.

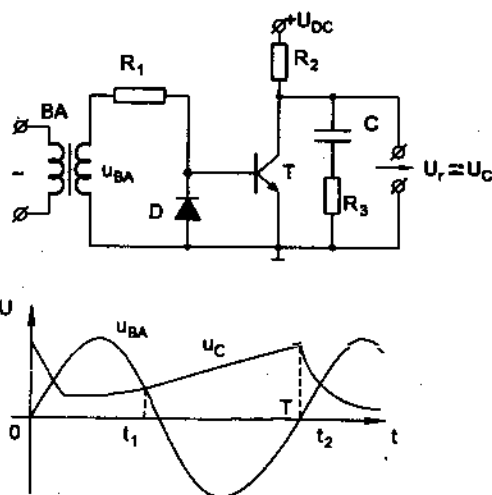
Sơ đồ này đơn giản nhưng khó chỉnh định thời gian nạp tụ chính xác và tổn hao công suất lớn.

b) Mạch đồng pha dùng tụ và tranzito

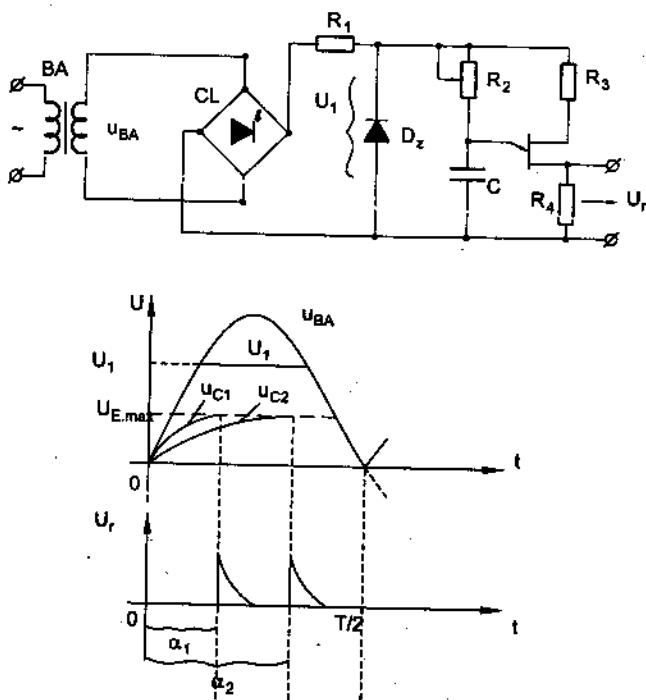
Hình 9.9 là mạch đồng pha dùng tụ và tranzito. Điện áp thứ cấp U_{BA} đồng pha với điện áp A - K trên thyristo. Mạch lắp sao cho $U_{BA} > 0$, tranzito T thông bão hoà và điện áp ra đồng pha bằng sụt áp trên tranzito ΔU_T ($U_r = u_C = \Delta U_T$). Ở nửa chu kỳ âm của U_{BA} thì tranzito khoá và tụ C được nạp qua R_2, R_3 từ nguồn một chiều U_{DC} . Khi $U_{BA} > 0$, tụ C phóng điện qua tranzito và $U_C = \Delta U_T$. Quá trình cứ thế tiếp tục.

Góc α nằm trong khoảng $(t_1 + t_2)$ và đủ rộng.

Sơ đồ này cũng đơn giản và tổn hao công suất nhỏ. Cần chọn $R_2 \gg R_3$ để thời gian nạp lớn hơn nhiều thời gian phóng. Nhược điểm của sơ đồ là có thể bị trôi xung mở theo tần số của U_{BA} .



Hình 9.9: Mạch đồng pha dùng tụ và tranzito



Hình 9.10 : Mạch đồng pha dùng UJT

c) Mạch đồng pha dùng tranzito một tiếp giáp UJT

Hình 9.10 là mạch đồng pha dùng tranzito một tiếp giáp (UJT) (xem mục 2.2.5d). Tranzito một tiếp giáp là linh kiện có đặc tuyến điện trở âm. Điện áp đồng pha U_{BA} được chỉnh lưu và ổn áp ở mức U_1 . Dòng nạp của tụ C do trị số R_2 quyết định. Khi $U_C > U_{Emax}$ thì UJT thông, tụ C phóng điện và đầu ra có xung áp.

Thay đổi R_2 sẽ thay đổi được thời gian nạp tụ tới U_{Emax} , nghĩa là thay đổi được α . Giới hạn $\alpha = 10^\circ + 170^\circ$.

Mạch có ưu điểm là đơn giản, vừa là nguồn đồng pha, vừa phát xung, vừa so sánh.

d) Mạch đồng pha dùng dinhisto

Hình 9.11 là mạch đồng pha dùng dinhisto. Điốt bình thường có ngưỡng thông thấp ($0,3V + 0,5V$ tùy loại). Dinhisto cũng tương tự điốt nhưng có ngưỡng thông cao hơn.

Điện áp đồng pha U_{BA} được chỉnh lưu qua điốt D và được ổn áp qua điốt D_z . Tụ C nạp điện qua R_2 và khi U_C đạt ngưỡng thông của dinhisto thì dinhisto thông và có xung áp U_r ở đầu ra.

Mạch này rất đơn giản, tin cậy nhưng dải điều chỉnh không rộng.

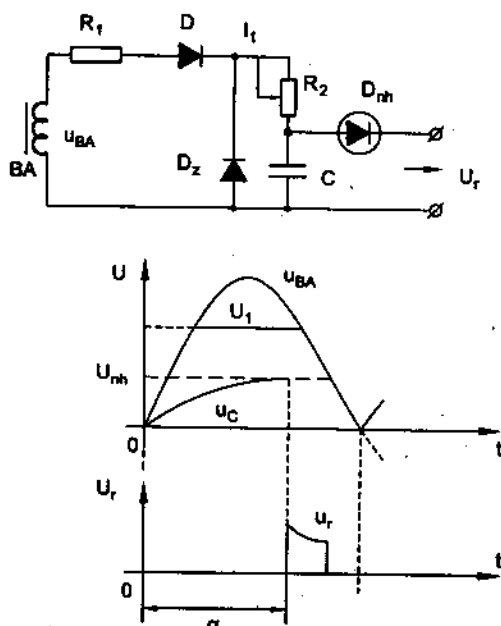
e) Mạch đồng pha kiểu cộng điện áp

Hình 9.12 là mạch đồng pha dùng phương pháp cộng điện áp.

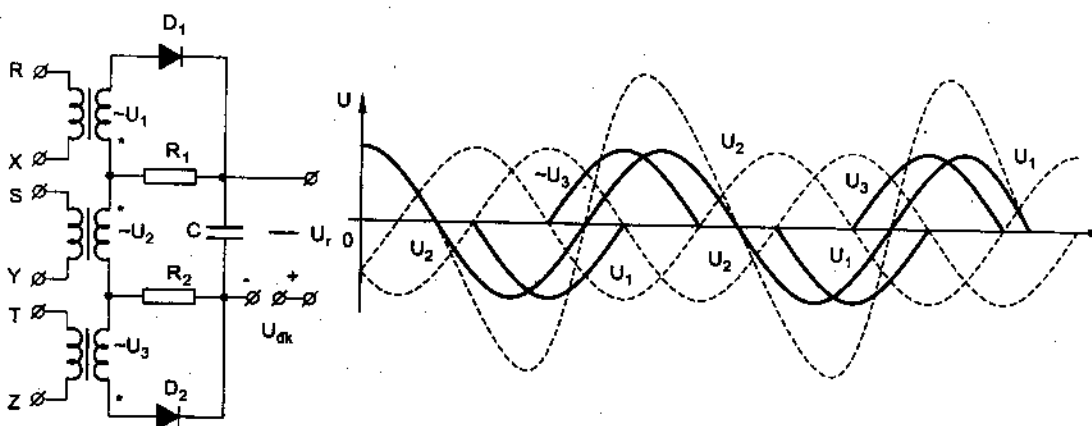
Sơ đồ biến áp 3 pha có thể nối hình sao hay tam giác tùy theo yêu cầu

dịch pha. Ba cuộn thứ cấp nối tiếp nhau, trong đó 2 pha R, T bị cắt nửa chu kỳ nhờ các điốt D_1, D_2 . Điện áp tổng 3 cuộn thứ cấp với cực tính như hình vẽ đặt lên tụ C và khi $U_C > U_{ak}$ thì mạch so sánh sẽ tạo ra xung U_r .

Ưu điểm của mạch là điện áp răng cưa có 2 nửa đối xứng nên dễ thực hiện đảo chiều, phạm vi điều chỉnh góc α rộng ($5^\circ + 200^\circ$) và dễ tạo pha ban đầu để khi $U_{ak} = 0$ thì $\alpha = 90^\circ$. Nhược điểm của mạch là phức tạp, công kênh bởi sự có mặt của biến áp 3 pha và điện áp răng cưa là tổng các hình sin nên không hoàn toàn tuyến tính.



Hình 9.11 : Mạch đồng pha dùng dinhisto



Hình 9.12 : Mạch đồng pha kiểu cộng điện áp

9.2.2. Khối phát xung chủ đạo

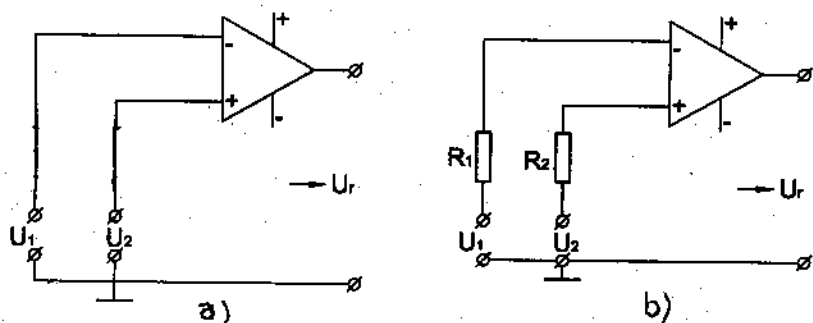
Khối phát xung chủ đạo có nhiệm vụ tạo các xung có tần số cố định hoặc thay đổi để làm nguồn tín hiệu chủ đạo trong mạch điều khiển thyristo.

Các mạch phát xung răng cưa, xung chữ nhật đã được xem xét kĩ ở chương 6.

9.2.3. Khối so sánh

Khối so sánh có nhiệm vụ so sánh các tín hiệu và phản ánh sai lệch các tín hiệu ở đầu ra của khối.

Khi tín hiệu điều khiển (gồm tín hiệu chủ đạo và phản hồi) bằng tín hiệu đồng pha thì khối so sánh sẽ cho tín hiệu ra. Để so sánh tín hiệu điều khiển (U_{dk}) và tín hiệu đồng pha (U_{dp}) có thể mắc nối tiếp (U_{dk} và U_{dp} mắc ngược cực tính) hoặc mắc song song.



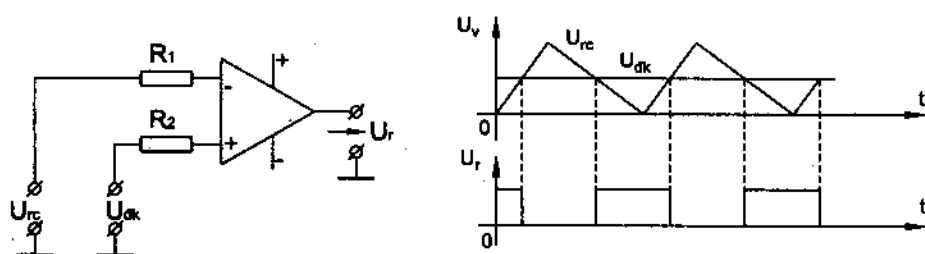
Hình 9.13 : Mạch so sánh dùng khuếch đại thuật toán : a) Các điện áp so sánh đưa vào 2 đầu vào ; b) Các điện áp so sánh đưa vào 1 đầu vào.

Hiện nay, các mạch so sánh hầu hết đều dùng vi mạch khuếch đại thuật toán (xem mục 5.9).

Hình 9.13a là mạch so sánh dùng khuếch đại thuật toán có các tín hiệu so sánh đưa vào 2 đầu vào. Tín hiệu đầu ra xuất hiện khi 2 tín hiệu đầu vào khác nhau ($\Delta U_V = U_{dp} - U_{dk} \neq 0$).

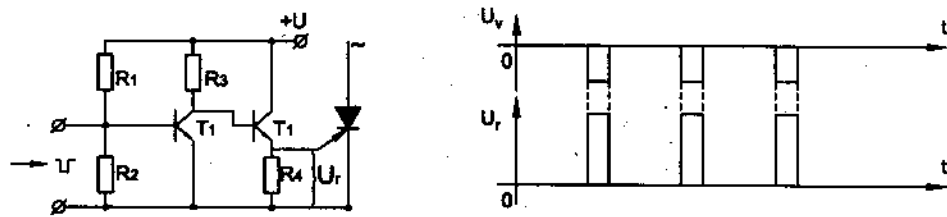
Hình 9.13b là mạch so sánh dùng khuếch đại thuật toán có một đầu vào nổi mắt. Các tín hiệu so sánh được đưa vào cùng đầu vào còn lại qua các điện trở.

Như trên hình 9.14, tín hiệu răng cưa (U_{rc}) được đưa vào đầu vào đảo, tín hiệu điều khiển (U_{dk}) được đưa vào đầu vào không đảo nên khi $U_{dk} > U_{rc}$ thì đầu ra có xung.



Hình 9.14 : Mạch so sánh tín hiệu răng cưa và tín hiệu điều khiển

9.2.4. Khối sửa xung và khuếch đại xung



Hình 9.15 : Mạch khuếch đại xung nối tải trực tiếp

Khối sửa xung và khuếch đại xung có nhiệm vụ tạo ra xung có biên độ, độ dốc sườn trước và độ rộng cần thiết để điều khiển thông thyristo (xem mục 9.1). Đầu vào của khối này là tín hiệu ra của khối so sánh.

Hình 9.15 là mạch khuếch đại xung nối tải trực tiếp (nối thẳng vào cực điều khiển thyristo).

Xung âm từ đầu ra khối so sánh được đưa vào bazơ của tranzito T_1 . Khi có xung âm, T_1 khoá và một xung áp dương đảo pha được đưa vào bazơ của tranzito T_2 . T_2 là mạch lặp để phối hợp trở kháng với điện trở vào của thyristo.

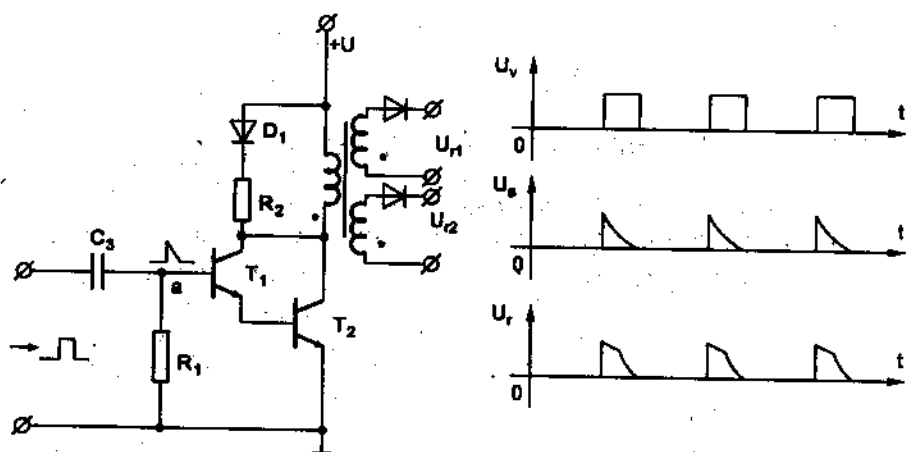
Khi không có xung vào âm thì T_1 thông và T_2 khoá. Cực G không được cấp xung điều khiển.

Sơ đồ mạch đơn giản, phối hợp trở kháng tốt, biên độ xung ít biến đổi nên được dùng phổ biến trong điều khiển thyristo không dùng máy biến áp xung.

Nhược điểm của mạch là không điều chỉnh được độ rộng xung.

Hình 9.16 là mạch khuếch đại xung nối tải qua biến áp xung. Xung dương chữ nhật được sửa qua tụ vi phân C thành xung dương nhọn và được khuếch đại qua mạch khuếch đại Đắc ling ton (xem mục 5.8). Khi có xung vào thì T_1 , T_2 thông sẽ dẫn dòng qua cuộn sơ cấp biến áp xung (BAX) và ở cuộn thứ cấp sẽ có xung ra. BAX có thể có 1 hoặc 2 cuộn thứ cấp để điều khiển 1 hay 2 thyristo.

Khi không có xung vào thì T_1 , T_2 sẽ khoá và không có xung ra. Lúc này, sức điện động tự cảm xuất hiện khi ngắt mạch cuộn sơ cấp có thể gây quá áp cho T_1 , T_2 . Khép kín sức điện động này nhờ diốt D_1 . Điện trở R_2 hạn chế dòng khép kín, tránh cho cuộn sơ cấp BAX quá nóng.



Hình 9.16 : Mạch khuếch đại xung nối tải qua biến áp xung

Mạch này có phối hợp trở kháng tốt và có cách li an toàn giữa mạch điều khiển điện áp thấp và mạch động lực (mạch thyristo) điện áp cao nhờ cách li giữa các cuộn sơ cấp và thứ cấp BAX.

Nhược điểm của mạch là không điều khiển được độ rộng xung ra.

9.2.5. Khối đa hài

Với tải có điện cảm lớn, điều khiển mở thyristo có thể gặp khó khăn. Để nâng cao độ tin cậy điều khiển trong trường hợp này, các mạch điều khiển thường có khối đa hài để phối hợp, biến đổi một xung điều khiển thành chùm xung (băm xung). Nhờ chùm xung mà xung thứ nhất chưa mở được thyristo thì đến xung thứ 2, thứ 3...

Các mạch đa hài đã được trình bày ở chương 6.

9.2.6. Biến áp xung

Biến áp xung (BAX) có chức năng :

- Làm phù hợp điện áp xung sau khuếch đại và điện áp xung cần đưa vào cực điều khiển thyristo.
- Đảm bảo cách li giữa mạch điều khiển và mạch lực.
- Tạo dạng xung theo yêu cầu.
- Có thể có từ 1 + 3 cuộn đầu ra để từ 1 xung vào sẽ có vài xung điều khiển để mở vài thyristo.

Điện áp đặt vào cuộn sơ cấp BAX là điện áp có dạng xung nên chế độ làm việc và tính toán BAX khác với biến áp thông thường. Tần số làm việc của BAX có thể cỡ ($10^2 \div 10^5$) Hz. Các cuộn dây của BAX có số vòng dây ít nên điện trở thuần R nhỏ. Vật liệu chế tạo lõi BAX thường là ferit hoặc pecmaloi với hệ số μ lớn.

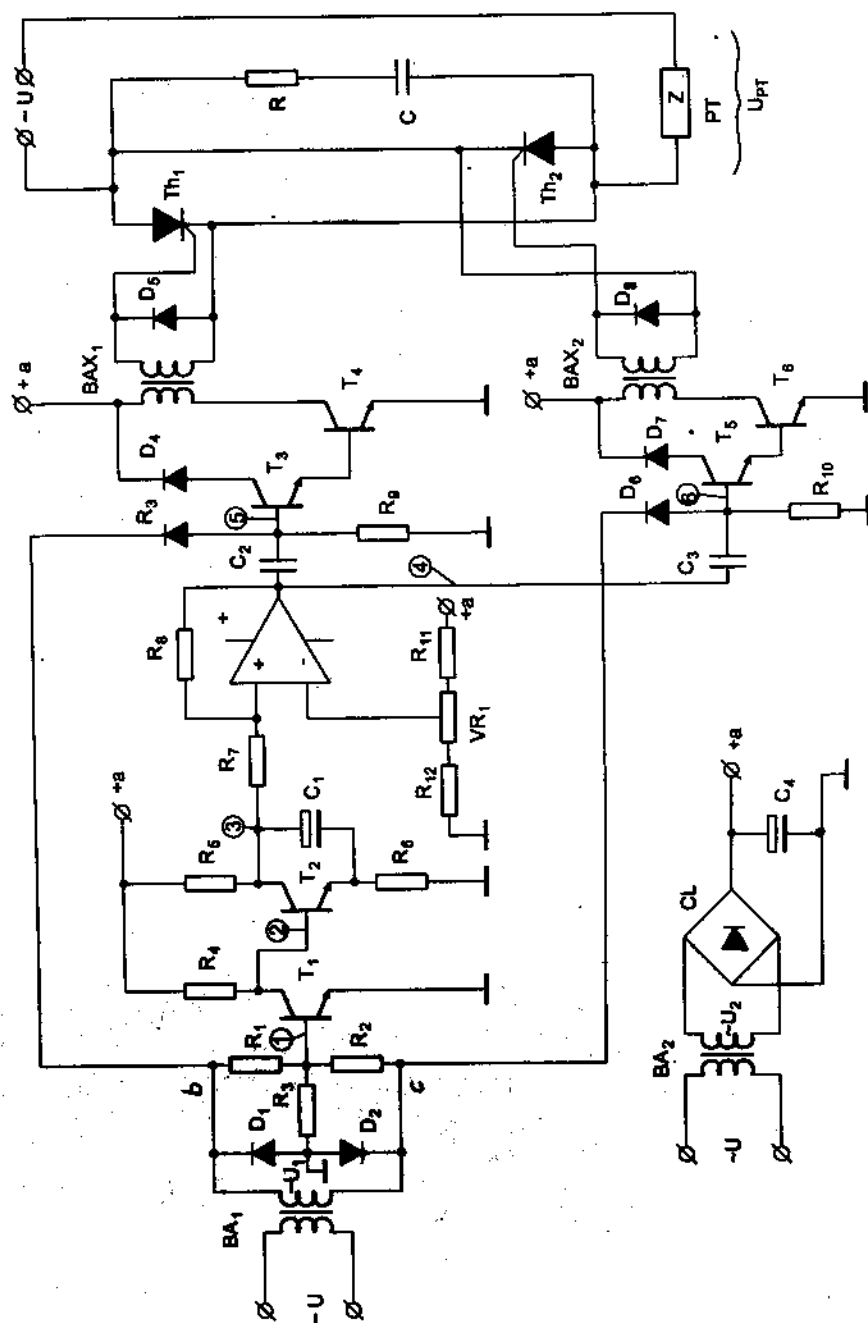
9.3. MỘT SỐ MẠCH ĐIỀU KHIỂN THYRISTO

Mạch điều khiển thyristo rất đa dạng tùy thuộc vào mục đích điều khiển theo nhiệm vụ của thyristo trong mạch tải. Tuy vậy, chức năng chung của mọi mạch điều khiển là tạo ra xung mở tin cậy thyristo với một góc mở α nào đó (không đổi hoặc thay đổi). Dưới đây là một số sơ đồ :

Sơ đồ 1. Điều chỉnh điện áp xoay chiều u một pha cấp cho phụ tải PT (hình 9.17) qua điều khiển 2 thyristo mắc song song ngược.

Nguồn cấp cho mạch sử dụng biến áp BA₂. Điện áp thứ cấp được chỉnh lưu qua cầu chỉnh lưu CL và đầu ra có tụ lọc C₄. Điện áp một chiều là + a. Các khối của mạch là : khối tín hiệu đồng bộ (D₃, D₆, R₁, R₂, R₃), khối dịch pha (R₄, T₁), khối tạo xung răng cưa (R₅, R₆, T₂, C₁), khối tạo điện áp điều khiển

(VR₁, R₁₁, R₁₂), khối so sánh (khuyết đại thuật toán), khối sửa xung (C₂, C₃), khối khuếch đại xung (T₃, T₄, T₅, T₆), BAX₁, BAX₂.

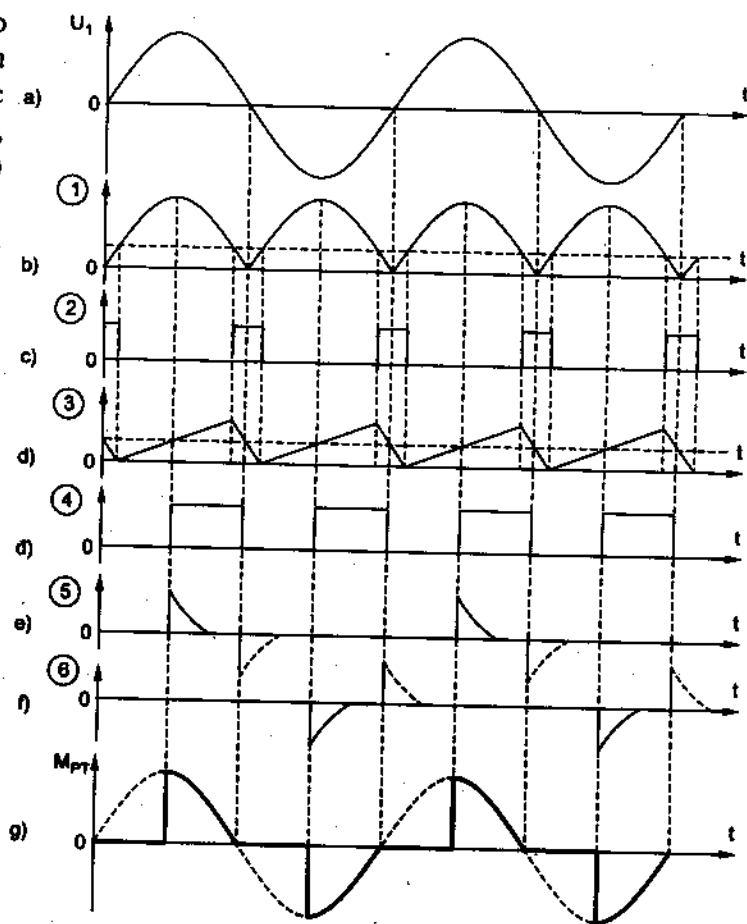


Hình 9.17 : Sơ đồ điều chỉnh điện áp xoay chiều 1 pha

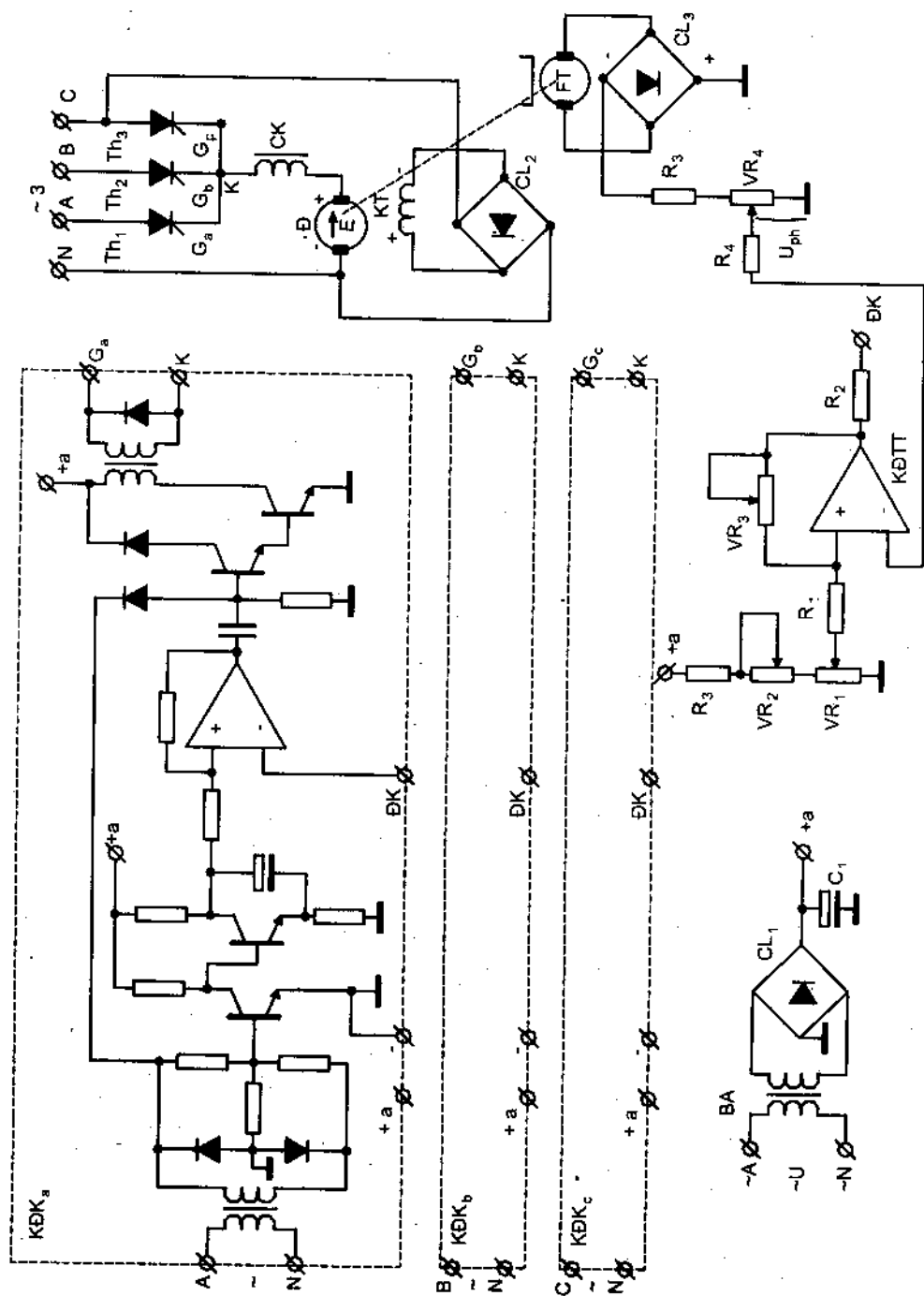
Sơ đồ không có mạch phản hồi

Hoạt động của sơ đồ như sau :

Trong mỗi nửa chu kỳ của nguồn u_1 (hình 9.18a) có một xung áp đặt vào bazơ tranzito T_1 . Tần số xung áp gấp đôi tần số lưới - 100Hz (hình 9.18b). Tranzito T_1 thông khi trị số xung áp $u_x > 0,5V$, còn khi $u_x < 0,5V$ thì T_1 khoá. Lúc T_1 khoá thì côlectơ T_1 xuất hiện một xung hẹp chữ nhật (hình 9.18c) với biên độ gần bằng + a. Xung này làm T_2 thông. Trước đó, tụ C_1 đã được nạp điện từ nguồn + a qua R_5, R_6 nên khi T_2 thông thì C_1 phóng điện qua T_2 . Tại điểm 3 trên mạch (côlectơ T_2) có tín hiệu răng cưa (hình 9.18d). Tín hiệu răng cưa được đưa vào cực không đảo khuếch đại thuật toán qua R_7 để so sánh với tín hiệu đưa vào cực không đảo khuếch đại thuật toán qua R_7 để so sánh với tín hiệu điều khiển xác định bởi VR_1, R_{11}, R_{12} (hình 9.18d) đặt vào cực đảo. Tại thời điểm điện áp răng cưa lớn hơn điện áp điều khiển (hình 9.18d) thì đầu ra khuếch đại thuật toán xuất hiện xung chữ nhật (hình 9.18e). Các điện trở R_7 và R_8 xác định hệ số khuếch đại của khuếch đại thuật toán. Xung ra của khuếch đại thuật toán được phân bố cho 2 nhánh điều khiển thyristo và đều được sửa xung nhờ 2 tụ điện C_2 và C_3 để đưa tới 2 mạch khuếch đại Đaclington.



Hình 9.18: Đồ thị xung



Hình 9.19 : Sơ đồ điều khiển tốc độ động cơ một chiều

Ở nhánh điều khiển thyristo Th_1 , xung nhọn xuất hiện ở điểm (5) trong nửa chu kỳ âm của nguồn ($\sim u$) (nửa chu kỳ Th_1 bị phân áp ngược) sẽ bị triệt tiêu bởi diốt D_3 do thế điểm b âm. Điều này đảm bảo nhờ chiều quấn thứ cấp biến áp BA1. Khi T_3, T_4 khoá, xung âm xuất hiện ở thứ cấp biến áp xung BAX₁ sẽ bị triệt tiêu bởi diốt D_5 (hình 9.18e).

Ở nhánh điều khiển thyristo Th_2 , xung nhọn xuất hiện ở điểm (6) trong nửa chu kỳ dương của nguồn ($\sim u$) (nửa chu kỳ Th_2 bị phân áp ngược) sẽ bị triệt tiêu bởi diốt D_6 do thế điểm c âm. Khi T_5, T_6 khoá, xung âm xuất hiện ở thứ cấp biến áp BAX₂ sẽ bị triệt tiêu bởi diốt D_8 (hình 9.18e).

Diốt D_4 dùng khép kín sức điện động tự cảm của sơ cấp BAX₁ khi T_3, T_4 khoá nhằm bảo vệ các tranzito này khỏi quá áp. D_7 có chức năng tương tự đối với các tranzito T_5, T_6 .

Mạch R - C dùng bảo vệ các thyristo

Điện áp xoay chiều trên phụ tải PT có dạng như hình 9.18g. Dạng dòng điện PT phụ thuộc vào tính chất tải.

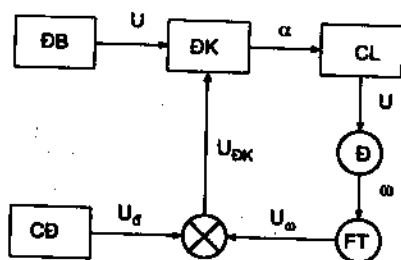
Sơ đồ 2

Hình 9.19 là sơ đồ điều chỉnh tốc độ của động cơ một chiều (Đ) kích từ độc lập bằng cách thay đổi điện áp một chiều U đặt vào phần ứng động cơ qua chỉnh lưu 3 pha hình tia có điều khiển.

Sơ đồ gồm các khối (hình 9.20):

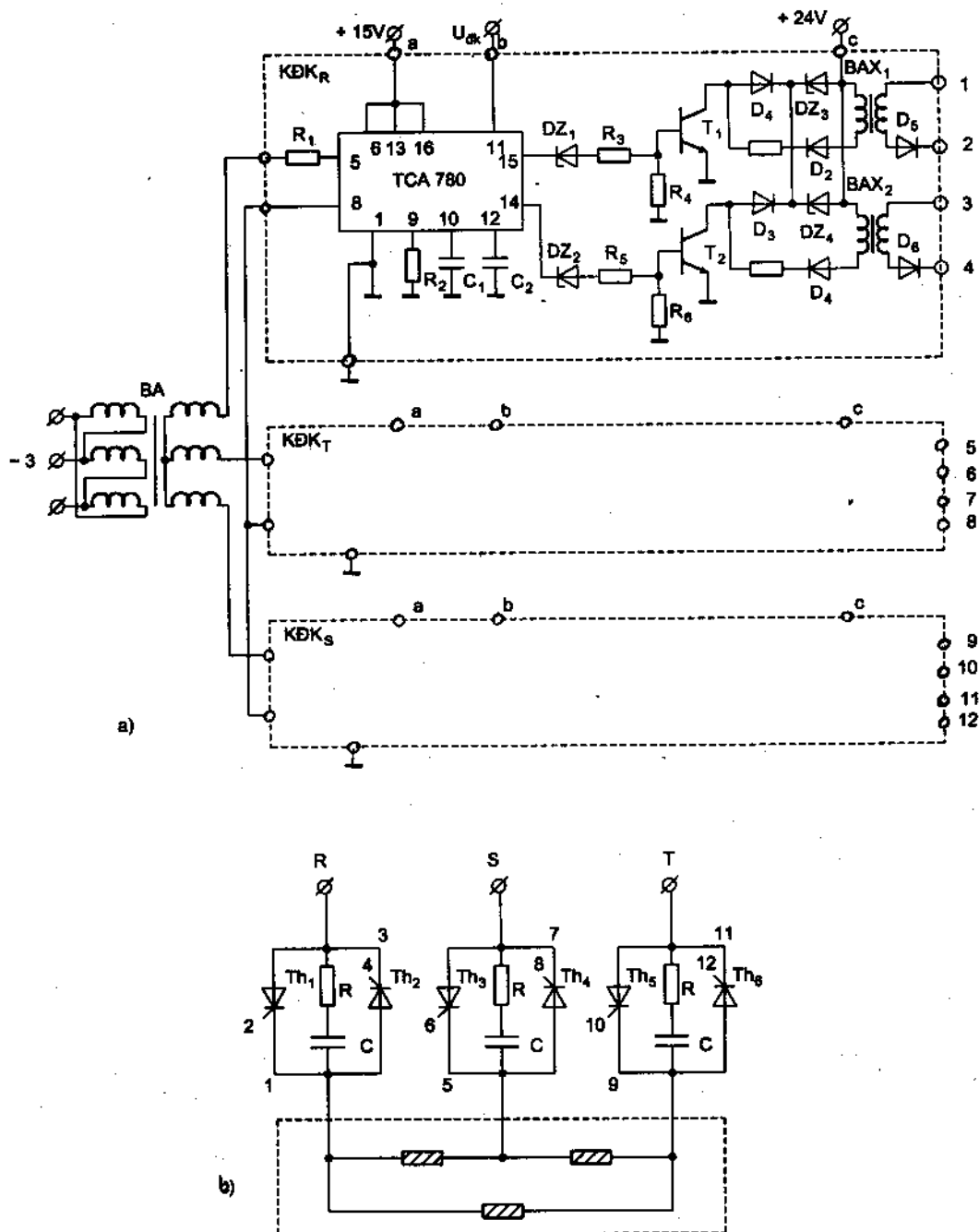
- Khối ĐB và ĐK : Sơ đồ có 3 khối giống nhau tương ứng với 3 pha (KĐK_a, KĐK_b, KĐK_c), vừa làm nhiệm vụ đồng bộ, vừa làm nhiệm vụ tạo xung điều khiển (hình 9.19 chỉ vẽ chi tiết KĐK_a).

- Khối CL : tạo bởi 3 thyristo Th_1, Th_2, Th_3 mắc theo sơ đồ chỉnh lưu 3 pha hình tia có điều khiển. Điện áp chỉnh lưu được san bằng bởi cuộn kháng CK.



Hình 9.20 : Sơ đồ khối mạch phản hồi

- Khối phản hồi âm tốc độ (nhằm ổn định tốc độ đặt) gồm máy phát tốc FT nối cứng trực với động cơ Đ làm nhiệm vụ cảm biến tốc độ động cơ Đ qua điện áp u_ω phát ra tỷ lệ với tốc độ động cơ. Tín hiệu phản hồi được chỉnh lưu qua CL, nhằm giữ đặc tính phản hồi âm trong trường hợp động cơ quay ngược.



Hình 9.21 : Mạch phát xung điều khiển dùng TCA 780

- **Khối so sánh** : là khuếch đại thuật toán để so sánh tín hiệu đặt (tốc độ) nhờ VR, với tín hiệu phản hồi âm tốc độ. Tín hiệu ra là tín hiệu điều khiển đưa vào khối ĐK để tạo xung mở tương ứng với góc mở α .

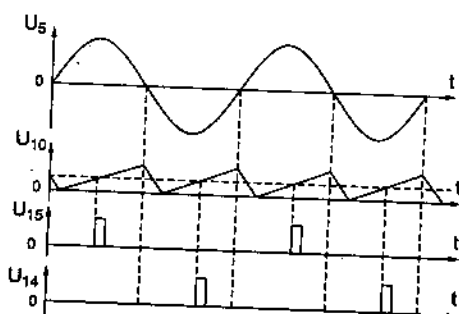
Giả sử ban đầu cho Đ làm việc ở tốc độ ω_1 (thông qua điện áp chủ đạo lấy trên VR₁). mạch tạo xung sẽ tạo ra xung mở α_1 . Do nguyên nhân nào đó, tốc độ của động cơ Đ thay đổi. Sự thay đổi này phản ánh qua điện áp máy phát tốc FT, qua CL₃. Điện áp này đưa tới khuếch đại thuật toán so sánh với điện áp CD. Sự sai lệch này được khuếch đại lên và đưa về đầu ĐK của mạch tạo xung làm thay đổi góc mở α , tức là thay đổi điện áp chỉnh lưu đặt vào động cơ Đ, giữ cho động cơ có tốc độ ổn định như tốc độ đã đặt.

Sơ đồ 3. Mạch điều chỉnh điện áp xoay chiều để điều khiển nhiệt độ lò điện trở 3 pha (hình 9.21).

Sơ đồ dùng vi mạch TCA 780. Đây là loại vi mạch phức hợp thực hiện 4 chức năng : tạo điện áp đồng bộ, điện áp răng cưa, so sánh và tạo xung ra. Góc mở α có thể điều chỉnh từ $0^\circ \div 180^\circ$.

Các thông số chủ yếu của TCA 780 là :

- Điện áp nuôi : 18V;
- Dòng tiêu thụ : 10mA;
- Dòng ra : 50mA;
- Điện áp răng cưa cực đại : 16V;
- Tụ nối chân 10 : $C = 0,5\mu\text{F}$;
- Điện áp điều khiển (vào chân 11) : $0,5 \div 16\text{V}$;
- Dòng đồng bộ (vào chân 5) : 200 μF ;



Hình 9.22 : Giản đồ xung của TCA 780

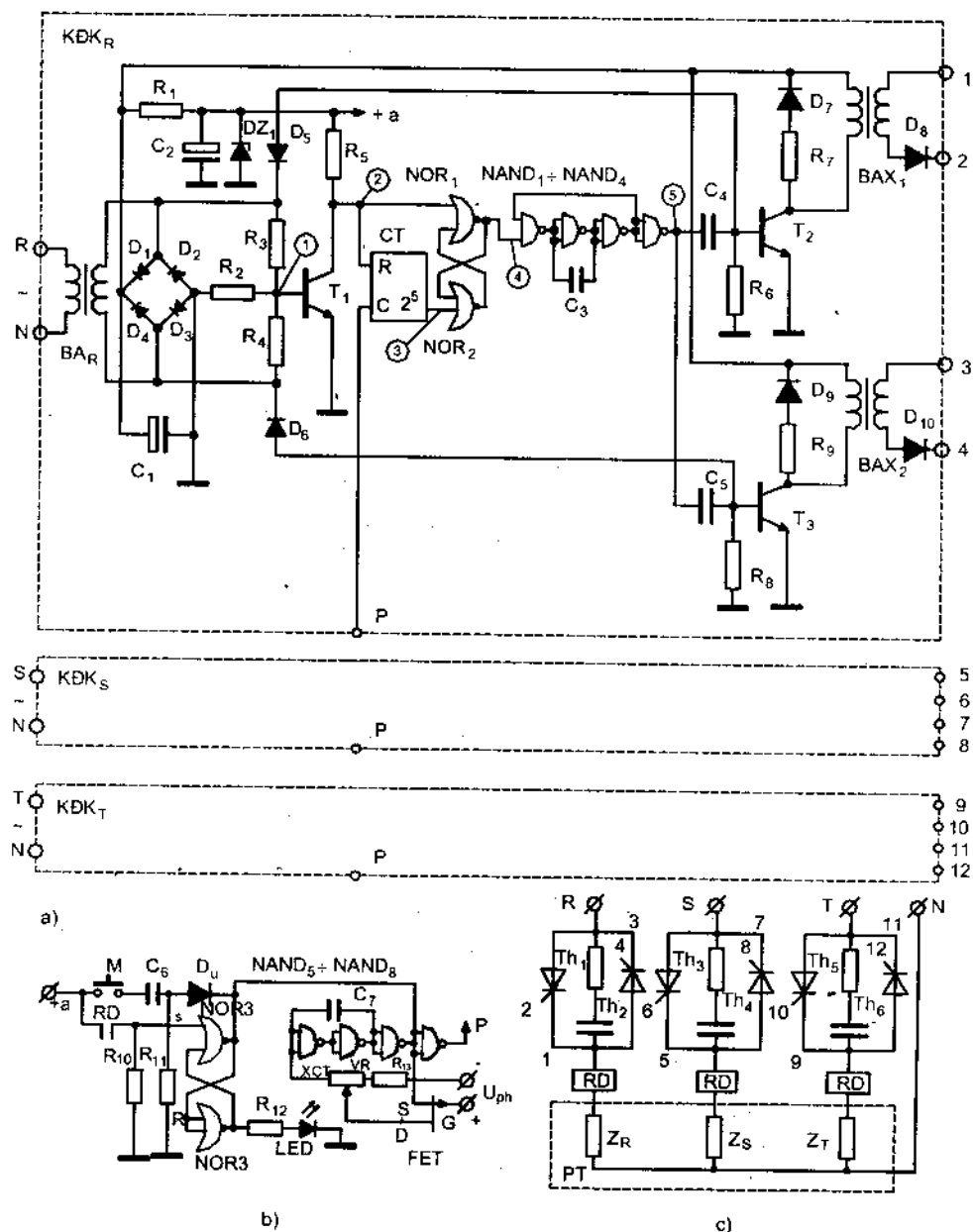
- Tần số xung ra : $(10 \div 500)$ Hz.

Giản đồ xung của TCA 780 như ở hình 9.22.

Nửa chu kỳ dương của nguồn, chân 15 xuất hiện xung dương; nửa chu kỳ âm của nguồn, chân 14 xuất hiện xung dương. Các xung này được đưa tới điều khiển mở các thyristo tương ứng của 1 pha.

Sơ đồ 4

Mạch số điều khiển thyristo điều chỉnh điện áp xoay chiều cấp cho phụ tải 3 pha (hình 9.23).

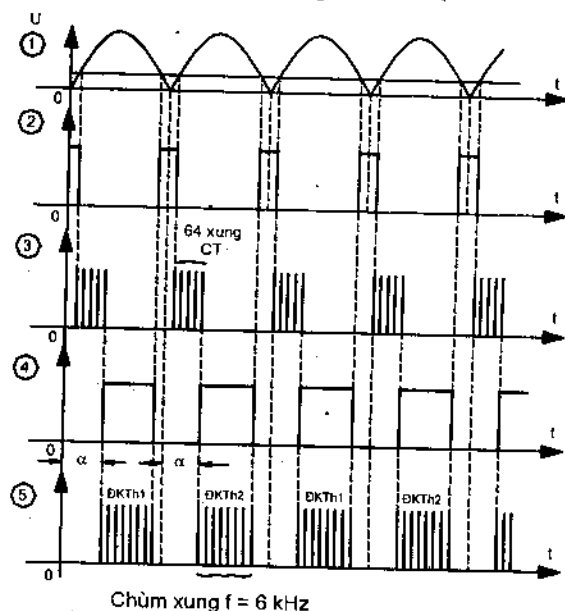


Hình 9.23 : Sơ đồ điều chỉnh điện áp 3 pha

Phụ tải mắc hình sao được cấp điện áp xoay chiều từ nguồn 3 pha có dây trung hoà (λ_0) và được điều chỉnh điện áp nhờ 3 cặp thyristo mắc song song ngược. Ba khối điều khiển cho 3 pha giống hệt nhau. Tại cực bazơ của T_1 (điểm

1), trong mỗi nửa chu kỳ của nguồn thứ cấp biến áp (BA) có một xung áp dương hình sin (hình 9.24a). Tần số xung là 100Hz. Tranzito T_1 thông khi điện áp xung hình sin lớn hơn điện áp ngưỡng BE của nó ($\approx 0,5V$) và T_1 khoá khi xung áp gần về 0. Lúc T_1 khoá, trên còlectơ T_1 xuất hiện xung hẹp với biên độ xấp xỉ điện áp nguồn + a (điểm 2). Xung áp này đặt vào đầu vào R của bộ đếm CT để bộ đếm bắt đầu đếm xung cao tần (XCT) cấp bởi khối phát xung cao tần (hình 9.23b).

Khối phát xung cao tần là bộ đa hài tạo bởi 3 cổng $NAND_5 + NAND_7$, tụ C_7 , R_{13} và VR. Tần số XCT xác định bởi biến trở VR và thay đổi từ vài kHz đến hàng MHz. Khi đầu vào R của bộ đếm CT có xung thì đầu vào bộ nhớ NOR_1 cũng có xung, còn đầu vào bộ đa hài 6kHz (điểm 4) tạo bởi các cổng $NAND_1 + NAND_4$ có mức logic 0.



Hình 9.24: Giản đồ xung theo thời gian của sơ đồ hình 9.23

Sau khi đếm 64 xung cao tần, đầu ra 2^5 có mức logic 1 và mức này đặt vào cổng NOR_2 của bộ nhớ. Đầu ra bộ nhớ chuyển lên mức logic 1 và tới bộ đa hài 6kHz, cho phép bộ đa hài này phát xung (điểm 5). Lúc này, bộ đếm CT ngừng đếm XCT. Chùm xung từ bộ đa hài 6kHz phát ra được phân thành 2 kênh điều khiển cặp thyristo mắc song song ngược. Trước khi khuếch đại, xung được sửa nhờ các tụ C_4 và C_5 . Xung không đồng bộ được khử bởi D_5 và D_6 .

Dòng trung bình mỗi pha qua tải phụ thuộc vào góc mở α , tức là phụ thuộc thời gian đếm 64 xung ở bộ đếm CT. Thời gian này quyết định bởi tần số XCT. Do vậy, thay đổi tần số XCT ở bộ đa hài XCT nhờ biến trở VR sẽ thay đổi được góc mở α .

Mạch có bảo vệ quá dòng điện nhờ các role dòng điện cực đại ở các pha. Khi bị quá dòng, tiếp điểm RD (hình 9.23b) sẽ đóng lại. Trơ R - S tạo bởi NOR_3 và NOR_4 có mức logic 1 ở đầu vào S và đầu ra nối với LED sẽ có mức logic 1 và LED sáng, báo sự cố, đồng thời đầu ra đảo nối với $NAND_8$ có mức logic 0. $NAND_8$ là khoá điện tử sẽ cắt XCT tới bộ đếm CT, ngừng mở các thyristo.

Sau khi sự cố được giải quyết, hệ được khởi động lại nhờ ấn nút M để tạo xung mở khoá điện tử NAND₈ và duy trì mức logic 1 này nhờ trigơ R - S (NOR₃ và NOR₄).

Khi hệ có phản hồi (âm) thì tín hiệu phản hồi U_{ph} đưa về điều khiển tranzito trường FET để điều chỉnh điện trở mạch VR - R₁₃, cũng là điều chỉnh tần số phát XCT. Nếu hệ không có phản hồi thì các điểm S - D được nối tắt.

Mạch này cho phép điều khiển các thyristo có dòng tới vài trăm ampe.

CÂU HỎI CHƯƠNG 9

1. Xung điều khiển thyristo phải đáp ứng những yêu cầu gì ? Yêu cầu nào là quan trọng nhất ?

2 Mạch điều khiển thyristo thông thường bao gồm các khối gì ? Nêu chức năng của từng khối.

3. Giải thích nguyên lí điều khiển thyristo của các sơ đồ 1, 2, 3, 4.

4. Hãy nêu nhận xét những điểm khác nhau và giống nhau của sơ đồ 3 và 4 ?

Chương 10

CÁC BỘ BIẾN TẦN

10.1. KHÁI QUÁT VỀ CÁC BỘ BIẾN TẦN

Các bộ biến tần là thiết bị biến đổi dòng điện xoay chiều ở tần số này thành dòng điện xoay chiều ở tần số khác.

Điện áp ra của các bộ biến tần cũng có thể thay đổi khác với điện áp lưới cấp vào bộ biến tần, tùy theo tần số cấp ra.

Các bộ biến tần được sử dụng rất rộng rãi để điều chỉnh tốc độ động cơ.

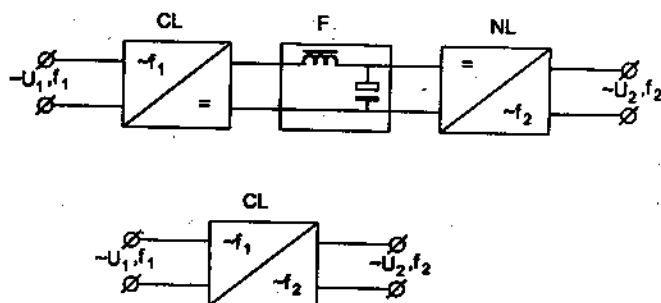
Các bộ biến tần chia thành 2 loại chính :

1. Bộ biến tần gián tiếp (bộ biến tần độc lập - autonom inverter)

Trong bộ biến tần này, dòng điện xoay chiều đầu vào tần số f_1 được chỉnh lưu thành dòng điện một chiều (tần số $f = 0$), lọc rồi lại được (nghịch lưu) thành dòng điện xoay chiều tần số f_2 (hình 10.1a).

Đây là bộ biến tần được dùng phổ biến hơn vì tần số f_2 hoàn toàn không phụ thuộc vào f_1 mà chỉ phụ thuộc vào mạch điều khiển. Bộ biến

tần gián tiếp còn gọi là bộ biến tần có khâu trung gian một chiều.



Hình 10.1 : Cấu trúc bộ biến tần gián tiếp (a) và trực tiếp (b)

2. Bộ biến tần trực tiếp (bộ biến tần phụ thuộc - cycloconverter)

Bộ biến tần trực tiếp là bộ biến tần biến đổi thẳng dòng điện xoay chiều tần số f_1 thành tần số f_2 không qua khâu chỉnh lưu (hình 10.1b). Do vậy, phụ tải có thể trao đổi năng lượng với lưới một cách liên tục, hiệu suất bộ biến tần cao.

Bộ biến tần trực tiếp thay đổi tần số ra khó khăn và tần số ra f_2 phụ thuộc vào tần số vào f_1 ($f_2 \leq f_1$).

10.2. BỘ BIẾN TẦN GIÁN TIẾP (hay bộ biến tần độc lập)

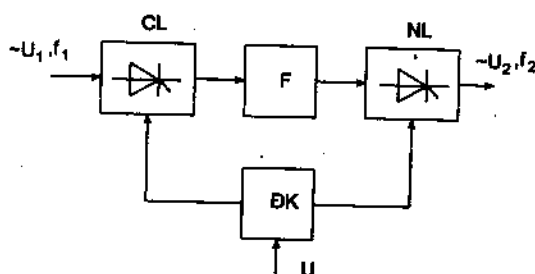
Sơ đồ chức năng của bộ biến tần gián tiếp được biểu thị trên hình 10.2.

Tùy theo tính chất nguồn một chiều sau chỉnh lưu mà bộ biến tần gián tiếp chia ra làm bộ biến tần gián tiếp nguồn áp (dùng tụ điện) và bộ biến tần gián tiếp nguồn dòng (dùng cuộn cảm).

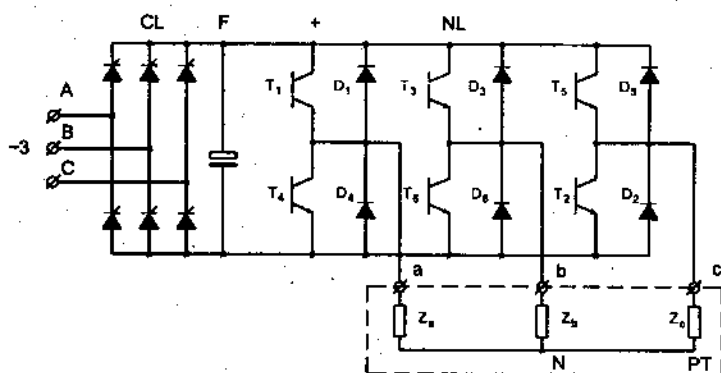
Với bộ biến tần gián tiếp nguồn áp thì dạng điện áp của nguồn một chiều xác định dạng điện áp ra trên tải, còn dạng dòng điện ra trên tải phụ thuộc tính chất của tải (phụ thuộc các thông số của tải).

Với bộ biến tần gián tiếp nguồn dòng thì dạng dòng điện của nguồn một chiều xác định dạng dòng điện ra trên tải, còn dạng điện áp ra trên tải phụ thuộc tính chất của tải.

Xét một sơ đồ bộ biến tần 3 pha nguồn áp dùng tranzito (hình 10.3) :
Chỉnh lưu là 3 pha hình cầu có điều khiển (xem chương 4) với tụ lọc C tạo



Hình 10.2 : Sơ đồ chức năng bộ biến tần gián tiếp

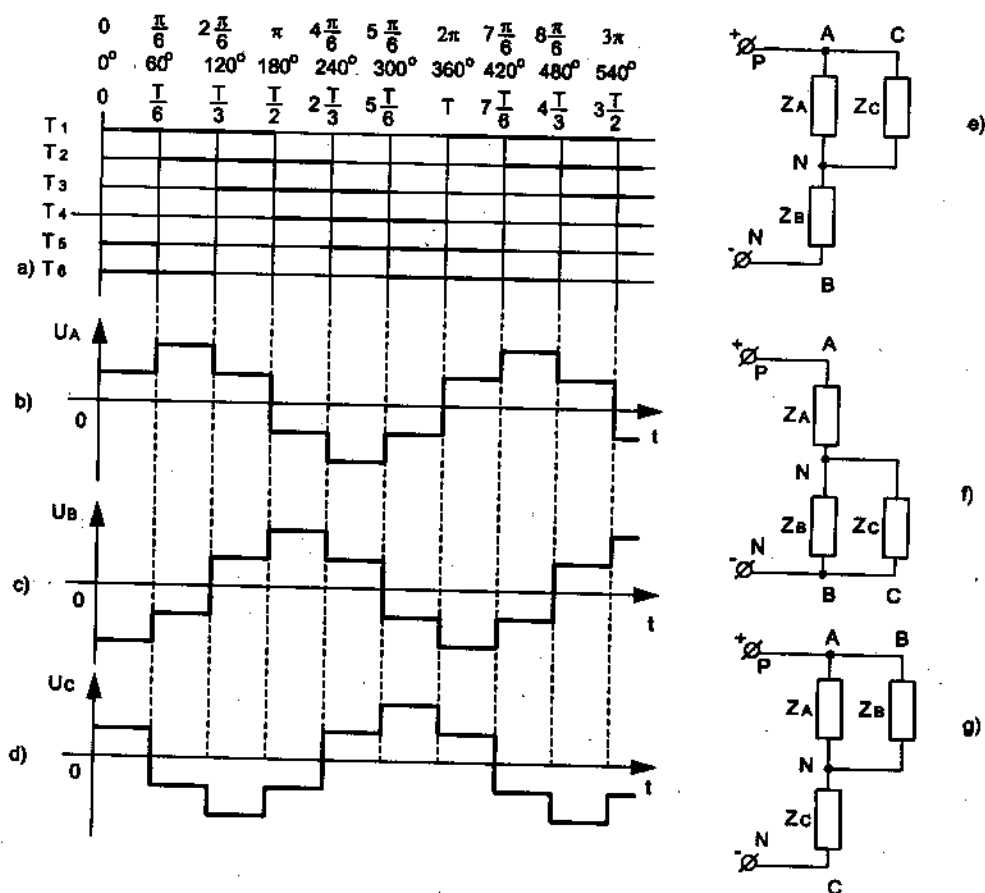


Hình 10.3 : Sơ đồ bộ biến tần gián tiếp 3 pha nguồn áp

ra nguồn áp một chiều cấp cho bộ nghịch lưu gồm 6 tranzito. Có thể thay các tranzito bằng thyristo. Tải 3 pha có thể mắc hình sao hay tam giác.

Để tạo ra điện áp 3 pha ở đầu ra lệch nhau $\frac{2\pi}{3}$, bộ điều khiển ĐK (hình 10.2) phải phân phối các xung để các tranzito dẫn dòng trong từng phần của chu kỳ. Thông thường cho các tranzito dẫn dòng trong $1/2$ hay $1/3$ chu kỳ (tương ứng với khoảng dẫn là π hay $\frac{2\pi}{3}$).

Theo sơ đồ dẫn, các tranzito ở hình 10.4a ứng với khoảng dẫn π thì tại bất cứ thời điểm nào cũng có 3 tranzito dẫn và cứ 60° lại có sự chuyển mạch. Từ đó, trong khoảng $\left(0 \div \frac{\pi}{3}\right)$, mạch tải mắc sao ở hình 10.3 được nối vào



Hình 10.4 : Sơ đồ dẫn của các tranzito ở hình 10.3 và dạng điện áp trong trường hợp khoảng dẫn là π

nguồn xoay chiều như hình 10.4e. Có thể thấy trong khoảng này :

$$U_a = U_{za} = \frac{1}{3}U = U_c = U_{zc}, U_b = U_{zb} = -\frac{2}{3}U$$

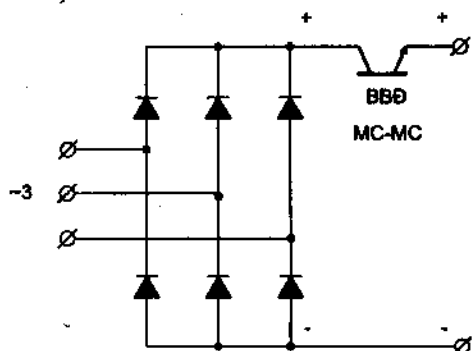
Như vậy, ở mọi thời điểm đều có một pha tải nối tiếp với 2 pha tải còn lại mắc song song nhau (hình 10.4f, g).

Suy luận tương tự cho các khoảng tiếp theo (ứng với 60° một), ta có đồ thị điện áp ra như hình 10.4b, c, d. Đó là những điện áp xoay chiều dạng bậc thang.

Dạng dòng điện (đồng pha, nhanh pha hay chậm pha so với điện áp) tùy thuộc vào tính chất tải (xem mục 7.4.3).

Các diốt mắc song song ngược với tranzito là các diốt hoàn năng lượng.

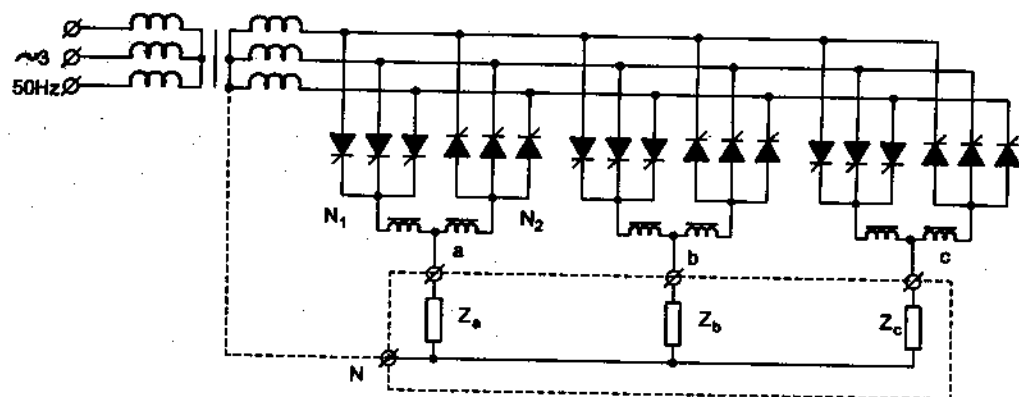
Sơ đồ bộ biến tần ở hình 10.3 dùng bộ chỉnh lưu có điều khiển để thay đổi điện áp ra. Bộ biến tần có thể dùng bộ chỉnh lưu không điều khiển (hình 10.5) nhưng cần có thêm bộ biến đổi một chiều - một chiều để thay đổi điện áp sau chỉnh lưu. Sơ đồ này có nhiều khâu biến đổi nên hiệu suất kém hơn và thường sử dụng ở tải công suất nhỏ (dưới 30kW).



Hình 10.5 : Bộ biến tần với chỉnh lưu không điều khiển và bộ biến đổi một chiều - một chiều

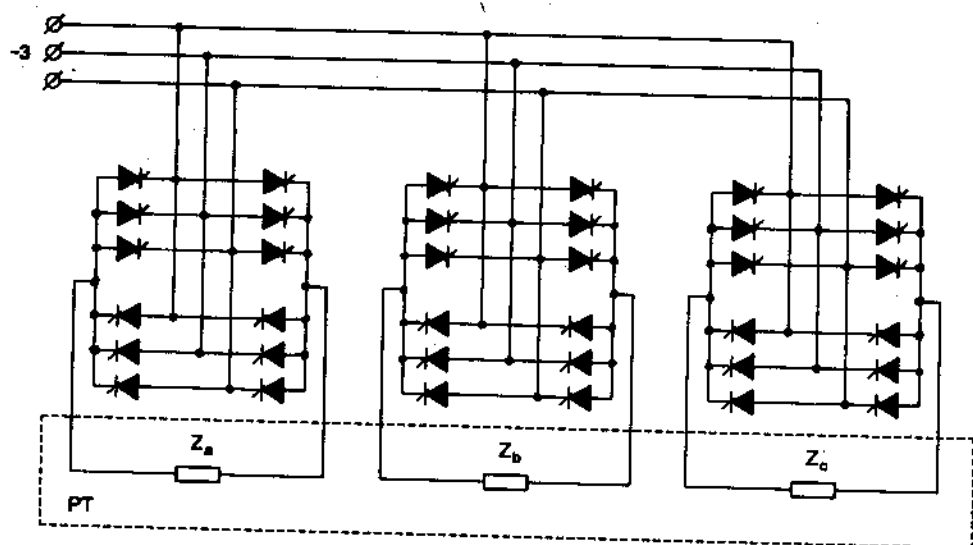
10.3. BỘ BIẾN TẦN TRỰC TIẾP (hay bộ biến tần phụ thuộc)

Các bộ biến tần trực tiếp sẽ trực tiếp biến đổi điện áp u_1 , tần số f_1 thành điện áp xoay chiều u_2 , tần số f_2 không qua khâu chỉnh lưu thành điện áp một chiều.



Hình 10.6 : Sơ đồ bộ biến tần trực tiếp 3 pha (hình tia)

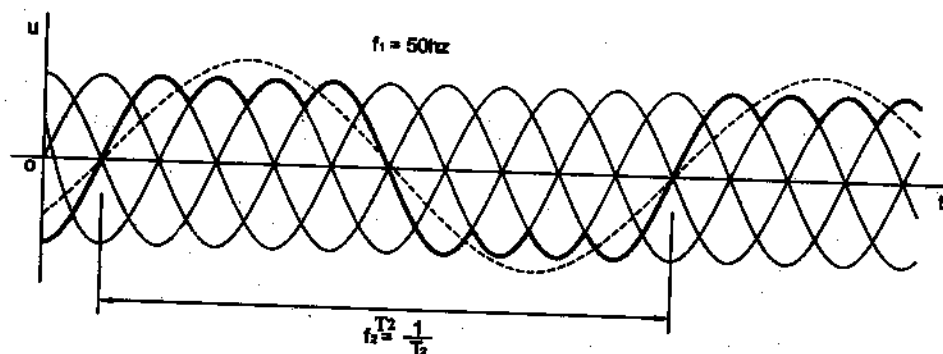
Tần số f_2 luôn nhỏ hơn hoặc bằng f_1 , nên tải của bộ biến tần trực tiếp thường là động cơ xoay chiều làm việc ở tốc độ thấp.



Hình 10.7 : Sơ đồ bộ biến tần trực tiếp 3 pha (hình cầu)

Sơ đồ gồm 3 pha điện áp ra (hình 10.6). Mỗi pha tạo bởi một sơ đồ mà về nguyên tắc chính là sơ đồ chỉnh lưu có đảo chiều, gồm 2 chỉnh lưu 3 pha (hình tia) ngược chiều nhau. Có thể thay cấu chỉnh lưu hình tia thành hình cầu nhưng khi đó số thyristo sẽ tăng gấp 2 (hình 10.7) và mạch điều khiển sẽ phức tạp hơn. Khi dùng phương pháp điều khiển riêng sẽ không cân cuộn kháng cân bằng (hình 10.7), còn khi dùng phương pháp điều khiển chung thì cần có cuộn kháng cân bằng (hình 10.6).

Xét điện áp ra của pha a trên sơ đồ hình 10.6. Hai nhóm chỉnh lưu



Hình 10.8 : Dạng điện áp ra 1 pha ở sơ đồ hình 10.6

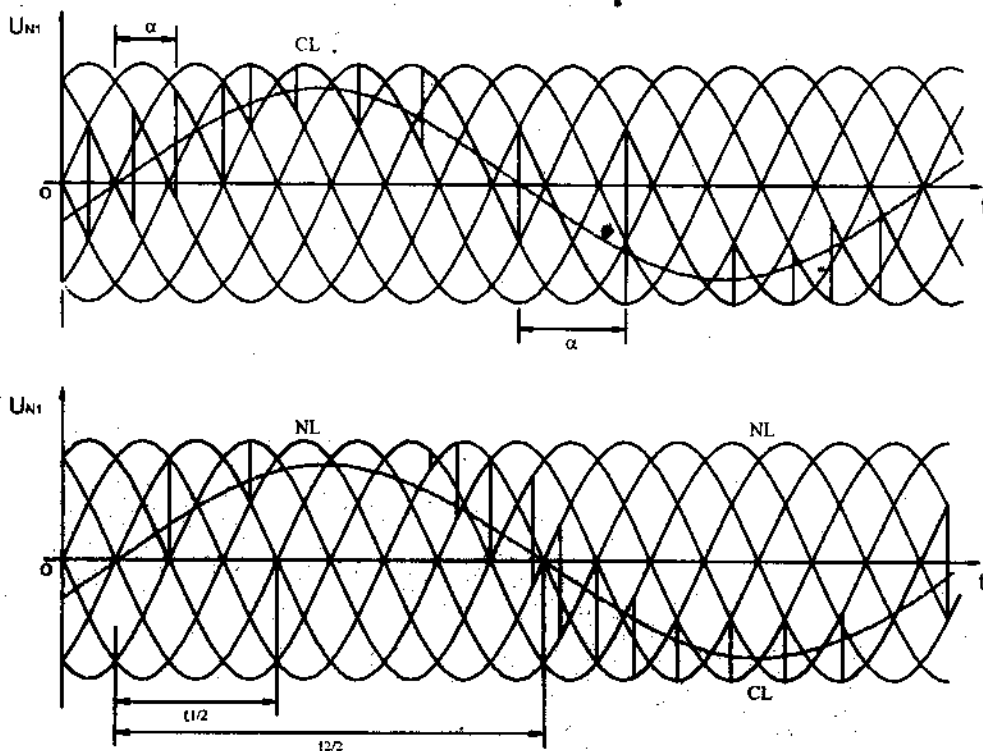
thyristo hình tia N_1 và N_2 mắc song song ngược sẽ luân phiên nhau làm việc nên trên 1 pha tải có một điện áp ra xoay chiều mà độ lớn và tần số của điện áp phụ thuộc vào quy luật điều khiển. Quy luật này là :

- Nhóm thyristo N_1 cung cấp cho tải dòng điện dương.
- Nhóm thyristo N_2 cung cấp cho tải dòng điện âm.
- Các góc mở α_1 và α_2 phải thoả mãn điều kiện :

$$\alpha_1 + \alpha_2 = \pi$$

để đảm bảo giá trị điện áp trung bình ở cả 2 chiều là như nhau.

Khi nhóm N_1 làm việc ở chế độ chỉnh lưu thì nhóm N_2 làm việc ở chế độ nghịch lưu. Sau đó, ứng với nửa chu kì tiếp sau của điện áp ra, N_1 làm việc ở chế độ nghịch lưu, còn N_2 làm việc ở chế độ chỉnh lưu. Quá trình như vậy cứ tiếp diễn.



Hình 10.9 : Dạng điện áp ra 1 pha ở sơ đồ hình 10.7

Hình 10.8 là dạng điện áp ra một pha ứng với tải thuần trở ở sơ đồ hình 10.6 ứng với số lần chuyển mạch từ thyristo này sang thyristo khác của sơ đồ trong một chu kì là $p = 3$ và số chòm sin có trong nửa chu kì điện áp ra là $n = 4$. Tần số điện áp ra tính theo :

$$f_2 = \frac{f_1}{1 + \frac{2(n-1)}{p}} \quad (10.1)$$

Hình 10.9 là dạng điện áp 1 pha ra của sơ đồ biến tần phụ thuộc dùng sơ đồ cầu (hình 10.7).

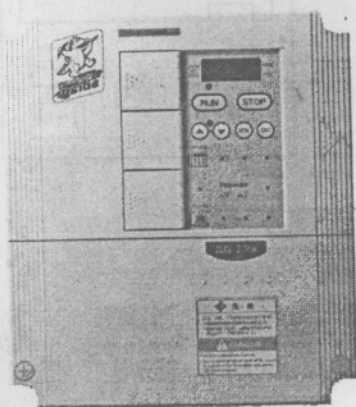
10.4. CÁC BỘ BIẾN TẦN THƯỜNG GẶP

Trong thực tế, các bộ biến tần thường dùng để điều khiển tốc độ quay của động cơ điện xoay chiều thay đổi trơn theo tần số.

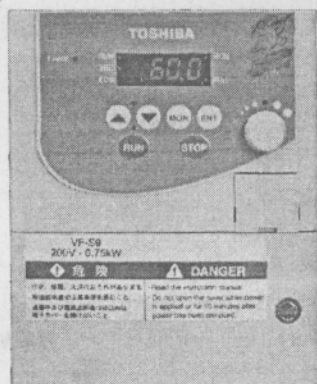
Các bộ biến tần sử dụng trong thực tế rất đa dạng, có chức năng khác



Hình 10.10 : Hình dáng bên ngoài một số loại biến tần a) Micromaster 420 ; b) Commander ; c) Midimaster ; d) 3G3JV/MV



e)



f)

Hình 10.10 : Hình dáng bên ngoài một số loại biến tần : e) VF - S9 ; f) VF - A7

nhau tùy theo mục đích sử dụng, tính chất truyền động. Chúng được sản xuất từ các hãng ở nhiều nước khác nhau. Các bộ biến tần đều có bảng phím điều khiển và có màn hình hiển thị bằng tinh thể lỏng (LCD). Bảng phím điều khiển cho phép cài đặt các chức năng của bộ biến tần, thiết lập các thông số, chế độ làm việc của động cơ, đặt các ngưỡng bảo vệ động cơ và có thể báo các lỗi xảy ra.

Sơ đồ nối dây giữa bộ biến tần với động cơ và cách thức cài đặt chế độ điều khiển, làm việc của bộ biến tần cũng tùy thuộc từng hãng sản xuất. Để sử dụng bộ biến tần, cần phải xem tài liệu hướng dẫn của hãng. Hình 10.10 là một số loại biến tần.

10.4.1. Biến tần Lenze 8201 ÷ 8204

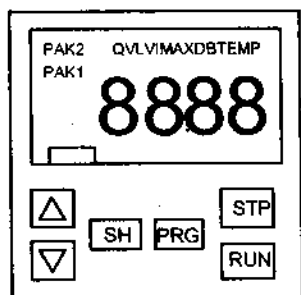
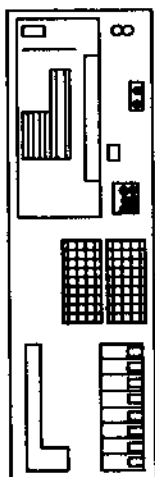
Các thông số chính của bộ biến tần Lenze 8201 ÷ 8204 được cho ở bảng 10.1.

Bảng 10.1

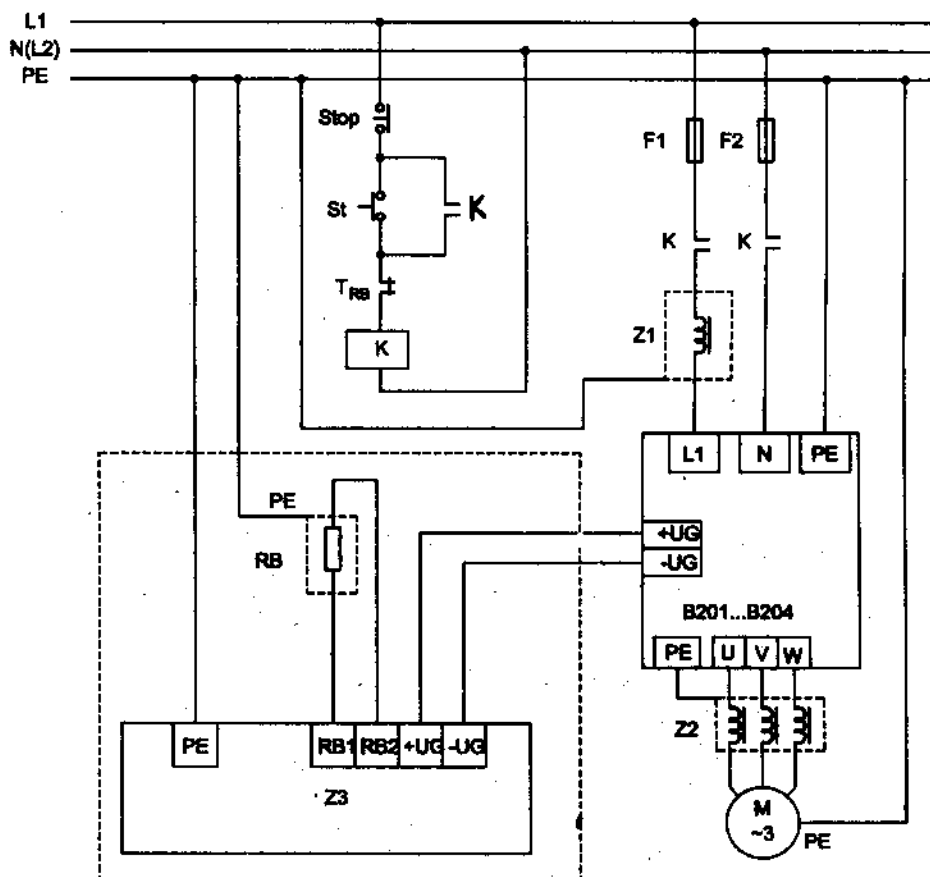
LENZE	8201	8202	8203	8204
Nguồn cấp (V)	190 ÷ 260 (45Hz ÷ 65Hz)			
Dòng cấp (A)				
- Có cuộn cảm lọc	4,2	7,0	12,5	17,0
- Không có cuộn cảm lọc	5,0	9,0	15,0	-
Công suất ra (kVA)	1,0	1,5	2,7	3,6
Dòng điện ra (A)	2,6	4,0	7,0	9,5
Dòng điện ra cực đại trong 60s (A)	3,9	6,0	10,5	14,2

Biến tần Lenze 8201 ÷ 8204 có hình dáng mặt trước như trên hình 10.11.

Sơ đồ nối dây như hình 10.12. Nguồn cấp cho bộ biến tần là nguồn xoay chiều 1 pha (L_1 - N) hoặc (L_1 - L_2) tùy theo điện áp lưới, sao cho điện áp đầu vào nằm trong giới hạn (190 ÷ 260)V.



Hình 10.11 : Hình dạng bộ biến tần Lenze 8201 ÷ 8204
a) Mặt trước ; b) Mặt hiển thị



Hình 10.12 : Sơ đồ nối dây bộ biến tần Lenze

Trong sơ đồ có : cầu chảy F_1 và F_2 ; công tắc tơ K ; nút ấn khởi động và dừng Stop ; các cuộn lọc Z_1, Z_2 ; mạch phanh Z_3 ; điện trở mạch phanh RB và tiếp điểm bảo vệ T_{RB} .

Mô đun điều khiển có mặt hiển thị LCD với 5 chữ số và 6 phím ấn chức năng (hình 10.11b).

- Phím PRG : Biến đổi chức năng thành mã và ngược lại.

- Phím SH : Biến đổi mã ra thông số và ngược lại.

- Phím Δ : Tăng giá trị hiển thị.

- Phím ∇ : Giảm giá trị hiển thị.

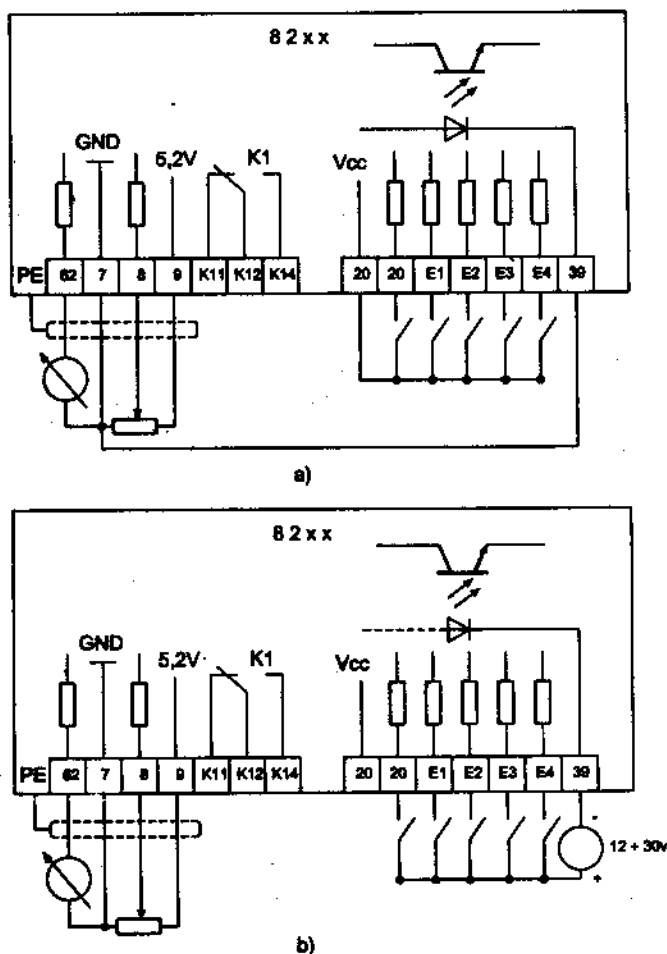
- SH + Δ : Tăng nhanh giá trị hiển thị.

- SH + ∇ : Giảm nhanh giá trị hiển thị.

- Phím STP : Khóa biến tần.

- Phím RUN : Biến tần làm việc.

Hình 10.13 trình bày cách nối mạch điều khiển khi dùng nguồn cấp trong (a) và khi dùng nguồn cấp ngoài (b).



Hình 10.13 : Sơ đồ nối mạch điều khiển :
a) Với nguồn cấp trong ; b) Với nguồn cấp ngoài

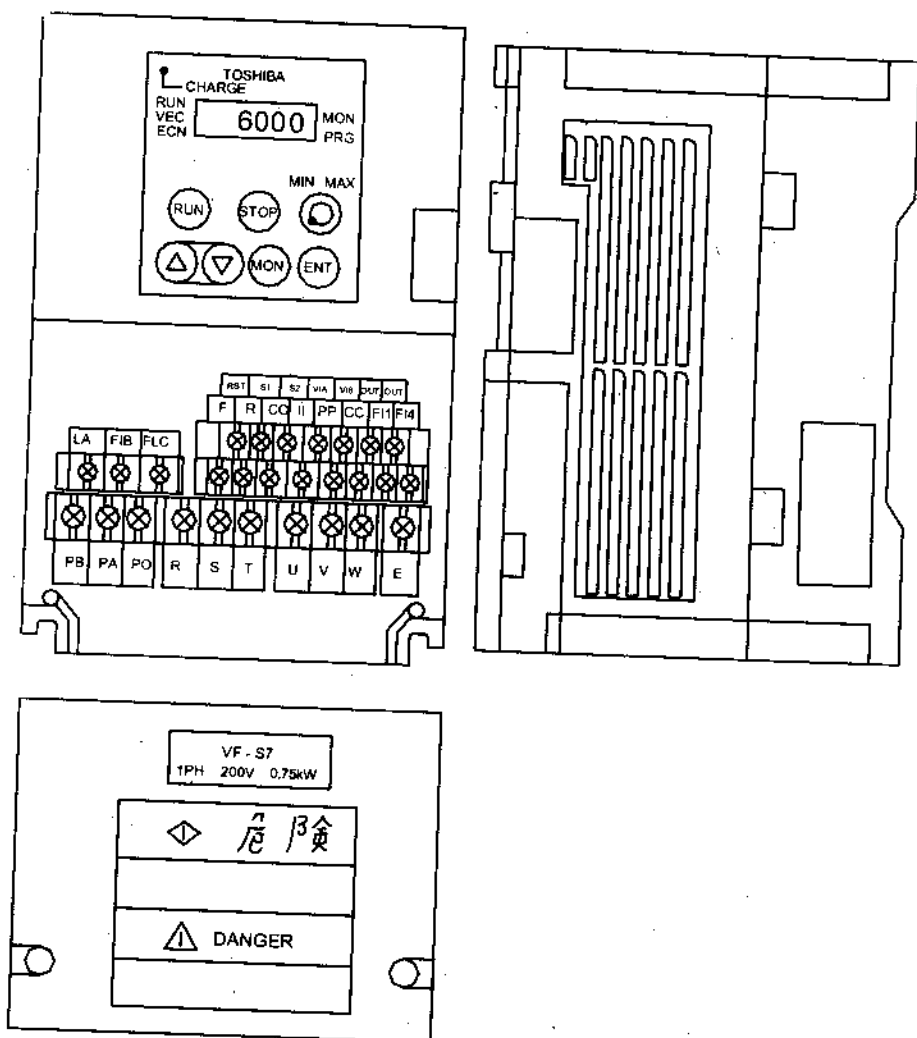
10.4.2. Biến tần Toshiba VF - S7

Hình 10.14 là hình dáng bên ngoài của biến tần Toshiba VF - S7.

Biến tần Toshiba VF - S7 có loại sử dụng điện lưới 3 pha 200V, 3 pha 400V và 1 pha 200V. Loại 3 pha có công suất tới 15kW. Loại 1 pha có công suất tới 2,2kW. Các thông số chính của các biến tần Toshiba VF - S7 được cho ở bảng 10.2.

Bảng 10.2

Loại điện áp vào		3 pha 200V / 3 pha 400V / 1 pha 200V									
Công suất ra (kW)		0,2	0,4	0,75	1,5	2,2	3,7	5,5	7,5	11	15
Loại	3 pha 200V - VF-S7	-	2004P	2007P	2015P	2022P	2037P	2055P	2075P	2110P	2150P
	3 pha 400V - VF-S7	-	-	4007P	4015P	4022P	4037	4055P	4075P	4110P	4150P
	1 pha 200V - VF-S7S	2002P	2004P	2007P	2015P	2022P	-	-	-	-	-
Nguồn cấp	3 pha 200V	3 pha (220 + 230) VAC ± 10%; 50/60 Hz ± 5%									
	3 pha 400V	3 pha (380 + 400) VAC ± 10%; 50/60 Hz ± 5%									
	1 pha 200V	1 pha (200 + 240) VAC ± 10%; 50/60 Hz ± 5%									
Tần số ra		(0,5 + 320) Hz									
Sai lệch tần số		Đặt số ± 0,01% tần số ra cực đại (ở - 10° + 50°C)									
Mức quá tải		Đặt tương tự : ± 0,5 tần số ra cực đại (ở - 10° + 25°C)									
Tín hiệu đặt tần số		150% trong 60s									
		Chiết áp ngoài : (1 + 10) kΩ									
		(0 ÷ 10) VDC (trở kháng vào : VIA = 30; 55 kΩ/VIB = 30 kΩ)									
		(4 + 0) mADC (trở kháng vào 400Ω)									



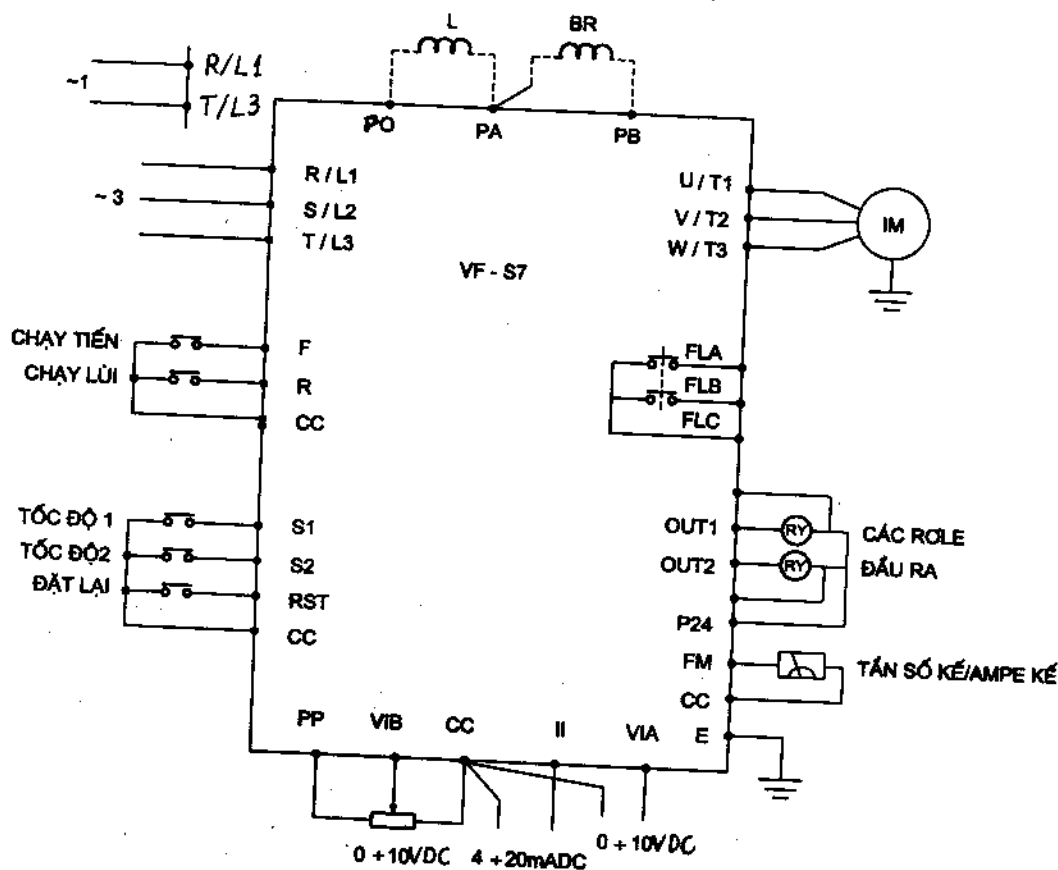
Hình 10.14 : Biến tần Toshiba VF - S7

Sơ đồ nối dây như hình 10.15. Nguồn cấp cho biến tần là tùy theo kiểu biến tần.

Nguồn cấp nối vào bores R, T (1 pha) hay R, S, T (3 pha). Đầu ra động cơ là U, V, W. Điện trở hãm động năng BR nối với bores PA, PB. Cuộn kháng L nối với PO, PA. Các bores nối điều khiển là :

- P24 : Đầu ra 24 VDC (dòng cực đại 100mA), dùng cho các role.
- OUT1 : Đầu ra còlectơ hờ (cực đại 50mA), tác động ở tốc độ thấp.

- OUT2 : Đầu ra côlectơ hở (cực đại 50mA), tác động khi hoàn tất giảm tốc hoặc tăng tốc.
- CC : Cực chung.
- PP : Đầu ra cấp nguồn cho chiết áp đặt tần số (10VDC) có thể từ (1 + 10) k Ω . Chọn 3k Ω .
- VIB : Đầu vào tín hiệu đặt tần số (0 ÷ 10 VDC).
- || : Đầu vào tín hiệu dòng đặt tần số (4 + 20) mADC.



Hình 10.15 : Sơ đồ nối dây của biến tần VF - S7

- VIA : Đầu vào tín hiệu áp đặt tần số (0 ÷ 10) VDC.
- FM : Đầu ra nối với tần số kế hay ampe kế : tín hiệu tương tự (0 ÷ 1) mADC ; (0 + 7,5) VDC.
- FLA, FLA, FLC : Các đầu ra tiếp điểm role bảo vệ (tải thuần trở : 250 VAC - 2A hay 30 VDC - 2A ; tải cảm kháng : 1,5A).
- F : Đầu vào điều khiển chạy thuận.

- R : Đầu vào điều khiển chạy ngược.
- RST : Đầu vào reset (đặt lại).
- S1 : Đầu vào điều khiển chạy với tốc độ 1 đặt trước.
- S2 : Đầu vào điều khiển chạy với tốc độ 2 đặt trước.

Modun điều khiển có mặt hiển thị với 4 số và 6 phím ấn chức năng (hình 10.14).

- RUN : Khởi động, đèn RUN sáng.
- STOP : Dừng, đèn RUN tắt.
- UP Δ , DOWN ∇ : Tăng, giảm tần số trong thời gian thao tác.
- MON : Kiểm tra.
- ENT : Nhập dữ liệu.

Tren mặt modun điều khiển còn có một chiết áp mà khi đèn phía trên chiết áp sáng thì có thể thay đổi tần số bằng chiết áp này.

CÂU HỎI CHƯƠNG 10

1. Thế nào là bộ biến tần ? Có mấy loại biến tần ? Chúng khác nhau thế nào ?
2. Nguyên lí làm việc của bộ biến tần gián tiếp.
3. Nguyên lí làm việc của bộ biến tần trực tiếp.

Chương 11

CÁC BỘ ĐIỀU KHIỂN LẬP TRÌNH ĐƯỢC (PLC) VÀ ỨNG DỤNG

Trong kĩ thuật điều khiển tự động trước đây, việc điều khiển các thiết bị, máy móc nhờ các phần tử điều khiển liên kết với các phần tử chuyển mạch bằng dây nối theo một chức năng nhất định mà mạch cần thực hiện với một sơ đồ nối dây tương ứng. Khi cần thay đổi một phần chức năng của bộ điều khiển thì phải thay đổi lại cấu trúc cũng như nối dây lại theo sơ đồ mới. Công việc này thường là phức tạp, tốn kém, mất thời gian và phải thêm bớt thiết bị.

Ngày nay, kĩ thuật điều khiển tự động sử dụng ngày càng phổ biến các bộ điều khiển lập trình được (gọi tắt là PLC - Programable Logic Controller). Chức năng mà bộ điều khiển cần thực hiện được xác định bởi một chương trình được nạp vào bộ nhớ của PLC. Các thiết bị ngoại vi (cảm biến, nút bấm, công tắc nhạy, công tắc tơ, đèn tín hiệu...) đều được nối với PLC. Khi cần mở rộng hay thay đổi chức năng của bộ điều khiển, chỉ cần thay đổi chương trình trong bộ nhớ nhờ lập trình lại. Tính mềm dẻo và khả năng mở rộng các ứng dụng là ưu điểm nổi trội của PLC.

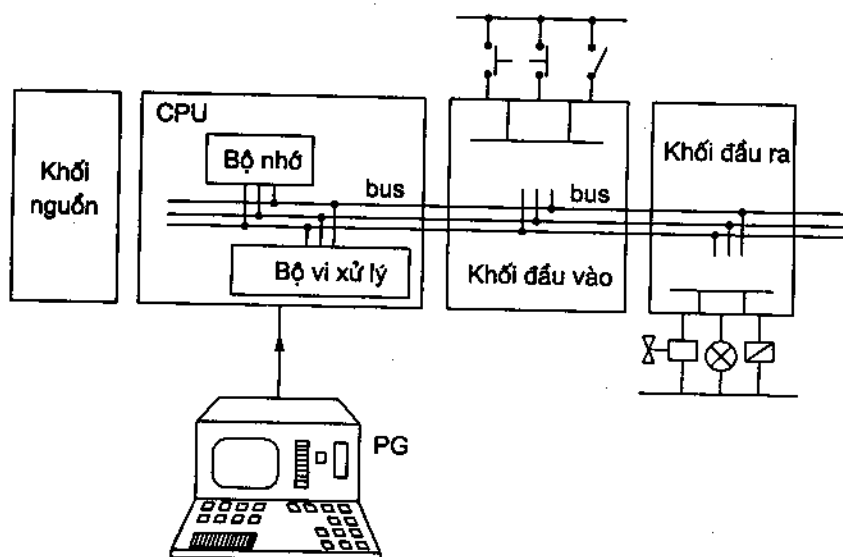
PLC thực chất là một máy tính công nghiệp được gắn trực tiếp tại máy sản xuất, đa dạng về chủng loại, do nhiều hãng sản xuất ở nhiều nước khác nhau.

11.1. CẤU TRÚC CƠ BẢN VÀ NGUYÊN LÝ HOẠT ĐỘNG CỦA PLC

Các PLC đều có cấu trúc cơ bản, gồm các khối (hình 11.1) :

- Khối xử lý trung tâm (CPU - Central Processing Unit). Trong khối này có bộ vi xử lý, bộ nhớ. Bộ vi xử lý với cổng giao tiếp dùng cho việc ghép nối với PG (Programmer) là bộ lập trình.

- Khối đầu vào (hoặc ghép nhiều khối đầu vào).
- Khối đầu ra (hoặc ghép nhiều khối đầu ra).
- Khối nguồn : cấp nguồn nuôi cho các khối của PLC.



Hình 11.1: Sơ đồ khối của PLC

Bộ vi xử lý đọc chương trình chứa trong bộ nhớ và kiểm tra các đầu vào để xác định xem chúng có mang điện áp hay không. Sau khi đọc chương trình, bộ vi xử lý sẽ đóng mạch hoặc ngắt mạch các đầu ra khác nhau.

Các đường tín hiệu đầu vào nối với các khối đầu vào (mô đun vào). Các cơ cấu chấp hành được nối với các khối đầu ra (mô đun ra).

Mỗi bộ PLC bao gồm nhiều thành phần điện tử hoạt động với điện áp cấp ra từ khối nguồn một chiều.

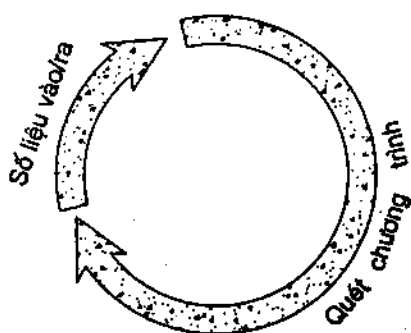
Chương trình điều khiển được lập trình bởi PG. Khi được nối với PLC thì PG có thể chuyển chương trình vào bộ nhớ của PLC hoặc sửa đổi chương trình trong bộ nhớ. PG cũng có thể được dùng để theo dõi hoạt động của PLC và xác định lỗi chương trình.

Các tín hiệu vào - ra của PLC là các tín hiệu số. Mỗi đầu vào hoặc đầu ra đều có một địa chỉ duy nhất.

Trong PLC, các số liệu được trao đổi giữa bộ vi xử lý và các mô đun vào, ra thông qua các đường truyền gọi là bus. Một bus gồm nhiều đường tín hiệu song song và được nối với nhiều bộ phận khác nhau. Hệ thống bus được chia thành bus địa chỉ, bus số liệu và bus điều khiển.

Khi bus địa chỉ có 8 đường thì chúng có thể chuyển đồng thời (hay chuyển song song) 8 bit của một byte và dung lượng là $2^8 = 256$ địa chỉ. Nếu một mô đun đầu vào nhận được địa chỉ của nó trên bus địa chỉ thì nó sẽ chuyển các trạng thái tín hiệu ở đầu vào của nó vào bus số liệu. Khi địa chỉ đầu ra xuất hiện trên bus địa chỉ thì mô đun đầu ra tương ứng sẽ nhận số liệu từ bus số liệu.

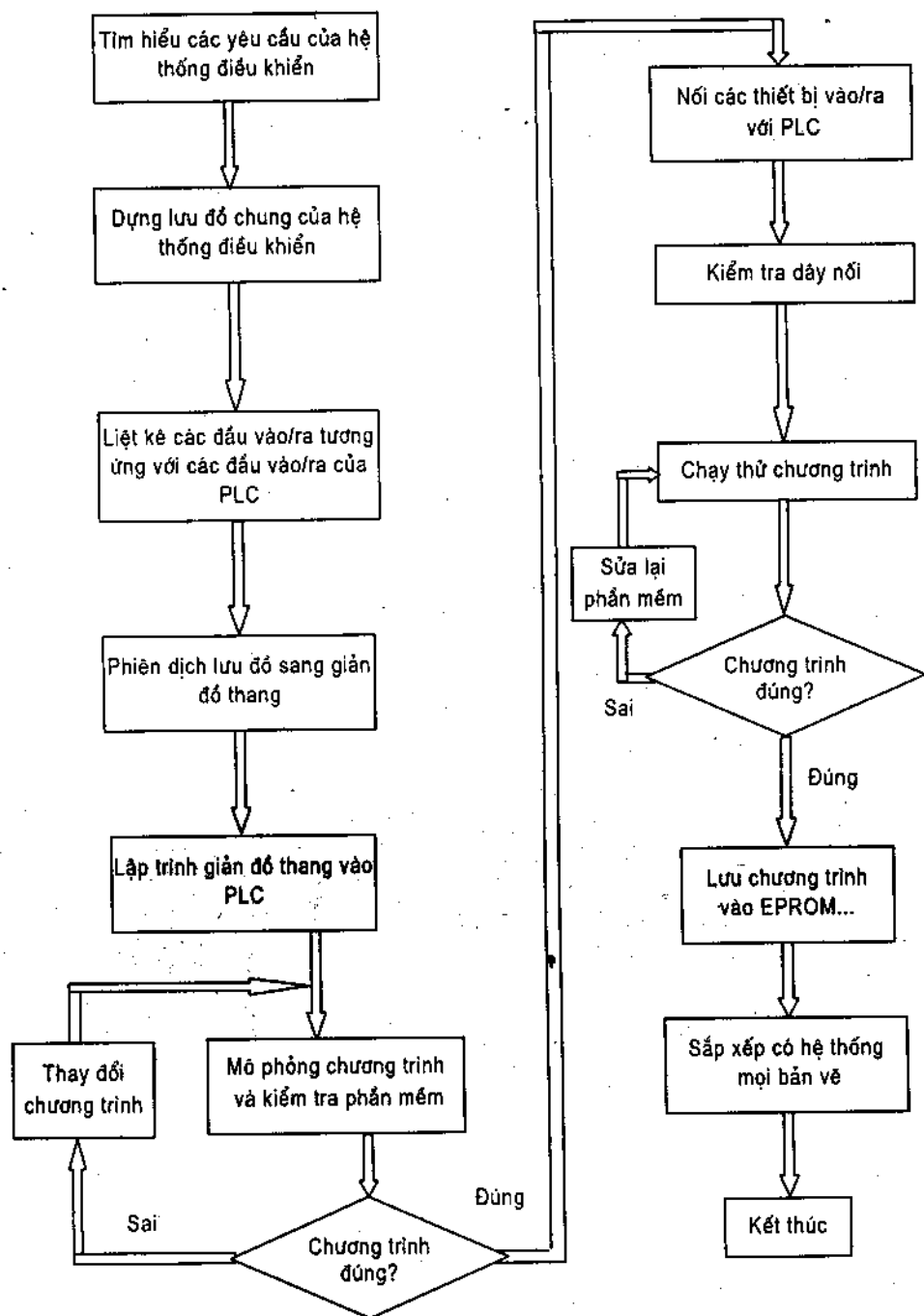
Bus điều khiển sẽ chuyển các tín hiệu điều khiển và theo dõi chu trình hoạt động của PLC. Quá trình đọc các đầu vào thực hiện chương trình và đưa tín hiệu đầu ra gọi là quét. Thời gian quét là quá trình liên tục và tuần tự từ đọc đầu vào, đánh giá, quyết định logic điều khiển và đưa tín hiệu ra (hình 11.2).



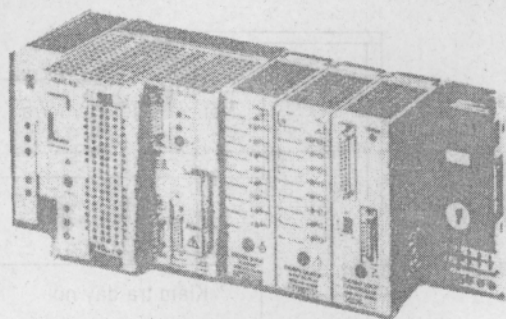
Hình 11.2 : Chu trình quét

Đặc điểm của thời gian quét là bộ điều khiển phản ứng với đầu vào và xử lý chính xác logic điều khiển nhanh hay chậm. Thời gian cần thiết cho một lần quét thường thay đổi từ $1\text{ms} \div 30\text{ms}$ và phụ thuộc vào độ dài của chương trình ứng dụng cũng như cự li nối các thiết bị ngoại vi với PLC. Ngoài ra, việc điều hành chương trình điều khiển cũng làm tăng thêm thời gian quét bởi vì bộ xử lý trung tâm (CPU) phải giữ trạng thái các cuộn dây, thời gian đóng các tiếp điểm và thời gian truyền dẫn giữa các phần tử.

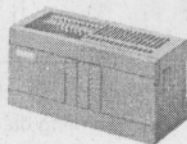
11.2. SƠ ĐỒ THIẾT KẾ MẠCH ĐIỀU KHIỂN LẬP TRÌNH



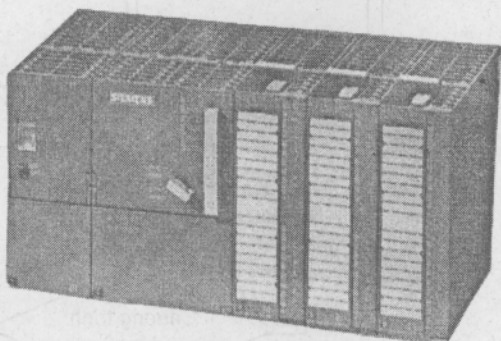
Hình 11.3 giới thiệu dạng ngoài của một số PLC đang sử dụng ở Việt Nam.



a)



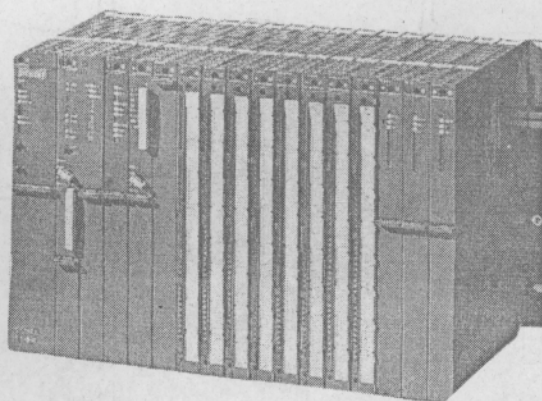
b)



c)

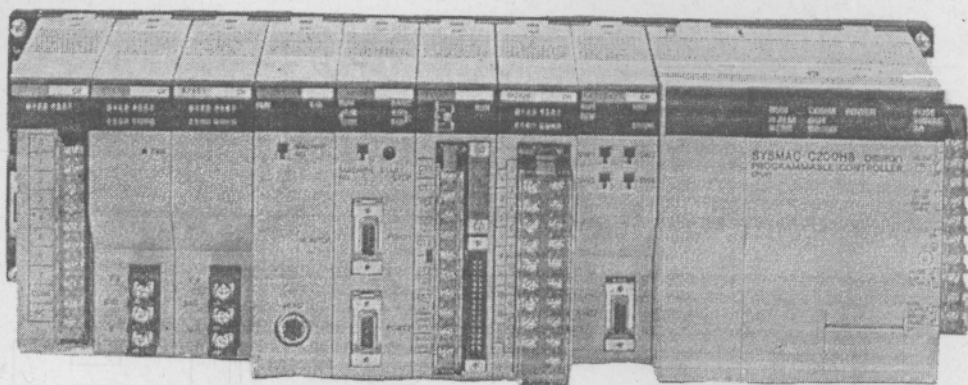


e)



d)

Hình 11.3 : Một số PLC : a) S5 - 95U ; b) S7 - 200 ; c) S7 - 300 ; d) S7 - 400 ; e) CQM - 1;



Hình 11.3 : Một số PLC
f) MITSUBISHI

11.3. LẬP TRÌNH CHO PLC

PLC thực hiện điều khiển một máy hay một dây chuyền sản xuất khi được cung cấp một chương trình lập ra bởi người sử dụng. Chương trình này được viết trên máy lập trình PG qua bàn phím rồi sau đó được chuyển hoặc nạp vào bộ nhớ chương trình của PLC.

Máy lập trình thế hệ mới là những hệ máy vi tính với các bộ vi xử lý mạnh. Máy lập trình có bàn phím để người sử dụng đưa vào các lệnh hoặc chương trình và một màn hình để theo dõi chương trình nạp. Khi chương trình đã hoàn chỉnh, máy lập trình sẽ dịch chương trình ra một ngôn ngữ mà PLC có thể hiểu được (mã máy riêng) rồi chuyển chương trình này vào bộ nhớ của PLC. Mã máy chỉ dùng trong PLC. Chương trình do người sử dụng thiết lập theo một ngôn ngữ khác, dễ hiểu và dễ thực hiện hơn. Ví dụ : Ngôn ngữ STEP 5 cho PLC của hãng Siemens (Đức), ngôn ngữ lập trình cho PLC của hãng OMRON (Nhật).

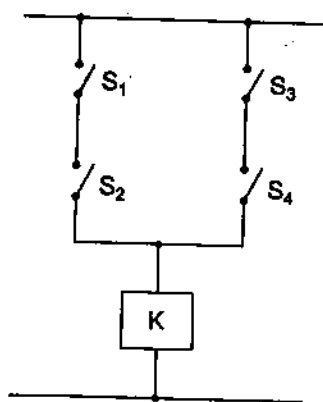
Chương trình được lập bằng cách nhập tuần tự các lệnh. Các lệnh có thể biểu thị bằng các phương pháp :

- Dạng giản đồ thang (LAD - Ladder Diagramm).
- Sơ đồ khối hệ điều khiển (CSF - Control System Flowchart).
- Danh sách lệnh (STL - Statement List).

Để hiểu sơ bộ các phương pháp trên, ta xét ví dụ đơn giản sau dưới dạng khái quát, dùng PLC họ SIMATIC S5.

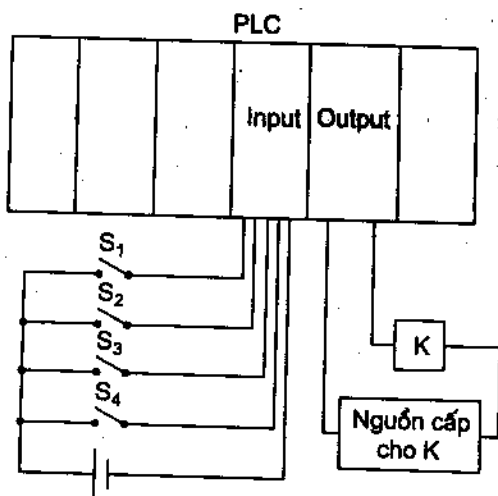
Ví dụ :

Sơ đồ điều khiển khí cụ K bằng các công tắc qua 2 mạch nối tiếp S_1, S_2

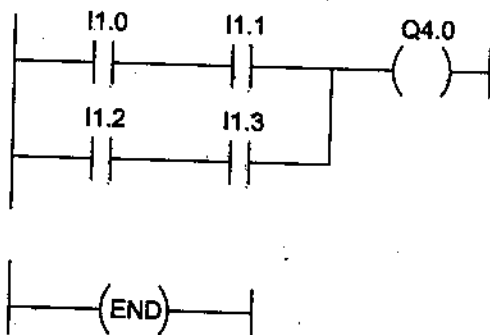


Hình 11.4 : Sơ đồ điều khiển khí cụ K và S_3, S_4 mắc song song nhau (hình 11.4).

Để lập chương trình vào PLC, phải gán tương ứng các phần tử đầu vào S_1, S_2, S_3 và S_4 với các đầu vào nào đó của PLC và gán phần tử đầu ra K với đầu ra của PLC như bảng 11.1. Mạch nối các phần tử với PLC như hình 11.5.



Hình 11.5 : Sơ đồ nối với PLC



Hình 11.6 : Chương trình viết bằng LAD

Bảng 11.1 :

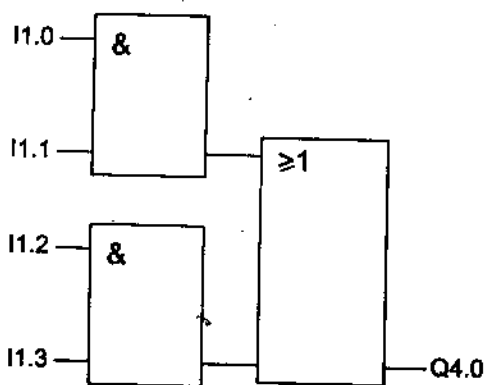
Phân công đầu vào	Phần tử
I1.0	S_1
I1.1	S_2
I1.2	S_3
I1.3	S_4

Phân công đầu ra	Phần tử
Q4.0	K

Lập trình theo giản đồ thang (LAD) qua phím của PG thì trên màn hình, các đường đi của tín hiệu được biểu thị theo hàng ngang, lần lượt từ trên xuống dưới (hình 11.6). Đây là kiểu lập trình được dùng phổ biến vì dễ làm và giản đồ dễ đọc vì tương tự mạch rơle - công tắc tơ.

Với kiểu lập trình theo sơ đồ khối hệ điều khiển (CSF), hệ điều khiển được tiêu chuẩn hoá qua hàm logic. Các đầu vào (công tắc) được vẽ ở bên trái, các đầu ra (cơ cấu chấp hành K) được vẽ ở bên phải kí hiệu hàm logic. Như trên hình 11.4, S₁ và S₂, S₃ và S₄ tạo hàm logic AND, còn 2 nhóm S₁, S₂ và S₃, S₄ tạo hàm logic OR. Chương trình viết bằng CSF như trên hình 11.7.

Kiểu lập trình thứ 3 theo danh sách lệnh (STL) ít phổ biến hơn và được dùng khi chức năng thao tác không thể biểu diễn dưới dạng sơ đồ. Trong danh sách lệnh (hình 11.8), các lệnh sẽ được bộ vi xử lý thực hiện. Trong đó : A - mạch AND ; O - mạch OR.



Hình 11.7 : Chương trình viết bằng CSF

A	I1.0
A	I1.1
O	
A	I1.2
A	I1.3
=	Q4.0

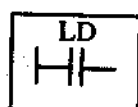
Hình 11.8 : Chương trình viết bằng STL

11.4. LỆNH CƠ BẢN

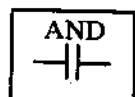
Các lệnh cơ bản để lập trình theo giản đồ thang của các loại PLC nói chung tương tự nhau. Dưới đây, xét PLC loại CQM1 của hãng OMRON.

CQM1 là PLC cho phép chọn các lệnh chương trình tương đối rộng rãi và do đó cho phép dễ dàng lập trình các quá trình điều khiển phức tạp.

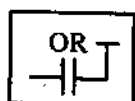
Các lệnh cơ bản là không thể thiếu trong hầu hết các chương trình. Mỗi lệnh tương ứng với một phím trên bộ lập trình.



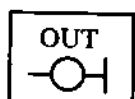
LD LD để khởi động từng mạch hay khối logic.



AND AND để mắc nối tiếp các đầu vào.



OR OR để mắc song song các đầu vào.



OUT OUT là các lệnh ra ở đầu ra.



NOT NOT dùng để đảo (thường mở thành thường kín), NOT có thể dùng với LD, AND, OR, OUT.



END END dùng khi kết thúc chương trình.



TIM Lệnh điều khiển thời gian.



CNT Lệnh điều khiển bộ đếm.



HR Thiết lập các rơ le lưu giữ.



TR Thiết lập các rơ le tạm thời.



SET Chỉ thị vận hành các bộ ghi dịch ...

Đế vào lệnh nào thì nhấn phím tương ứng. Riêng END được chương trình hoá nhờ nhấn các phím FUN, 0 và 1 liên tiếp.

Ví dụ : Chương trình hoá mạch trên hình 11.9.

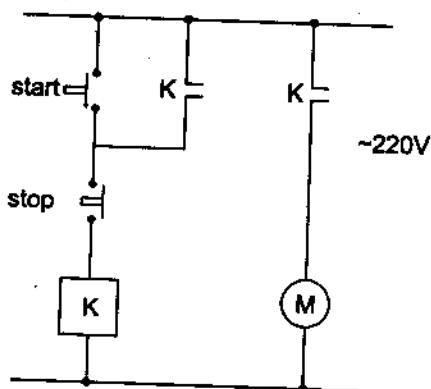
- Phân công các đầu vào - ra như bảng 11.2.

Bảng 11.2 :

Phân công đầu vào	Phần tử
00000	Nút Start
00001	Nút Stop

Phân công đầu ra	Phần tử
10000	Động cơ M

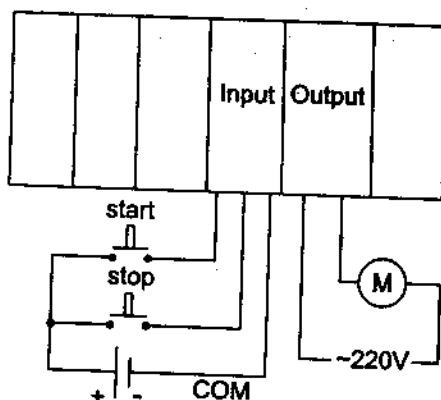
- Các phần tử mạch được nối vào PLC như hình 11.10.



Hình 11.9 : Sơ đồ điều khiển động cơ một pha

- Giảm đồ LAD như hình 11.11.

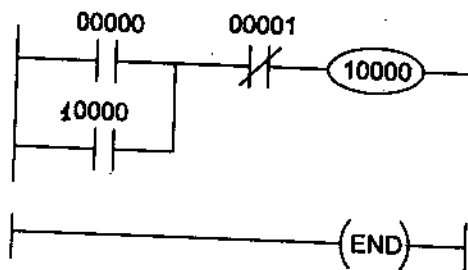
- Bảng mã như bảng 11.3.



Hình 11.10 : Sơ đồ nối mạch với PLC

Bảng 11.3 :

Địa chỉ	Mã lệnh	Dữ liệu
0000	LD	00000
0001	OR	10000
0002	AND NOT	00001
0003	OUT	10000
0004	END (01)	



Hình 11.11 : Giảm đồ LAD

Lưu ý :

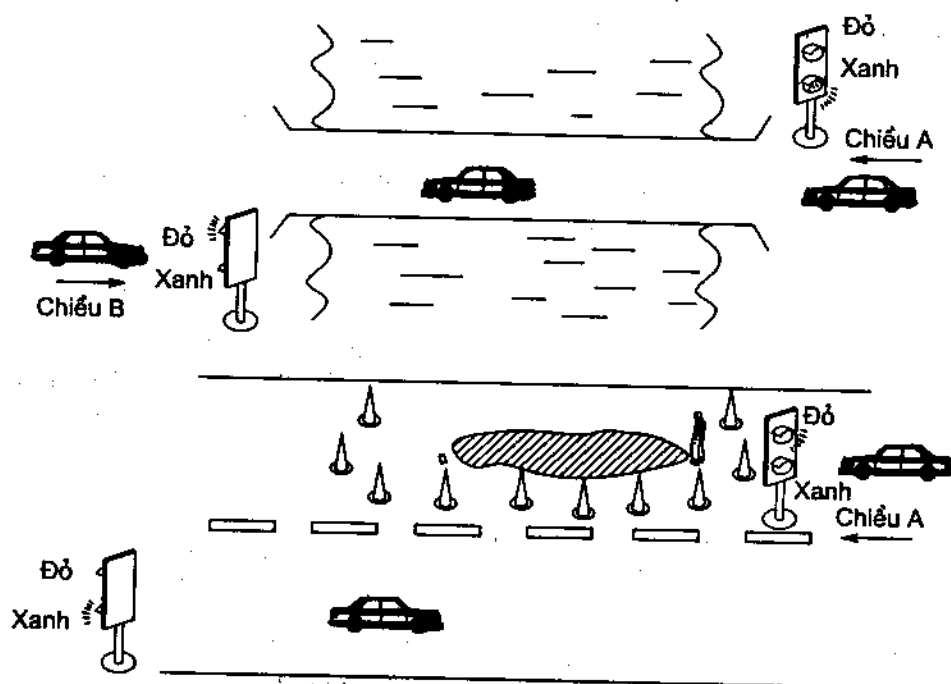
- Các lệnh chỉ được lưu giữ trong bộ nhớ PLC sau khi đã nhấn phím WRITE và tất cả các chương trình phải có lệnh END (FUN 01).
- Để xem các lệnh trong chương trình, sử dụng phím UP ARROW (mũi tên lên ↑) hoặc DOWN ARROW (mũi tên xuống ↓).
- Để chạy chương trình đã lưu giữ trong PLC, đặt chuyển mạch chọn chế độ RUN hoặc MONITOR.
- Để gọi lại một chương trình, kiểm tra chương trình, chèn và xóa các lệnh... bạn đọc cần xem các tài liệu riêng của nhà sản xuất.

11.5. ỨNG DỤNG CỦA CÁC BỘ ĐIỀU KHIỂN LẬP TRÌNH

Ứng dụng của các bộ điều khiển lập trình rất đa dạng, tùy theo yêu cầu, tính chất, độ phức tạp của chương trình điều khiển mà các hãng sản xuất các bộ điều khiển lập trình khác nhau. Dưới đây xét một vài ứng dụng đơn giản :

11.5.1. Điều khiển đèn tín hiệu giao thông

Xét ví dụ đèn tín hiệu điều khiển giao thông ở cầu một làn xe (hình 11.12a) hoặc ở đoạn sửa đường (hình 11.12b).

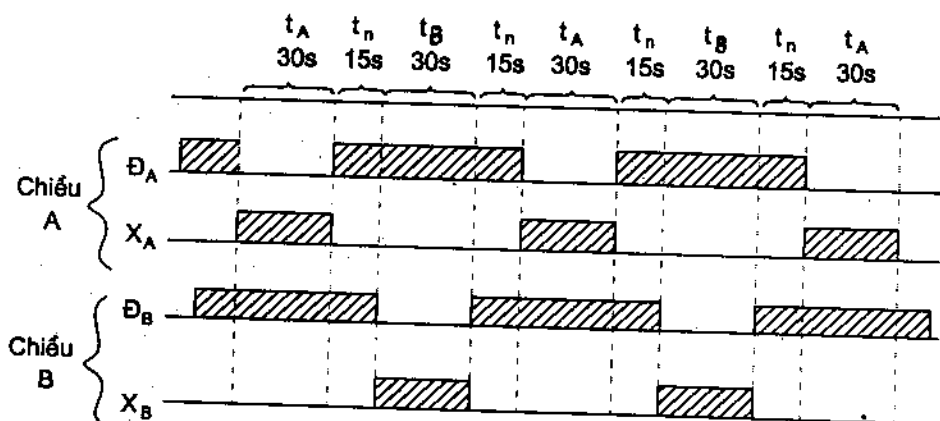


Hình 11.12 : Tín hiệu giao thông đường một làn xe đi lại 2 chiều

Thời gian bật - tắt đèn như trên hình 11.13 được giải thích như sau :

Thời gian thông xe t_A của chiều A hoặc t_B của chiều B tùy thuộc vào đoạn đường và lưu lượng xe. Giả sử đang thông chiều B (hình 11.12b), đèn X_B sáng. Để chuẩn bị thông chiều A, cần :

- Đèn D_B sáng để dừng xe chiều B,
- Đèn D_A tiếp tục sáng trong một thời gian nữa để xe chiều B đã vào làn một chiều chạy ra khỏi làn một chiều (như hình 11.13 là 15s).



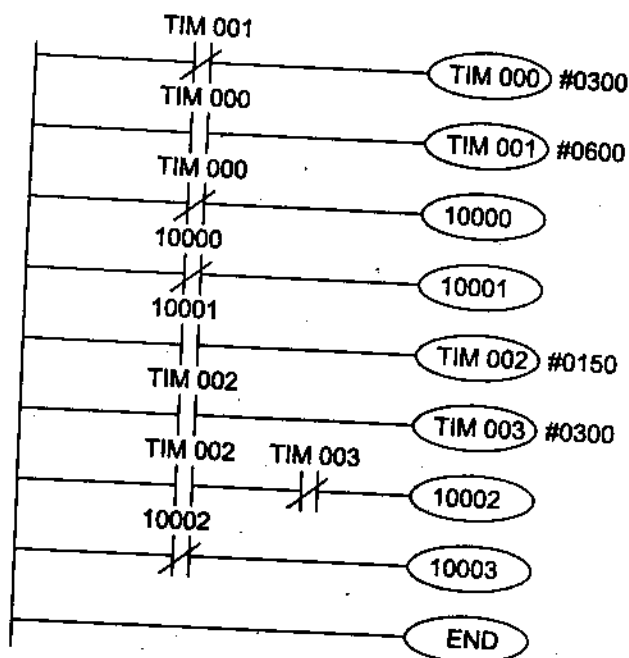
Hình 11.13 : Thời gian bật - tắt đèn X và Đ

Sau đó, đèn X_A sáng cho xe chiều A chạy. Đèn Δ_B sáng để tiếp tục dừng xe chiều B...

Chương trình LAD và mã nhớ như hình 11.14 và bảng 11.4.

Bảng 11.4 :

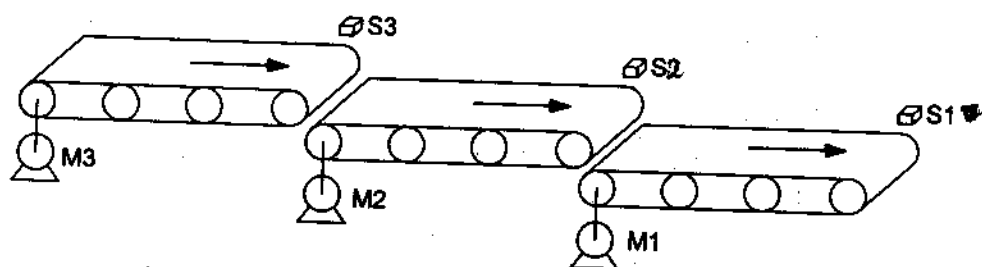
Địa chỉ	Lệnh	Dữ liệu	Địa chỉ	Lệnh	Dữ liệu
0000	LD NOT TIM	001	0009	TIM	002
0001	TIM	000			# 0150
		# 0300	0010	LD TIM	002
0002	LD TIM	000	0011	TIM	003
0003	TIM	001			# 0300
		# 0600	0012	LD TIM	002
0004	LD NOT TIM	000	0013	AND NOT TIM	003
0005	OUT	10000	0014	OUT	10002
0006	LD NOT	10000	0015	LD NOT	10002
0007	OUT	10001	0016	OUT	10003
0008	LD	10001	0017	END (01)	



Hình 11.14 : Giản đồ LAD điều khiển tín hiệu giao thông

11.5.2. Điều khiển băng chuyền

PLC được dùng để khởi động và dừng các động cơ của băng chuyền 3 đoạn. Băng chuyền chỉ chạy khi có vật tải (hình 11.15). Khi các cảm biến



Hình 11.15: Sơ đồ băng chuyền

(sensor) ở cuối băng tải phát hiện có vật tải thì động cơ kéo băng tải tiếp sau chạy. Sau đó, Timer hoạt động và định thời gian vật tải được chuyển qua khỏi băng tải để dừng băng tải.

Bảng 11.5 :

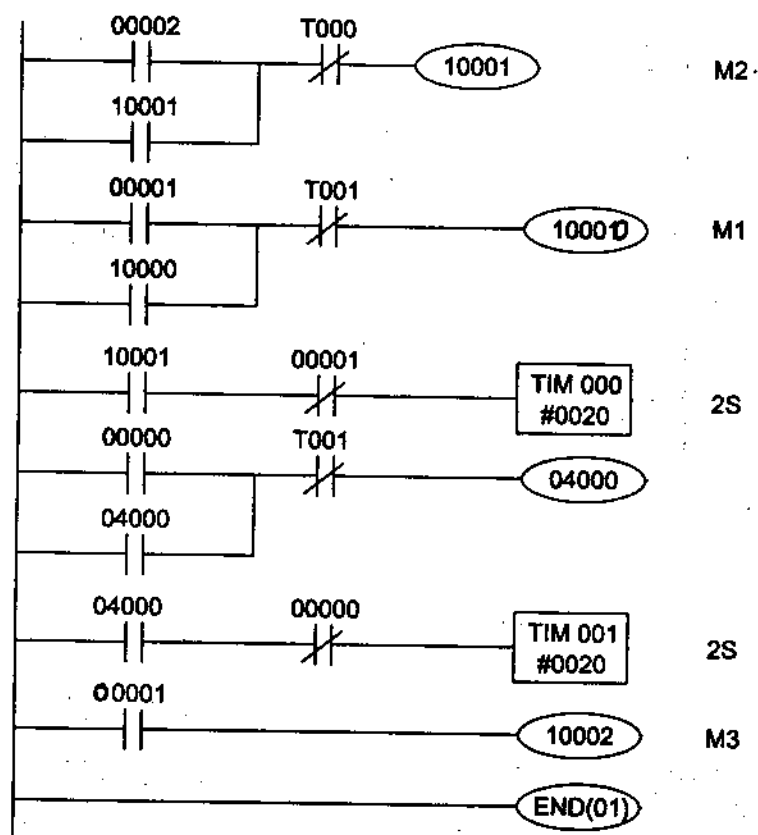
Vào	Phần tử
00000	S1
00001	S2
00002	S3

Ra	Phần tử
10000	M1
10001	M2
10002	M3

Phân công đầu vào - ra (I/O) như bảng 11.5.

Vận hành :

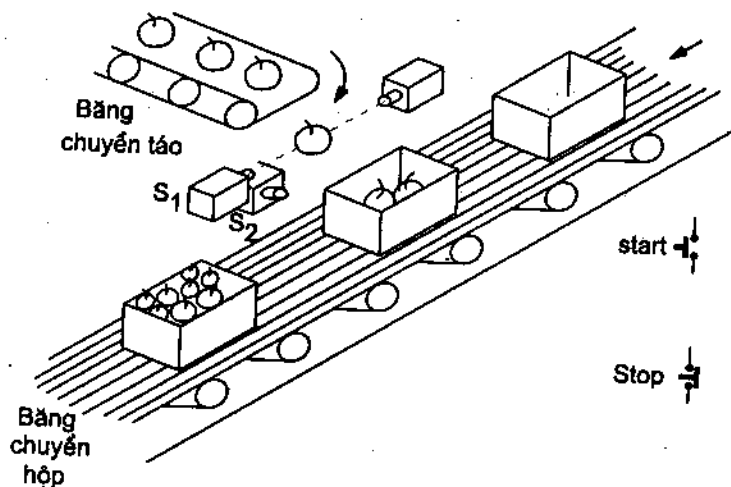
- Động cơ M2 có điện khi cảm biến S3 phát hiện có vật tải.
 - Động cơ M2 chạy cho đến khi M1 có điện và vật tải ra khỏi vùng kiểm soát của S2.
 - Động cơ M1 có điện khi cảm biến S2 phát hiện có vật tải.
 - Động cơ M1 chạy cho đến khi vật tải ra khỏi vùng kiểm soát của S1.
- Giản đồ thang như hình 11.16.



Hình 11.16: Giản đồ LAD điều khiển băng chuyền

11.5.3. Điều khiển dây chuyền đóng gói

Để chạy dây chuyền (hình 11.17), ấn nút M. Khi đó băng chuyền hộp chạy. Cảm biến S2 phát hiện có hộp thì băng chuyền hộp dừng và băng chuyền chuyển tảo chạy. Bộ cảm biến (sensor) S1 đếm tảo qua bộ đếm trong PLC. Khi đếm được 10 quả thì băng chuyền tảo dừng và băng chuyền hộp chạy. Bộ đếm trở về trạng thái ban đầu và quá trình đóng hộp tiếp tục. Dừng toàn bộ nhờ ấn nút D.



Hình 11.17 : Dây chuyền đóng 10 quả táo vào 1 hộp

Phân công các đầu vào - ra như bảng 11.6.

Bảng 11.6 :

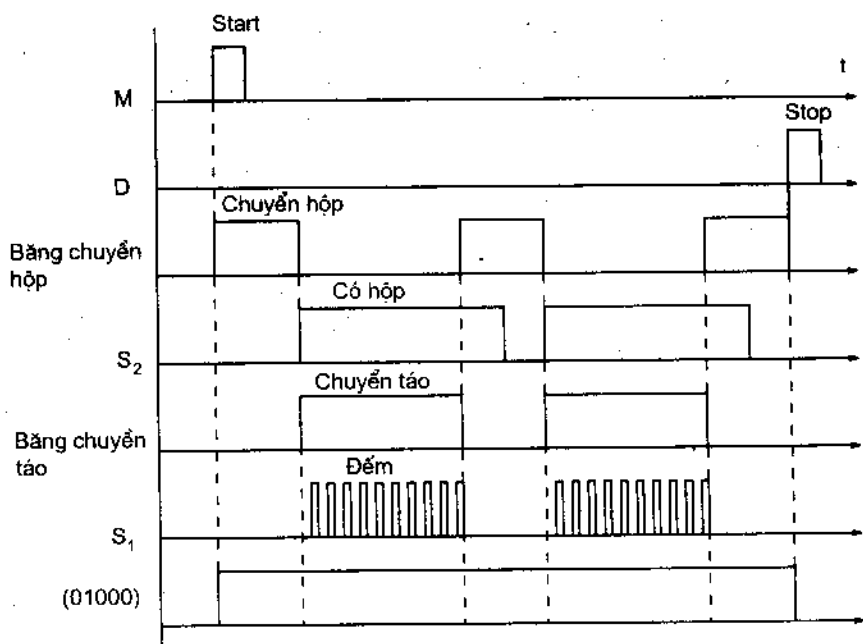
Đầu vào	Phần tử
00000	Nút M
00001	Nút D
00002	Có táo S1
00003	Có hộp S2

Đầu ra	Phần tử
10000	Băng chuyển táo
10001	Băng chuyển hộp

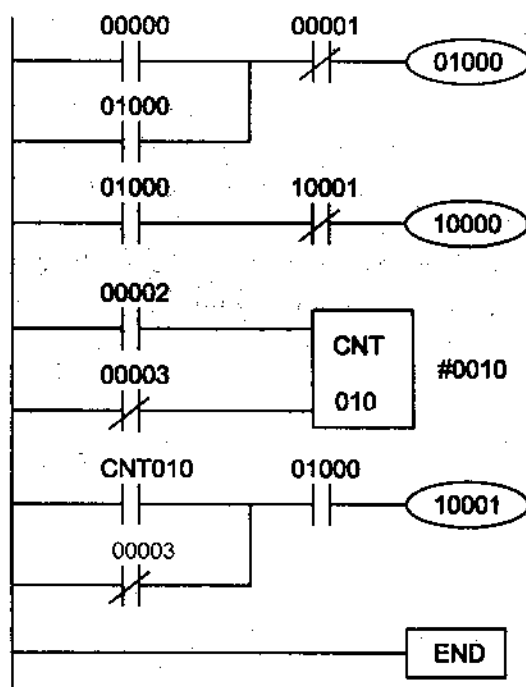
Hoạt động theo thời gian của các phần tử như hình 11.18. Mã nhớ như bảng 11.7 và giản đồ LAD như trên hình 11.19.

Bảng 11.7 :

Địa chỉ	Lệnh	Dữ liệu	Địa chỉ	Lệnh	Dữ liệu
0000	LD	00000	0008	LD NOT	00003
0001	OR	01000	0009	CNT	010
0002	AND NOT	00001			# 0010
0003	OUT	01000	0010	LD	010
0004	LD	01000	0011	OR NOT	00003
0005	AND NOT	10001	0012	AND	01000
0006	OUT	10000	0013	OUT	10001
0007	LD	00002	0014	END (01)	



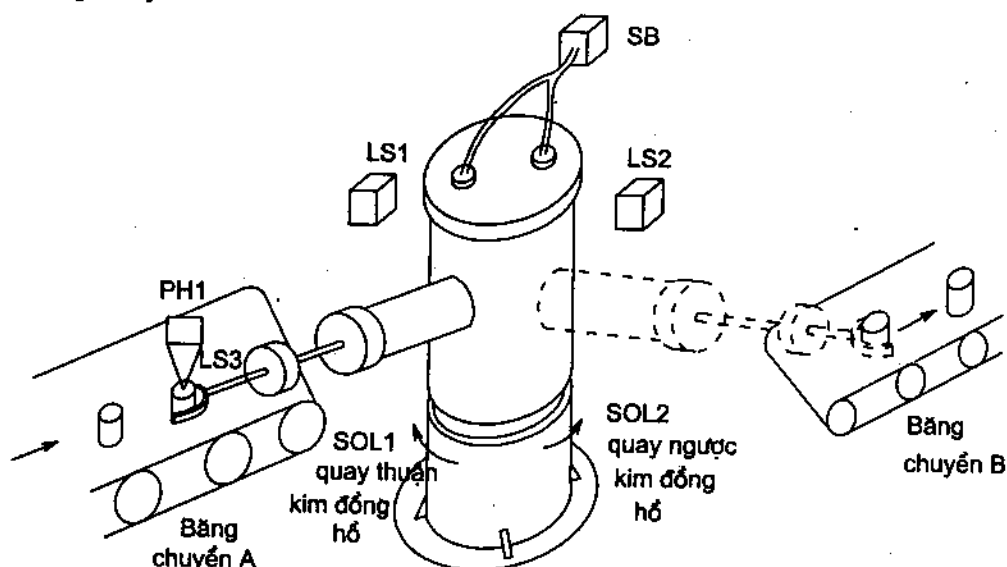
Hình 11.18 : *Giản đồ thời gian về hoạt động của các phần tử trong dây chuyển đóng hộp*



Hình 11.19 : *Giản đồ LAD dây chuyển đóng hộp*

11.5.4. Điều khiển Rôbôt

Rôbôt tay máy công nghiệp dùng trong nhiều xí nghiệp tự động. Rôbôt như trên hình 11.20 dùng để nhặt vật phẩm trên băng chuyển A và đưa sang băng chuyển B.



Hình 11.20: Tay máy công nghiệp

Quá trình thao tác như sau :

- Sau lệnh khởi động, tay máy quay theo chiều kim đồng hồ.
- Khi quay đến vị trí vật phẩm trên băng chuyển A, tay máy sẽ kẹp lấy vật.
- Sau khi kẹp vật, tay máy quay ngược chiều kim đồng hồ để đưa vật sang băng chuyển B.
- Khi quay đến băng chuyển B, tay máy nhả và đặt vật lên băng chuyển B.

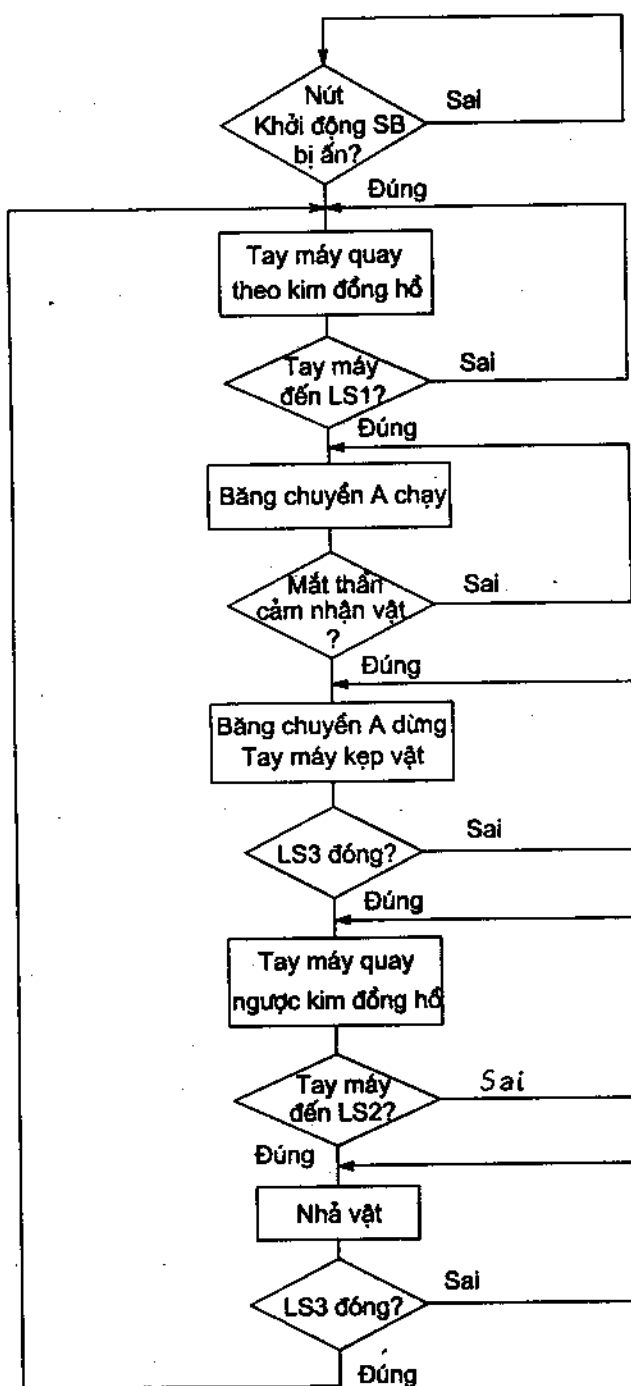
Lưu đồ hoạt động của tay máy như trên hình 11.21.

Phân công các đầu vào - ra như bảng 11.8.

Bảng 11.8 :

Đầu vào	Phần tử
0000	SB
0001	LS1
0002	LS2
0003	LS3, kiểm tra vật
0004	PH1, phát hiện vật
0005	Nút dừng
0006	Nút phục hồi

Đầu ra	Phần tử
10000	SOL1, quay thuận
10001	SOL2, quay ngược
10002	SOL3
10003	Băng chuyển A



Hình 11.21 : Lưu đồ hoạt động của rôbốt công nghiệp

CÂU HỎI CHƯƠNG 11

1. Thế nào là bộ điều khiển lập trình được?
2. So sánh ưu, khuyết điểm giữa mạch điều khiển nối "cứng" dùng các khí cụ điều khiển và mạch điều khiển dùng PLC?
3. Cấu trúc một bộ PLC?
4. Nêu thủ tục thiết kế một mạch điều khiển lập trình.
5. Nguyên tắc lập trình cho PLC. Lấy ví dụ minh hoạ.

MỤC LỤC

	<i>Trang</i>
Lời giới thiệu	3
Mở đầu	4
Chương 1. Vật liệu dùng trong kĩ thuật điện tử công nghiệp	
1.1. Vật liệu dẫn điện	5
1.2. Vật liệu cách điện	6
1.3. Vật liệu từ	7
Câu hỏi chương 1	8
Chương 2. Khái quát về các linh kiện điện tử tương tự	
2.1. Các linh kiện điện tử thụ động	9
2.2. Các linh kiện điện tử tích cực	18
Câu hỏi chương 2	43
Chương 3. Khái quát về các linh kiện điện tử số	
3.1. Khái quát về kĩ thuật số	44
3.2. Các phần tử logic cơ bản và các cổng IC số	51
3.3. Các mạch logic tổ hợp	70
3.4. Trơ (Trigger)	85
3.5. Các hệ logic dãy	96
3.6. Các bộ nhớ bán dẫn	113
Câu hỏi chương 3	126
Chương 4. Các bộ chỉnh lưu	
4.1. Chỉnh lưu không điều khiển	128
4.2. Chỉnh lưu có điều khiển	143
Câu hỏi chương 4	150

Chương 5. Các bộ khuếch đại

5.1. Các khái niệm cơ bản	151
5.2. Mạch khuếch đại dùng tranzito	152
5.3. Phân cực cho tranzito	155
5.4. Khuếch đại điện áp	157
5.5. Khuếch đại vi sai	160
5.6. Khuếch đại dùng tranzito trường	162
5.7. Khuếch đại công suất	163
5.8. Khuếch đại DARLINGTON	167
5.9. Khuếch đại thuật toán	168
Câu hỏi chương 5	177

Chương 6. Các bộ tạo tín hiệu

6.1. Bộ tạo tín hiệu hình sin	178
6.2. Bộ tạo tín hiệu xung chữ nhật (hay xung vuông)	180
6.3. Bộ tạo tín hiệu xung răng cưa (hay xung tam giác)	184
Câu hỏi chương 6	185

Chương 7. Các bộ nguồn

7.1. Các khái niệm	186
7.2. Bộ nguồn một chiều	191
7.3. Bộ biến đổi một chiều - một chiều	191
7.4. Bộ nguồn xoay chiều	197
7.5. Mạch bội áp	207
7.6. Bộ lọc	210
7.7. Bộ nguồn ổn áp	214
Câu hỏi chương 7	223

Chương 8. Các bộ cảm biến

8.1. Cảm biến vị trí	224
8.2. Cảm biến nhiệt độ	228
8.3. Cảm biến áp suất và lực	231
8.4. Cảm biến lực	232
8.5. Cảm biến lưu lượng	233
Câu hỏi chương 8	234

Chương 9. Mạch điều khiển thyristo

9.1. Các yêu cầu đối với xung điều khiển	235
9.2. Các khối trong mạch điều khiển thyristo	238
9.3. Một số mạch điều khiển thyristo	246
Câu hỏi chương 9	255

Chương 10. Các bộ biến tần

10.1. Khái quát về các bộ biến tần	256
10.2. Bộ biến tần gián tiếp (hay bộ biến tần độc lập)	257
10.3. Bộ biến tần trực tiếp (hay bộ biến tần phụ thuộc)	259
10.4. Các bộ biến tần thường gặp	262
Câu hỏi chương 10	269

Chương 11. Các bộ điều khiển lập trình được (PLC)

và ứng dụng

11.1. Cấu trúc cơ bản và nguyên lý hoạt động của PLC	270
11.2. Sơ đồ thiết kế một mạch điều khiển lập trình	273
11.3. Lập trình cho PLC	275
11.4. Lệnh cơ bản	277
11.5. Ứng dụng của các bộ điều khiển lập trình	280
Câu hỏi chương 11	288

Chịu trách nhiệm xuất bản:

Chủ tịch HĐQT kiêm Tổng Giám đốc NGÔ TRẦN ÁI
Phó Tổng Giám đốc kiêm Tổng biên tập VŨ DƯƠNG THỤY

Biên tập lần đầu:

TRẦN NHẬT TÂN

Biên tập tái bản:

TRẦN TRỌNG TIẾN

Trình bày bìa:

TÀO THANH HUYỀN

Sửa bản in:

HOÀNG THỊ QUY

Chế bản:

BÌNH MINH

GIÁO TRÌNH ĐIỆN TỬ CÔNG NGHIỆP

Mã số: 6H150T5 - DAI

In 2.000 cuốn, khổ 16 x 24 cm, tại Xưởng in Nhà xuất bản Thống kê. Số xuất bản: 21/238-05 CXB. In xong và nộp lưu chiểu tháng 2 năm 2005.



CÔNG TY CỔ PHẦN SÁCH ĐẠI HỌC - DẠY NGHỀ

HEVOBCO

Địa chỉ : 25 Hàn Thuyên, Hà Nội



NGÔI SAO BẠCH KIM
CHẤT LƯỢNG
QUỐC TẾ

**TÌM ĐỌC GIÁO TRÌNH DÙNG CHO CÁC TRƯỜNG
ĐÀO TẠO HỆ TRUNG HỌC CHUYÊN NGHIỆP - DẠY NGHỀ
CỦA NHÀ XUẤT BẢN GIÁO DỤC
(NGÀNH ĐIỆN - ĐIỆN TỬ)**

- | | |
|--|---------------------------------------|
| 1. An toàn điện | TS. Nguyễn Đình Thắng |
| 2. Kỹ thuật điện | GS. TS. Đặng Văn Đào |
| 3. Máy điện | TS. Nguyễn Hồng Thanh |
| 4. Kỹ thuật lắp đặt điện | TS. Phan Đăng Khải |
| 5. Điện dân dụng và công nghiệp | Vũ Văn Tâm |
| 6. Cung cấp điện | TS. Ngô Hồng Quang |
| 7. Đo lường các đại lượng điện và không điện | GVC. Nguyễn Văn Hòa |
| 8. Lý thuyết mạch điện | PGS. TS. Lê Văn Bằng |
| 9. Vật liệu điện | TS. Nguyễn Đình Thắng |
| 10. Truyền động điện | PGS. TS. Bùi Đình Tiểu |
| 11. Trang bị điện | GVC. Nguyễn Văn Chất |
| 12. Sửa chữa điện dân dụng và công nghiệp | KS. Bùi Văn Yên - KS. Trần Nhật Tân |
| 13. Linh kiện điện tử và ứng dụng | TS. Nguyễn Viết Nguyên |
| 14. Điện tử dân dụng | ThS. Nguyễn Thanh Trà |
| 15. Điện tử công suất | Trần Trọng Minh |
| 16. Mạch điện tử | TS. Đặng Văn Chuyết |
| 17. Kỹ thuật số | TS. Nguyễn Viết Nguyên |
| 18. Kỹ thuật điều khiển động cơ điện | Vũ Quang Hải |
| 19. Kỹ thuật xung - số | TS. Lương Ngọc Hải |
| 20. Điện tử công nghiệp | Vũ Quang Hải |
| 21. Kinh tế và quản trị doanh nghiệp (kinh tế và TCQLSX) | TS. Ngô Xuân Bình - TS. Hoàng Văn Hải |

Bạn đọc có thể tìm mua tại các Công ty Sách - Thiết bị trường học ở các địa phương hoặc các Cửa hàng sách của Nhà xuất bản Giáo dục:

Tại Hà Nội : **25 Hàn Thuyên, 81 Trần Hưng Đạo, 187 Giảng Võ, 23 Tràng Tiền.**

Tại Đà Nẵng : **15 Nguyễn Chí Thanh.**

Tại Thành phố Hồ Chí Minh : **104 Mai Thị Lựu, Quận 1.**

giáo trình dùng cho trường học



1 004083 100359

25 000 VNĐ



Giá: 25.000đ